

## DRAM의 발전 방향과 전망

閔 偉 植

現代電子産業(株) 半導體研究所

기억소자의 발달은 진공관식 기억소자로부터 cathode ray tube식 기억소자, magnetic core 기억소자를 거쳐 monolithic 반도체 기억소자로 이어진다. 반도체 기억소자는 planar bipolar transistor를 이용한 기억소자가 처음 소개 되었으나, 고집적 기억소자의 기초를 마련한 것은 MOS DRAM의 효시인 Intel의 1Kb DRAM(1971년)인 것이다.

약 20년 후인 1990년에는 4M DRAM의 양산과 16M DRAM의 개발 완료가 이루어졌으며, 이는 약 10만배의 집적도의 증가를 의미한다. 여기서 우리는 DRAM의 발전과정을 공정, 설계, 제품의 기술적 측면과 전략적 측면에서 고찰하고 앞으로의 전망을 예측해 보고자 한다.

### I. 서 론

Alvin Toffler가 그의 역작 Future Shock, The Third Wave, Power Shift 등에서 주장한 정보의 시대에 우리는 이미 살고 있으며 정보의 힘은 점점 커져가고 있다.

초고집적 반도체 제품의 이용은 정보산업의 핵심부품으로써 알게 모르게 우리 생활의 일부가 되어가고 있다. 초고집적 반도체 DRAM은 정보산업의 고부가가치 핵심 부품으로써 가장 큰 시장 (전체 반도체 시장의 11%)을 차지하고 있으며 그 시장의 계속 성장이 예측된다. 또한 제품 사양이 표준화 되어 대량 생산이 용이하고 한국적 생산 및 경영현실에 잘 부합되며 공정기술의 의존도가 높다는 것이 그 특징이라 할 수 있다.

기억소자의 발달사를 보면 vacuum tube decimal registers로 부터 시작하여 Murcury delay lines, cathode

ray tube memory, drum storage memory 등을 거쳐 비교적 근대의 기억소자인 magnetic core memory로 발전되었다. 그후 1968년 bipolar semiconductor memory가 개발되었으며, 고집적 기억소자의 효시인 MOS DRAM은 1971년 PMOS를 이용한 1Kb DRAM(Intel 1103)이었다. MOS DRAM의 cell 변천과정을 열거하면 6T2C(6 transistor + 2 capacitor) cell로 출발하여 4T2C cell, 3T1C cell(Intel, 1971)을 거쳐 1T1C cell(Intel, 1972)의 1Kb DRAM의 상품화로 발전되었다. 그후 1973년 4K NMOS DRAM의 상품화를 가져왔으며 이후 매 3년마다 4배의 집적도 증가를 가져왔다. 이 급속한 집적도의 증가는 1970년대 이후 lithography 기술 및 공정기술과 design tool의 발달에 기인한 것으로 매 3년 MFS(minimum feature size)의 ~30% shrink를 가능케 하였으니 그 발전 과정을 살펴보면 초기의 contact printing 기술로부터 70년대 말의 projection printing 기술의 발전과 뒷따라 5X stepper의 출현 그리고 광원의 단파장화와 lens의 대구경화, 1990년 excimer stepper의 출현이 그것이다. Etching 기술 또한 wet etching으로부터 dry etching, RIE, ME-RIE, ECR etcher로의 많은 발전을 가져왔다. Thin film에서도 solid/wet source diffusion으로부터 implanter의 출현, CVD(chemical vapor deposition) technique의 출현과 evaporation으로부터 sputtering technique의 발전, BPSG 및 SOG planarization technique의 발전 또한 반도체 소자의 고집적화에 많은 기여를 하였다. Double poly process가 선보인 것은 1976년 16K DRAM과 함께였으며 5V용 DRAM이 선보인 것은 1980년 64K DRAM에서 였다. 설계 측면에서도 1974년 address multiplexed 4K DRAM이 소개되어 표준화 되었으며 1977년에는 on-chip bias generator가

소개되었고 1981년에는 multi-stage sense amp.와 self refreshing DRAM이 소개되어 많은 발전을 이룩하였다.

Triple poly DRAM은 CMOS DRAM과 함께 1983년(64K, 256K DRAM)이 처음 소개되었고 1984년 trench DRAM cell이 개발되었으며, 1985년에는 첫 stack capacitor cell과 DDD(double diffused drain)에 이어 LDD(lightly doped drain)가 채택되기 시작하였다.

본 고에서는 1T1C cell 이후의 DRAM 발전과정을 전략적 측면과 공정, 설계, 제품의 기술적 측면에서 고찰하고 앞으로의 전망을 예측해 보고자 한다.

## II. 본 론

### 1. 전략적 측면에서 본 DRAM 개발

“정부가 1986년부터 고집적 반도체 DRAM을 국가 주도형 개발품목으로 선정한 것은 좋은 정책 결정이었는데”하는 질문을 몇번 받은 것을 저자는 기억하고 있다. 서론에서 이미 간단히 언급한 바와 같이 반도체 산업의 고부가가치성, DRAM의 반도체 부품중 가장 큰 시장성(1991 Data Quest : 전체 반도체 시장의 11%)과 지속 성장성, 제품사양의 표준성으로 인하여 대량생산이 용이한 점, 이로 인하여 한국적 생산 및 경영 현실에 잘 부합되었다는 점 그리고 공정기술 의존도가 높고 고급인력을 이용하여 비교적 단시간에 집적 공정 및 단위 공정의 기술 격차를 좁힐 수 있었다는 점과 DRAM이 반도체 기술발전의 견인차 역할을 한다는 점에서 볼 때 잘 내려진 결정이었다고 생각되며 수출 실적 및 제품 개발 실적을 볼 때 상당한 성공을 거둔 것이 사실로서 입증되고 있는 바이다. 우리 반도체 산업은 국가 주도형 개발에 힘입어 memory 개발에 역점을 두고 성장하여 왔으며 아마도 금세기까지는 시장성 및 개발능력을 감안할 때 memory의 의존도는 계속 높을 것으로 예측된다.

여기서 우리는 memory 분야에서 우위확보 이윤률 분석기 위해 1980년대 일본과 미국의 반도체 전쟁을 회고해 보는 것도 좋은 교훈이 되리라 생각된다. 첫째로 1980년대 일본은 미국에 비해 엄청난 저금리 정책(12% vs 3~5%)이 시행되어 일본기업이 양질의 금융을 사용할 수 있었으며, 둘째로는 기업이 단기적 이익보다는 시장 점유에 우선권을 둔 판매정책을 펴 왔는데 이것은 생산적 근로자의 높은 근무의욕과 성공적 particle control로 지속적인 수출 향상을 이룩하였고 또한 생산성 높은 stack process의 개발과 non-epi wafer

(미국은 epi wafer 사용) 사용으로 제조원가의 절감이가져다 준 결과이다. 앞서 기술한 저금리 금융, 효율적 판매 정책과 원가 절감은 반도체 시장의 slump(1985~1986)시 미국기업을 DRAM 시장에서 축출하는데 성공한 원동력이 되었다. 셋째로는 끊임없는 기술의 저변확대를 통하여 반도체 생산장비의 제조 업체 육성 성공을 들 수 있다. 일본 반도체 장비 업체의 성장은 주로 3가지 유형으로 분류가 되는데 첫째는 미국 장비 회사의 대리점으로 출발하여 after service를 강화해 가며 기술 습득 후 성장한 경우(TEL)와 둘째 일본내 기초 기반기술을 기존 장비에 접목시켜 장비 개발에 성공한 경우(Nikon)와 셋째 자체 유사 기업의 기술 계열화를 통해 장비 개발을 성공한 경우(JOEL)를 들 수 있다. 일본에서 어느 경우이거나 장비회사와 반도체 업체간의 협력 관계는 상당히 잘 이루어졌다고 볼 수 있다.

지난 6~7년간 우리 반도체 업계는 기억소자의 단위 공정, 집적공정 및 설계기술에 초점을 맞추어 이 부문에서는 상당한 기술의 발전을 이룩하였다고 판단되나 기초기술이나 장비기술 측면에서는 상당한 기술격차를 보이고 있으며, 이것들이 앞으로의 기술 격차 근접에 장애의 요인이 되리라고 믿어진다. 이제 미국, 일본, 유럽을 포함하여 반도체 제품의 국제 경쟁은 점점 더 심화되리라고 예상되는 바 국제 경쟁에서 우위를 확보하려면 습득된 기술을 계속 발전시키고 낙후된 부분을 시급히 보완하여야 한다. 국제 경쟁력 강화를 위하여 몇 가지 측면에서 정부와 업계의 일관된 전략을 제안코자 한다. 첫째로 정부는 기하급수적으로 증가하는 개발비 및 생산공장 건설 투자 비용을 양질의 금융으로 지원하여 국제 경쟁력을 제고할 수 있는 여건을 조성하여야 하며, 둘째로 기초기술 및 장비기술의 발전을 위해 투자를 확대하여 장비업체의 영세성을 면하게 함과 동시에 장비 기술의 저변확대를 꾀하고 장비 공급 업체를 독려하여 정부 주도형 핵심기술 개발을 도모하여야 한다. 이와 함께 반도체 소자 업체는 정부와 협동으로 장비 무기화에 대한 단기 장비 확보 대책과 중장기 장비 개발 계획을 마련하며, 반도체 소자업체는 장비업체에 사양 제시를 포함 장비 검수 및 기술지도를 하여야 한다. 셋째로, 반도체 소자 업체는 wafer의 대 구경화 및 자동화에 부수되는 생산장비 투자를 최소화할 수 있는 생산성 높은 공정개발에 힘쓰며, 부단한 수출향상을 통하여 원가절감에 노력하고 제품사양의 다변화를 통하여 수요자의 필요를 충족시킬 수 있고 시스템의 효율을 높일 수 있는 제품 다양화와 신제품 수요 창출에 노력하여야 할 것이다.

2. 공정기술 및 구조적 측면에서 본 DRAM의 발전

최근 20여년 동안 반도체 memory는 반도체 생산품 중에서 가장 급속히 발전해 왔으며, 특히 여러가지 type의 반도체 memory중 DRAM은 가장 많은 생산을 하고 있는데 그 이유는 단위 bit당 가격이 저렴한 점, device의 집적도가 높은 점, 사용이 간편하고 용이한 점 등의 장점 때문이다. 이러한 장점을 갖출 수 있도록한 요인중의 하나는 앞에서 지적한 바와 같이 1T/1C의 구조이며, 1972년 4Kb DRAM을 시작으로 지금까지 DRAM의 기본적 구조가 되고 있다<sup>[1]</sup>.

DRAM의 memory 용량은 매 3년마다 4배의 집적도 증가를 이룩해 왔으며, chip의 면적은 수율 및 package, 경비 절감등의 이유 때문에 한 세대당 1.4배의 증가에 그쳤다<sup>[2]</sup>. 결과적으로 memory cell area는 매 세대당 1/2~1/3로 줄어져 왔다는 것을 알 수 있다(그림 1).

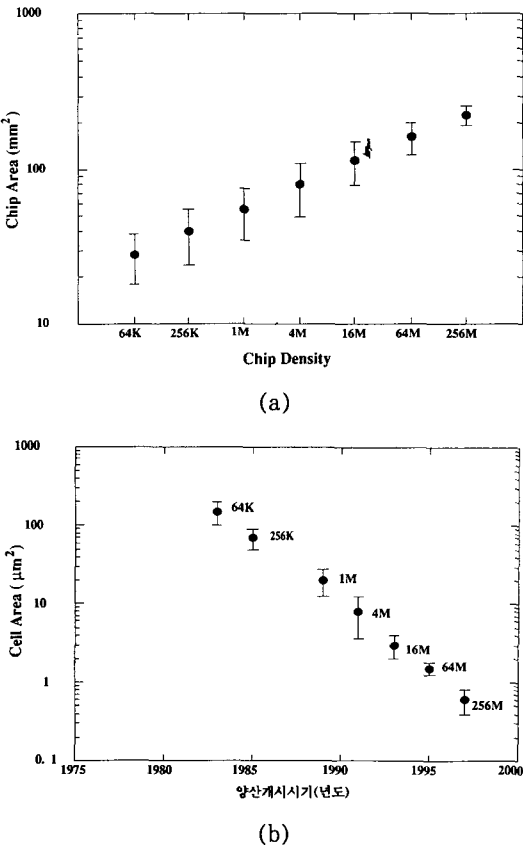


그림 1. DRAM의 집적도에 따른 chip area(a) 및 cell area(b)의 변화.  
Chip area는 각 세대마다 1.4배의 증가, cell area는 1/2-1/3의 축소를 보인다.

Chip 및 cell area를 줄이기 위한 시도는 photolithography의 기술과 cell의 구조연구에 많은 진전을 이룩하였으며, DRAM의 선도적 기술은 반도체 기술의 “technology driver”의 역할을 담당하도록 하였다. 또한 DRAM의 기술이 technology driver의 역할을 담당하는 다른 이유를 열거하면 첫째, 반복적인 구조 때문에 불량률의 범주가 쉽게 찾아져 수정할 수 있고, 둘째, DRAM의 수율에 미치는 영향을 logic device등 보다 훨씬 빠르게 분석할 수 있으며(test vehicle의 제작 및 test를 위한 design을 logic circuit 보다 훨씬 쉽게 할 수 있다.) 셋째, DRAM의 생산 물량이 많으므로 device process의 경험이 훨씬 빠르게 얻어질 수 있다는 점 등이다<sup>[3]</sup>.

DRAM의 bit당 가격은 1970년대를 기준으로 1/6000로 감소되었는데, 이러한 감소의 원인으로는 MFS (minimum feature size)의 감소, MOS transistor의 축소, process와 design의 발전, process 장비의 발전등을 들 수 있다<sup>[4]</sup>. 위에서 언급한 바와 같이 MOS DRAM은 1970년대 PMOS process를 이용한 3 transistor의 구조로 시작되었으나, 1T/1C의 구조로 대체되었고 초기의 64K DRAM의 구조까지 SiO<sub>2</sub>를 이용한 capacitor 구조가 이용되었으며 캐패시터의 용량을 늘리기 위한 Hi-C<sup>[5]</sup> 구조가 제안되었다. 좁은 면적에서 많은 용량의 capacitance를 확보하기 위한 시도는 계속되어 후기의 64K DRAM 및 256M DRAM에서는 Si<sub>3</sub>N<sub>4</sub>-SiO<sub>2</sub>의 sandwich 구조가 완성되어 지금에 이르고 있다. 4M DRAM에서부터 3차원 구조 즉, stack이나 trench 구조가 등장하기 시작하였는데, 그 이유는 그림1(b)에서 보는 바와 같이 cell area가 작아져 planar structure에서는 충분한 용량의 캐패시터를 확보하기 어려워졌기 때문이다. 또한 access time을 줄이기 위한 시도는 1M DRAM에서부터 silicide의 도입을 촉진했으며, 최근에는 double-level metal의 도입이 실용화 되어 higher density DRAM의 경우에는 이의 사용이 상식화 되어 있다. DRAM의 process 및 technology에의 또다른 전환점은 CMOS process의 적용인데 1970년도 말경에는 NMOS process의 복잡성은 극에 달했으며 그 이유는 적당한 power dissipation에 스피드를 빠르게 하고 density를 증가시켜야 했기 때문이다. CMOS technology는 낮은 전력 소모, 디자인의 간결화, noise margin의 확보, SER(self error rate)의 감소, higher density의 array가 가능했다. 4M~16M DRAM의 시점에서는 3D cell 구조는 필수적인 것으로 정착되었으며 stack이나 trench를 사용한 많은 연구 결과가 발표되고 있다<sup>[6]</sup>.

이러한 연구들은 64M, 256M DRAM의 경우 더욱 가속화되고 있으나, process의 가능성 및 경제적인 측면에서 고려되었을 때 charge storage의 개념 즉 1T/1C 구조에 회의를 제기하는 측면도 있다. 이러한 장벽을 극복하기 위한 새로운 시도가 시작되고 있으나<sup>[7]</sup>, 아직 실용화에 이르기 위해서는 많은 개선 및 연구가 필요하며, 64M~256M DRAM의 경우도 1T/1C cell의 개념 즉, "charge storage" 개념의 구조가 사용되리라는 생각이 지배적이다. 이 논문에서도 charge store의 개념하에서 지금까지 시도되어 왔던 기본적인 구조 및 scaling law에 근거하여 앞으로의 DRAM의 발전 방향을 예측하여 본다.

Cell 구조를 최적화 하기 위해서는 cell design의 범주를 이해하는 것이 매우 중요한 데, 아래의 식이 cell design의 기초를 이해하는 가장 중요한 식이다.

$$\Delta V_{SA} \approx 1/2 \Delta V_S \frac{C_S}{C_S + C_B} = 1/2 \frac{\Delta V_S}{1 + \gamma} \quad (1)$$

이때,  $\gamma = C_B/C_S$ ,  $\Delta V_{SA}$ : sense amp.의 sensitivity,  $\Delta V_S$ : storage cap.의 최대의 voltage 차이이고, bit line은 "0", "1"의 중간 voltage로 pre charge 되어 있다 가정한다. 이외에도 고성능의 cell은<sup>[2]</sup>

- 낮은 누설 전류 및 낮은 SER(soft error rate),
- Cell plate voltage 및 word, bit line의 swing에도 noise margin이 클 것,
- 칩의 access time이 빨라진 관계로 빠른 전하이동(charge transfer) 및 낮은 paracitic R.C delay,
- Process의 간결화 및 양산성
- 짧은 개발기간에서의 낮은 risk를 갖을 것,
- 축소 및 확대가 용이할 것,
- Technology driver의 역할 즉, SRAM과 logic 응용에의 적합성등이 필요하다.

Sense amp.의 구조는 일반적으로 cross-coupled flip-flop의 구조를 갖는데 최대의 신뢰성 있는 sensitivity는 100~150mV(1~16M DRAM)이었으며 quarter micron으로 process 되었을 때의 maximum sensitivity는 15~50mV 정도로 예측되고 있다<sup>[8]</sup>.

또한 16M DRAM 이상의 경우 내부강압 회로를 사용하거나 외부 3.0~3.3V를 사용하여 신뢰성의 측면을 강화하는데 이때 "0", "1"의 전압 차이는 2~3 Volt 정도이고, 따라서  $\Delta V_S = 2$  Volt 정도이다.  $\Delta V_{SA} = 50 \sim 150$ mV 정도를 가정하면  $\gamma = C_B/C_S$ 의 값이 정해진다. 현재까지 발표된 DRAM의 경우  $C_B = 250 \sim 500$ fF

정도인데 이것으로부터  $C_S = 25 \sim 50$ fF 정도가 얻어지고,  $Q_C = C_S \cdot \Delta V_S = 50 \sim 100$ fC 정도이고 SER을 고려하면  $Q_C = 50 \sim 150$ fC 정도이다.

Leakage current의 측면을 고려하면 주된 leakage path는 P-N Junction의 leakage, dielectric의 leakage, pass transistor의 leakage인 데, 일반적으로 refresh는 20% 정도의 leakage 이전에 이루어져야 하므로

$$I_L \tau_R = 0.2 Q_C \quad (2)$$

에서 1M DRAM의 경우  $\tau_R = 8$ ms,  $Q_C = 10^6$  electron의 경우  $I_{Lmax} = 4$ PA 정도이다. 같은 주기로 refresh가 이루어 지기 위해서는 4M, 16M, 256M DRAM의 경우 각각 16, 64, 128ms 주기의 refresh가 필요하며 50~150fC의 storage charge를 가정했을 때 64M, 256M DRAM의 경우 각각  $I_{Lmax} = 0.15 \sim 0.47$ PA,  $I_{Lmax} = 0.08 \sim 0.24$ PA 이하의 leakage current가 흘러야 한다. 최근의 추세가 operation voltage가 낮아지므로 storage voltage의 전압차도 낮아져  $I_{Lmax}$ 의 값도 완화되고 있지만 ONO layer를 대체할 만한 새로운 유전체의 사용 가능성이 강력하게 대두되고 있다. Capacitor dielectric이 갖추어야 하는 특성을 열거하면, 유전 상수가 크며, 최대의 전기장내에서도 낮은 누설 전류 특성을 갖으며, defect density가 낮으면서, 후 공정에서도 특성이 변치 않을 process compatibility를 갖어야 하며, 높은 신뢰성을 갖는 물질이어야 한다. 최근에는 64M 및 256M DRAM의 capacitor dielectric 물질로써 ferroelectric 물질의 사용 가능성에 대해서도 검토되고 있다<sup>[9]</sup>. 지금까지 capacitor dielectric으로 연구 보고된 물질로써는  $Ta_2O_5$ <sup>[10]</sup>,  $Al_2O_3-Ta_2O_5$ <sup>[11]</sup>,  $Y_2O_3$ <sup>[12]</sup>,  $(Ba_x Sr_{1-x})TiO_3$ <sup>[13]</sup> 등이 있으나, 높은 신뢰성 및 전기적 특성을 위해서는 아직도 많은 연구가 필요하다고 생각된다.

Pass transistor의 경우 최근 DRAM의 추세를 감안할 때 거의 50nsec의 device speed가 요구되고 있으며 write의 경우 2nsec의 시간이 소요된다고 가정하면  $I_{on} = Q_C/\tau_{on} = (50 \sim 150$ fC)/2nsec = 25 ~ 75  $\mu$ A의 current가 필요하다.  $L_{eff} = W_{eff} = 0.3 \mu$ m,  $T_{ox} = 80$ Å,  $V_{th} = 0.5$ V의 경우  $I_{d,sat} \approx 150 \mu$ A 정도로<sup>[14]</sup> pass transistor의 operation은 큰 장애가 되지 않는다.

그림 2에 16M까지의 디자인 룰을 정리하고 이것에 기초하여 64M 및 256M의 디자인 룰을 예측하였다.

최근 일본에서 발표된 64M DRAM의 1세대 제품의 경우(표 1, 표 2) 칩 사이즈는 대략  $10 \times 20$ mm<sup>2</sup>의 크기이고 50 ~ 60%의 cell efficiency를 가정하면 cell

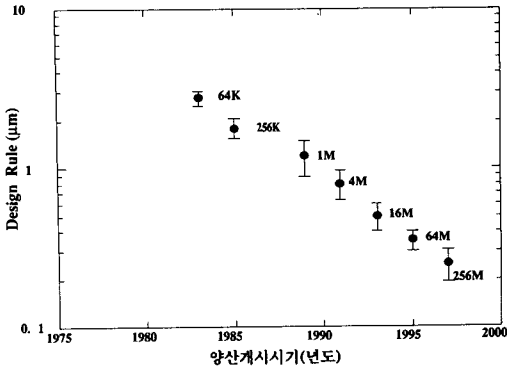


그림 2. 양산 개시 시기를 기점으로 하여 각 device 별 design rule의 세계적인 추세

size는 약  $1.35 \sim 1.62 \mu\text{m}^2$  정도이고 10% 축소된 제2세대 제품의 경우  $162 \text{mm}^2 (9 \times 18)$ 의 크기가 일반적인 경우이다. 이때의 cell size는 대략  $1.2 \mu\text{m}^2$ 로 추정된다. Capacitor의 dielectric  $t_{ox} = 5 \text{nm}$ 인 경우  $C_s = 7 \text{fF/}$

$\mu\text{m}^2$  이므로  $30 \sim 50 \text{fF}$ 의 용량을 확보하기 위해서는  $A_s = 4.3 \sim 7.1 \mu\text{m}^2$  넓이를 확보해야 한다. 제 1세대 64M DRAM의 경우 Hitachi사의  $\text{Ta}_2\text{O}_5$  dielectric을 제외하고 거의 모든 회사가 NO 또는 ONO 구조를 고수하고 있으며 따라서 캐패시턴스의 area를 얻기 위한 여러가지 묘안이 속출하고 있다<sup>[6]</sup>. 그러나 이러한 구조를 안정성 있고 신뢰성이 보장된 양산의 구조로 정착하기에는 긴 시간이 필요하다고 생각된다. 제 2세대 64M DRAM의 경우 cell area  $A_s = 1.2 \mu\text{m}^2$ 의 경우에는 ONO 구조가 아닌 새로운 dielectric 물질의 출현이 기대되며 특히 256M DRAM의 경우 chip area가 64M DRAM에 비해 1.4배 증가하는 것을 가정하면<sup>[2]</sup>  $11.8 \times 23.6 = 278.5 \text{mm}^2$ 를 예상할 수 있으며 cell efficiency 60%의 경우 cell size  $A_s = 0.65 \mu\text{m}^2$ , 2nd generation의 경우  $A_c = 225.6 \text{mm}^2$  정도를 예상할 수 있고  $A_s = 0.52 \mu\text{m}^2$  정도이다. 1991년 IEDM에서 발표된 IBM의 256M DRAM을 위한 캐패시터 구조에서  $0.25 \times 0.4 \mu\text{m}^2$ 의 구경에  $11.5 \mu\text{m}$  깊이의 trench( $t_{ox} = 8 \text{nm}$ )가 보고되었는 바  $10 \mu\text{m}$  이상의 trench를 형성하

표 1. 1991년 말까지 국외 Journal에 발표된 64M DRAM의 technology 및 중요 parameter

1991. 12. 6. (Fri.)

Feature	Hitachi	Siemens	Toshiba	Fujitsu	Mitsubishi	Matsushita
MFS ( $\mu\text{m}$ )	0.3 (DWEB)	0.4 (G-line, NA=0.55)	0.4 (KrF Excimer)	0.3 (i-Line Phase-Shift, NA=0.5)	0.4 (i-Line)	0.4 (KrF Excimer)
Chip Size ( $\text{mm}^2$ )	197.53 (20.08×9.74)	183.21 (19.7×9.3)	176.38 (19.7×9.22)	224.72 (19.94×11.27)	233.75 (18.7×12.5)	234.36 (21.60×10.85)
Cell Size ( $\mu\text{m}^2$ )	1.28 (1.6×0.8)	1.62 (1.8×0.9)	1.53 (1.7×0.9)	1.8 (1.8×1.0)	1.7 (1.7×1.0)	2.0 (2.0×1.0)
Cell Type	Stack Crown-Shape	Stacked-Trench (5 $\mu\text{m}$ )	Stacked-Trench Asymmetrical STT(3.5 $\mu\text{m}$ )	Stack Fin-Shape(2fins)	Stack Dual-Cell Plate	Stack Tummel-Shape
$C_s$ (fF)	44	35	34	32	30	35
$T_{RAC}$ (ns)	50	40	33(3.3V)/40(3V)	40(3.3V)	45(3V)	50(3.3V)
Organization	×4	-	×1/×4	×1/×4/×8	×1/×4	×16
Pwr. Supply (V)	1.5~3.6	3.3( $V_{BB} = -1$ )	3.3	3.3( $V_{BB} = -1.5$ )	3.3	3.3
Op. Current (mA)	29~35(180ns)	-	90(90ns)	80(120ns)	160(120ns)	130(95ns)
Stand-By (mA)	1	-	0.2	-	0.2	1.0
Refresh	8192(64ms)	-	8192	8192(128ms)	4096(64ms)	4096
Redundancy	-	-	1-R(2M)/1-C(2M)	2-R/2-C(2M)	128-R/32-C	-
Well/Tech. Topology	Triple-Well CMOS 1-W Polyicide 2-A1,P-Sub	Twin-Well CMOS 1-Ti Polyicide 2-A1,P-Sub	Triple-Well CMOS 2-Mo Polyicide 2-A1,N-Sub	CMOS 2-A1,N-Sub	Twin-Well CMOS 2-A1	Twin-Well CMOS 1-W Polyicide 2-A1
Gate Ox. (nm)	6.5	10	10	-	12	12
Tr.( $L_b/L_p$ ) ( $\mu\text{m}$ )	0.5/0.6(Peri.)	0.4/0.4	0.5/0.7(Peri.)	-	0.4/0.5	0.6/0.8(Peri.)
Dielectric (nm)	2.8( $\text{Ta}_2\text{O}_5$ )	5(2/4/1.5)	5	5	5	7

표 2. 일본 64M DRAM 개발 관련 검토되고 있는 photolithography의 예

(Nikkei Microdevices, 1991년 5월호)

64M DRAM	NEC		Toshiba		Hitachi		Fujitsu	
	1세대	2세대	1세대	2세대	1세대	2세대	1세대	2세대
Design Rule/Chip면적 ( $\mu\text{m}$ ) (mm <sup>2</sup> )	0.35/10×20	0.3/9×8	0.37/10×20	0.32/9×18	0.34/10×20	0.3/9×18	0.35/10×20	0.3/9×18
Photolithography 제1후보	KrF	KrF	i, 위상 Shift	i, 위상 Shift	KrF	KrF, 위상 Shift	i, 위상 Shift	i, 위상 Shift
실현기술 제2후보	i, 위상 Shift	i, 위상 Shift	KrF	KrF	i, 위상 Shift	i, 위상 Shift	KrF	KrF, 위상 Shift

64M DRAM	Mitsubishi		Okai		Matsushita		Sony	
	1세대	2세대	1세대	2세대	1세대	2세대	1세대	2세대
Design Rule/Chip면적 ( $\mu\text{m}$ ) (mm <sup>2</sup> )	0.35/?	0.3/?	0.35/230	0.3/190	0.34/9.5×19	0.3/9×18	0.35/200	0.3/160
Photolithography 제1후보	i, 위상 Shift	i, 위상 Shift	i, 위상 Shift	i, 위상 Shift	KrF	KrF	KrF	KrF
실현기술 제2후보	KrF	KrF, 위상 Shift	KrF	KrF	i, 위상 Shift	i, 위상 Shift	i, 위상 Shift	KrF, 위상 Shift

고 매립하는 process가 어느정도의 신뢰성과 정확성을 갖을 지는 미지수이다.

최근 DRAM의 추세를 보면 1992년 본격적으로 등장된 notebook형을 위한 super low power DRAM 및 1992년 말경에 본격적으로 등장하리라고 예상되는 LOC(lead on chip)에 탑재된 300 mil package의 16M DRAM 등 새로운 변혁을 맞이하고 있다. 또한 DRAM 시장의 새로운 전략적 특성으로는 차세대 기술을 이용한 비용 절감을 위한 방편 즉 cut down 판의 등장<sup>[15]</sup>, wide-bit 구조, 저전압화 등 바야흐로 제 2의 변혁의 시대가 도래하고 있다. 또한 표 2에 정리한 바와 같이 photolithography의 기술도 KrF eximer laser, 1 line + 위상 shift, KrF + 위상 shift 등 64M, 256M DRAM의 실현을 위해서 지금까지 이용되어왔던 기술보다 더욱 더 혁신적인 노광기술이 요구되고, 시도되고 있다.

국내외의 개발 발전 전망을 살펴보면 그림 3 및 표 3과 같다. 양산 시점을 보면 4M, 16M, 64M, 256M의 경우, 국내가 각각 1990, 93, 96, 99년 정도로 예측되

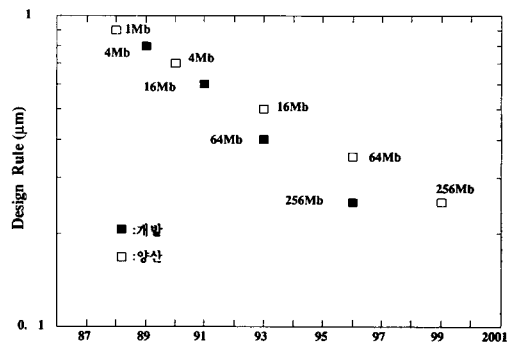
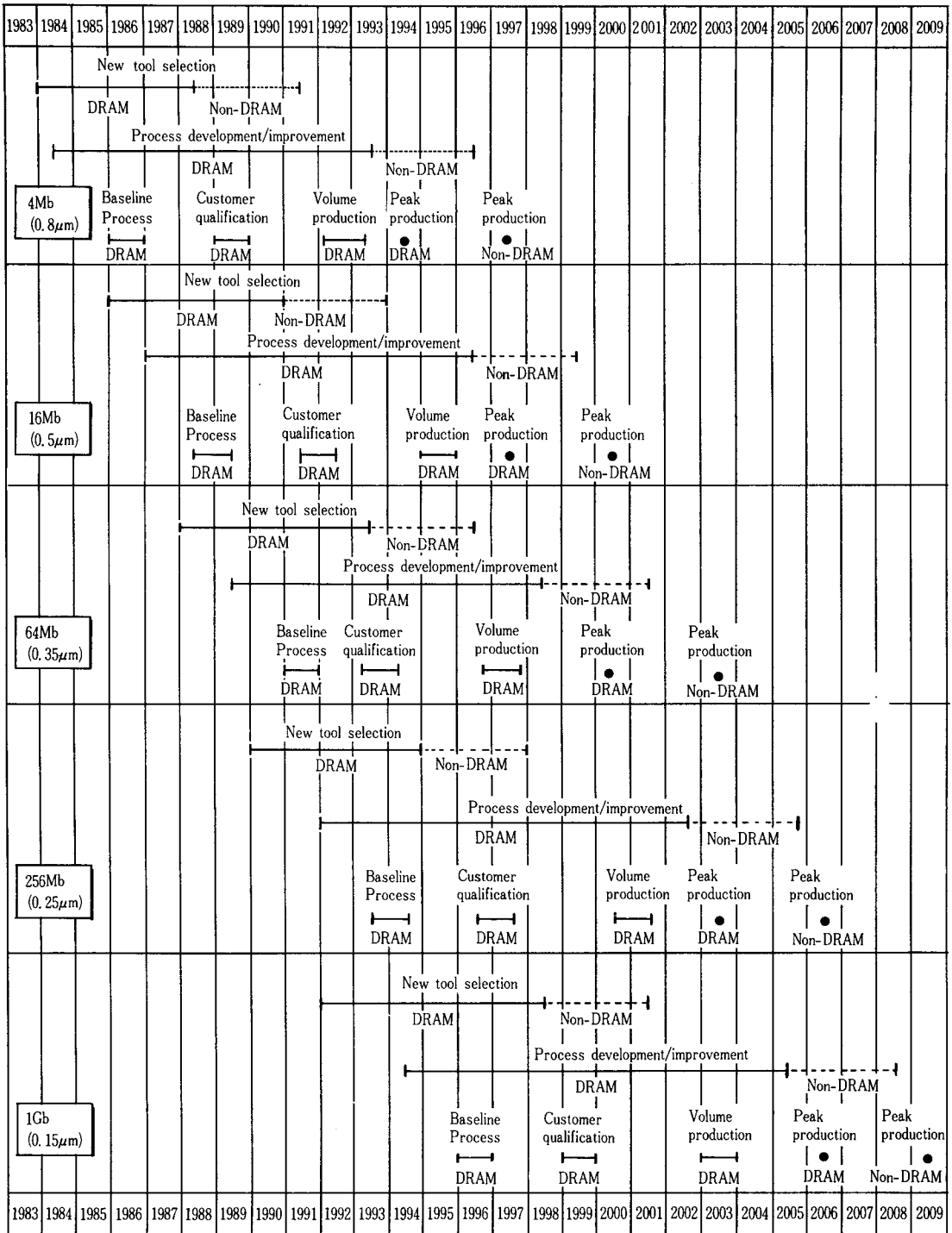


그림 3. 국내 기술의 발전 전망

며, 국외의 경우 1989, 91-92, 94, 96-97년 정도로 chip density가 늘어날 수록 격차가 심화되는 것을 볼 수 있다. 이 이유는 기술적인 후진성도 연관이 되지만, 가장 중요한 요인은 장비의 후진성 및 개발 미흡이 가장 큰 요인의 하나라 생각된다.

표 3. 4M~1G까지의 개발 추세 및 양산 시점, 최대 생산 시점등을 예측

(Semiconductor International Jan. 1992)



3. 설계 측면에서 본 DRAM 발전 방향

DRAM은 작은 cell capacitor내에 저장된 데이터를 검출한 뒤 증폭하여 외부세계에 전달하여 주는 시스템이라 생각할 수 있다. 이러한 관점에서 바라보면 표 4와 그림 4에서 볼 수 있는 바와 같이 16K DRAM 수준까지는 cell과 외부세계를 단순한 스위치들의 조합으로 연결한다라는 DC적인 관점들이 대부분이었다. 사용되는 전원전압이 12V 이상이었던 때문에 cell에 저장된 charge가 충분히 커서 설계에 중심이 되는 포인트들은 칩의 면적을 줄이고 전력소모를 감소시키는 방법의 개발이었다. Address 신호를 2회로 나누어 입력하여 address 단자수를 감소시켜서 면적을 감소시키는 address multiplexing법의 채택과 dynamic circuit을 사용하여서 소모전력을 감소시키는 방식이 구체적으로 채택되었다.

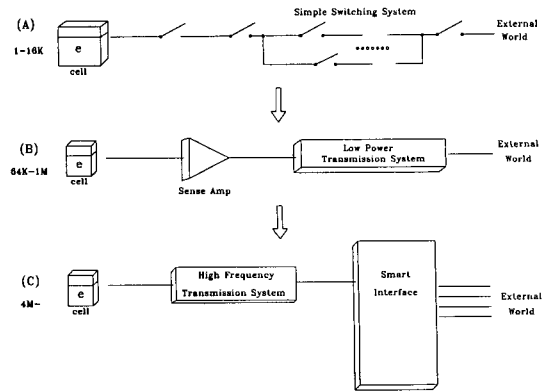


그림 4. DRAM에 대한 인식의 변천

표 4. DRAM 회로기술의 개발역사

Density	V <sub>cc</sub>	Memory	Circuit Technique
1 - 4K	> 12V	3MOS	<ul style="list-style-type: none"> <li>Differential Sense</li> <li>Address Multiplex</li> </ul>
16K	12V	1MOS	<ul style="list-style-type: none"> <li>Dynamic Amplifier</li> <li>Dynamic Driver</li> </ul>
64K	5V	1MOS	<ul style="list-style-type: none"> <li>Folded Dataline Architecture</li> <li>Word Boost</li> <li>VBB Generator</li> </ul>
256K	5V	Double Poly	<ul style="list-style-type: none"> <li>Shared Amplifier</li> <li>AI Shunted Wordline</li> <li>Redundancy</li> </ul>
1M	5V		<ul style="list-style-type: none"> <li>CMOS Periphery</li> <li>Half Vcc Precharge</li> <li>Divided Dataline</li> <li>Shared I/O</li> <li>Multibit Testing</li> <li>BiCMOS DRAM</li> </ul>
4M	5V	Stacked Capacitor Trench Capacitor	
16M	5V		<ul style="list-style-type: none"> <li>Voltage Limiter</li> <li>Transposed Dataline</li> </ul>

이후 전원전압이 5V로 낮아지고 소자의 크기도 줄어들어 cell에 저장되는 charge가 감소되었다. 또한 cell 수가 증가하였기 때문에 이제부터는 미약한 데이터 신호를 S/N ratio가 높도록 하여 검출한 뒤 낮은 전력 소

모를 갖으면서 외부세계에 전달하여 준다는 transmission system적인 관점이 주된 흐름이 되었다. 따라서 요소 기술은 cell의 charge를 칩 내부의 각종 잡음들을 배제시키면서 증폭하는 sense amp.와 bit line/word line 설계 최적화, 고집적화에 따른 소자수의 증가에도 전력소모의 증가가 적도록 하고 빠르게 동작되는 저소비전력 고속회로의 설계가 되었다<sup>[16]</sup>. Cell에 저장되는 charge는 그림 5에서와 같이 data line에 capacitive coupling에 의해 유기되는 noise, storage node에서의 leakage charge 및  $\alpha$ -ray에 의한 charge 손실을 극복할 수 있는 margin을 가져야만 한다. 물론 cell capacitance C<sub>s</sub>를 증가해서 charge를 증가시키는 방법이 가장 직접적인 효과가 있을 것이며 이를 위해 stacked capacitor cell과 trench capacitor cell 및 이 둘을 혼합한 stacked-trench capacitor cell의 3차원 구조가 채택되고 있다. 이에 의해 그림 6에서 보듯이 device가 scaling down 되어도 cell capacitance 값은 40fF 정도의 크기로 일정하게 유지되는 것을 알 수 있다. Device 간의 거리도 좁아짐에 따라 bit-line과 word line간의 coupling에 의한 noise가 점점 중요하게 되었다. 이를 극복하기 위한 구조가 64K DRAM부터 적용되기 시작한 folded bit line 구조이다<sup>[17]</sup>. 그림 7은 open bit line 구조와 folded bit line 구조에 대한 개념도이다. Open bit line은 sense amp.에 연결된 bit line과 bit line이 각각 다른 전기적 환경에 놓이게 되어 word line과의 coupling 전압이 각기 다를 수가 있다. 이에 비하여 folded bit line 방식에서는 bit line과 bit line이 동일한 coupling capacitance 값을 갖으므로 noise 상쇄 효과를 가져와 작은 noise 만이 유기되는 장점이 있다.



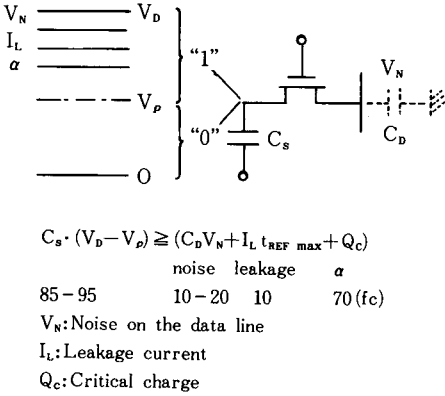


그림 5. Cell capacitor의 charge margin

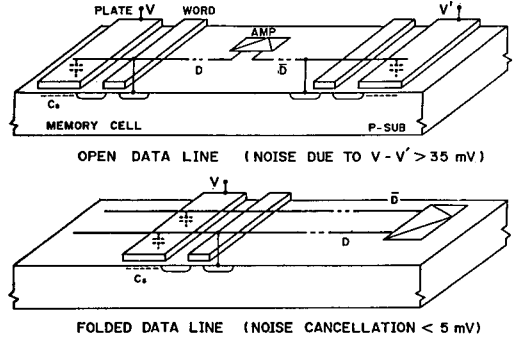
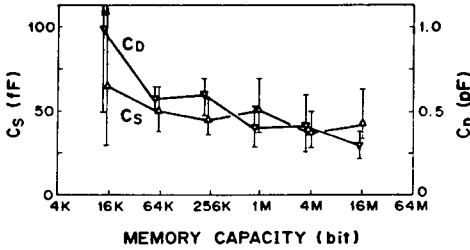
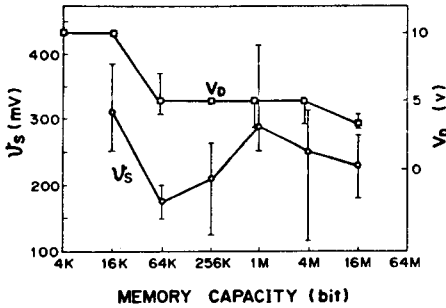


그림 7. Open bit line 방식과 folded bit line 방식의 개념도



(a) C<sub>S</sub>와 C<sub>D</sub>의 변천



(b) V<sub>S</sub>와 V<sub>D</sub>의 변천

$C_D$ : Memory Cell 신호전압에 영향을 주는 Data-Line Capacitance  
 $V_S$ : Data Line상의 Cell 신호전압  $V_S = V_D / 2 \cdot C_S / C_D$

그림 6. Memory cell 특성들의 변화

256K 및 1M DRAM의 시대에 널리 채용되었던 shared sense amp.<sup>[18]</sup>와 multidivided data line<sup>[19]</sup>도 S/N ratio를 증가시키는데 큰 기여를 하였다. 집적도가 증가함에 따라 동일 bit line에 데이터를 실어야 하는 cell

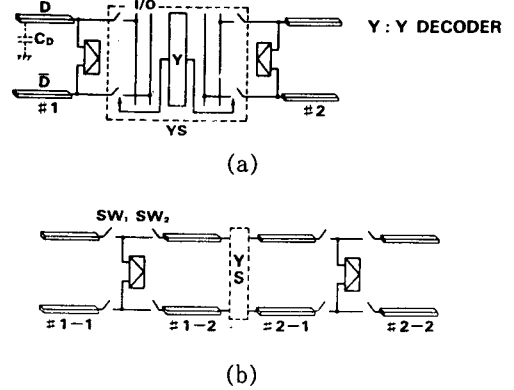


그림 8. Shared sense amp.와 multi divided bit line 방식의 개념도

의 갯수가 증가하여 bit line의 길이도 길어지고 pass transistor의 drain과의 접합이 증가하여 parasitic capacitance도 점점 증가한다. Sense amp.에서 sensing되는 전압은 cell charge를 bit line capacitance로 나누어서 얻어지는데 앞서 언급한 바와 같이 bit line cap.이 증가하므로 sensing voltage가 감소하여 S/N ratio가 악화된다. 이를 방지하고자 bit line을 여러 개로 나누어 capacitance를 감소하고 이 bit line들로 하여금 동일한 sense amp.를 공유하도록 하는 방법이 shared sense amp. 방식 및 multi divided bit line 방식으로 그림 8에 나와 있다. Word line과 bit line 사이 뿐 아니라 bit line과 bit line 사이의 거리도 점차 좁혀져서 이에 의한 noise가 16M DRAM부터 문제점으로 대두되기 시작하

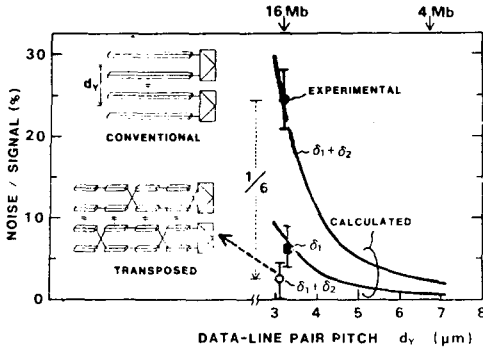
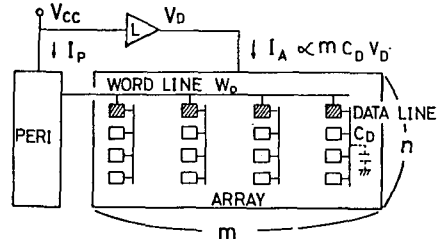


그림 9. Data-line간 간섭잡음 및 transposed data line의 구조에 의한 이의 억제

였는데 이를 극복하는 방식이 그림 9에서 보인 transposed bit line 구조이다<sup>[20]</sup>.  $\delta_1$ 은 cell에서 bit line으로 데이터가 실릴 때 발생하는 noise이며  $\delta_2$ 는 signal amplification 중에 발생하는 noise이다.  $3\mu\text{m}$ 의 bit line pitch를 가질 때 약 1/4 가량의 cell 신호가 noise에 의해 감소됨을 알 수 있다. 하지만 transposed bit line 방식을 채택하면 noise를 서로 상쇄시켜서 감소시켜 줌을 알 수 있다.

DRAM의 집적도가 증가함에 따라 전력 소모도 증가하게 마련이다. 이것은 그림 10에서와 같이 주변회로의 전류  $I_P$ 와 memory array 전류  $I_A$ 의 증가에 기인한 것이다.  $I_P$ 의 증가는 decoder 갯수 및 칩 사이즈의 증가에 따른 것이며  $I_A$ 의 증가는 bit line capacitance  $mC_D$ 의 증가 때문이다. 이를 감소시키는 방법으로는 전원전압  $V_{CC}$ 를 감소하는 방안이 있을 수 있으며 주변회로의 경우 CMOS를 적용하여 전류를 감소시키는 방안을 들 수 있다.  $I_A$ 를 감소시키는 방법으로는 그림 10에서 보듯이  $I_A = mC_D V_D / t_{RCmin}$ 이므로  $m, C_D$  및  $V_D$ 를 감소시키는 방법이 있다. 여기서  $m$ 은 한 word line에 연결된 트랜지스터의 수이며  $C_D$ 는 bit line capacitance,  $V_D$ 는 bit line precharge 전압,  $t_{RCmin}$ 은 최소 refresh cycle time이다. 따라서 한 refresh cycle 동안  $m$ 개의 cell들이 동시에 refresh되며 이 동작이  $n$ 번 반복되어야 전체 칩이 refresh된다.  $t_{RCmin} = \beta t_{ref} / n$ 으로 표시되므로 이 값을 일정하게 유지하면, 즉  $\beta$ 를 일정하게 하고  $t_{ref}$ 를 2배로 하고 동시에  $n$ 을 2배로 하면 array size가 2배가 되어도 power consumption은 변화가 없다. 하지만 4M DRAM 이상에서는  $\beta$ 를 크게 하여 즉, 전체 cell을 refresh 시키는 데 소요되는 시간이 길어지도록 하여  $I_A$ 를 감소시키는 방식이 사용되고 있다(그림

11).  $C_D$ 를 감소시키는 방안은 앞서서 언급한 바와 같이 bit line을 여러 개로 나누는 방식을 생각해 볼 수 있으며  $V_D$ 의 감소는 외부 전원전압을 강화시키는 voltage limiter 또는 voltage converter<sup>[21]</sup>를 사용하며 또한 precharge 전압을  $V_{CC}/2$ 로 하여  $V_{DD}$ 를 반으로 줄이는 방안이<sup>[22]</sup> 채택되고 있다.



Power Reduction

- Lower  $V_{CC}$
- Lower  $I_P$  : CMOS
- Lower  $I_A$  :
  - $mC_D$  Reduction
    - Reduce  $m$  : Increase  $n$  with const  $t_{REFMAX}/n$
    - Reduce  $C_D$
  - Multi-divided data line
- $V_D$  Reduction
  - Half  $V_{CC}$  Precharge, Voltage Limiter

그림 10. 소모전력 감소방안

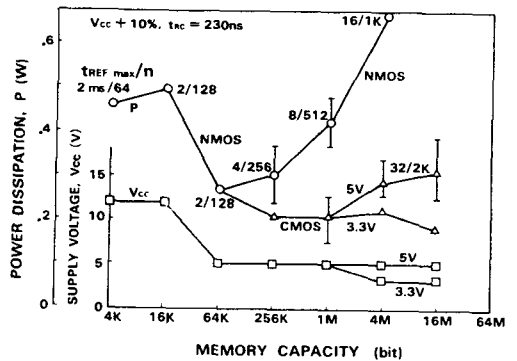


그림 11. 전력소모의 변천

4M DRAM 이후부터 대두되어 앞으로 본격적으로 전개될 DRAM의 개념은 전과는 달리 내부에서는 고속 전송이 가능하며 외부 세계와의 접속이 강조되는 "logical system"이란 관점이다. 고속 access mode가 다양하게 설정되어 DRAM 회로에 표준적인 access법 이외에

고속 mode 회로가 추가되었다. Page mode가 고속 model의 주종을 이루며 품종에 따라서는 nibble mode, enhance nibble mode, static column mode 등이 사용된다. 최근에는 빠른 속도를 얻기 위해서는 고속의 clock signal에 의해 동작되는 synchronous DRAM이 제안되고 있다<sup>[23]</sup>.

이것의 read cycle operation을 도시한 것이 그림 12이며 RAS, CAS등의 모든 신호가 clock을 기준으로 하여 입력되므로 10ns 정도의 고속을 얻을 수가 있다. Interface의 기능을 보강하는 것으로는 ×8, ×9, ×16 및 ×18의 byte-wide 또는 word-wide의 I/O pin을 갖는 DRAM들과 DRAM controller에서 행하던 refresh control을 DRAM내에 포함시키는 auto-refresh 또는 self-refresh DRAM을 들 수 있다<sup>[24]</sup>. 그림 13에 이에 대한 block diagram을 보인다. 이 DRAM에서는 CAS가 RAS 보다 먼저 low로 되어 CBR mode가 된 후 RAS의 cycle time이 16ms 이상이 되면 self-refresh mode로 진입되고 CAS가 high가 되면 self-refresh에서 빠져 나오게 된다.

이 밖에도 공정의 에러를 보상하여 yield를 상승시키기 위한 redundancy circuit의 채택과<sup>[18]</sup> test time을 줄이기 위한 built-in self test 범등의 채용이<sup>[25]</sup> 고집적 DRAM에서는 중요한 추가 회로 기술로서 주목 받고 있다. 이후에 전개될 256M DRAM 내지는 1G DRAM의 기술에서는 basic memory의 기능보다는 어떠한 smart CAD design tool이나 computer 처리 속도 및 functional test 등이 점차 문제로 제기될 것으로 예상된다.

4. 제품 측면에서 본 DRAM 발전

DRAM이 사용되는 분야는 computer memory에서부터 laser printer, HDTV(high definition TV) 및 전자 game기기에 이르기까지 넓은 영역으로 확산되어 가고 있다.

DRAM의 제품으로서의 발전 추세는 DRAM이 본질적으로 갖고 있는 내부적인 특성, 즉 고밀도, 고집적화에 의해 bit 단가를 낮출 수 있다는 내적인 측면과 portable computer의 보급에 따른 low voltage(battery back-up)용 메모리의 수요 증가, 소형 personal computer의 다 bit DRAM의 수요 및 “downsizing”의 추세에 따른 EWS의 기능 확대와 고속 memory의 수요 증가등의 외적인 측면에서 그 흐름을 살펴보고자 한다. 먼저 내적인 측면을 살펴보자. 공정 기술 및 소자 기술의 개발에 따라 DRAM의 집적도는 계속 증가하여 왔

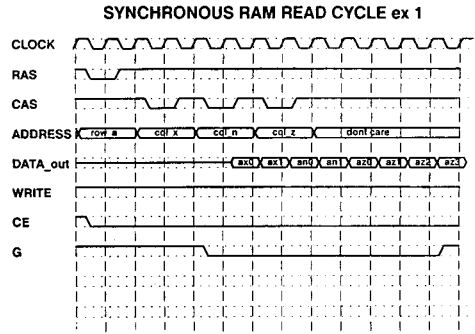
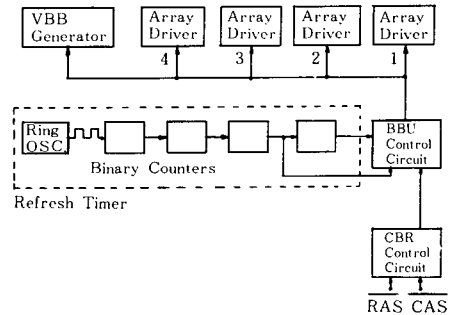
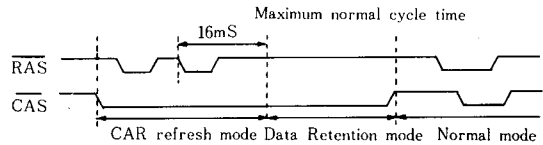


그림 12. Synchronous DRAM의 read cycle의 timing diagram



(a) Block diagram



(b) Timing diagram

그림 13. Self-refresh를 구현하는 회로의 block diagram 및 timing diagram

으며 DRAM의 제품은 범용성을 띄었기 때문에 standard spec.을 만족시키는 큰 용량의 DRAM을 제작하기만 하면 충분하였다. 즉 지난 20년동안 DRAM 분야에서는 DRAM 생산자 보다 많은 bit를 집적하기만 하면 수요자측에서는 그 DRAM에 맞추어 시스템을 설계한다는 manufacturer가 시장을 리드하는 추세이었다. 따라서 중점이 되는 분야는 제조공정이나 소자개발이 되었고 photolithography 기술의 발전에 따른 최소 dimension의 축소가 관건이었다. 수요자 입장에서는 bit

당의 단가가 DRAM의 집적도가 증가함에 따라 꾸준히 감소하여 왔고 단일 대용량 칩의 사용이 가능하여 편리하다는 측면이 주된 관심거리이었다.

하지만 단일 칩의 용량이 충분히 커져서 워드 프로세서, PC 또는 laser printer용의 기본 메모리 사이즈를 충분히 만족시키기에 이르렀다. 이는 현재의 4M DRAM 시장의 크기가 3년 전의 1M DRAM 시장의 1/2에 지나지 않는다는 일본 통산성의 통계에도 알 수 있는데 범용성의 DRAM 시장이 점차 포화되어 가고 있다는 것을 말해 주고 있다. 따라서 DRAM의 내적인 측면의 특성을 살린 고집적 범용 제품보다는 외적인 추세의 변화에 따른 특화 제품이 요구되는 시기라고 할 수 있을 것이다. 최근의 DRAM 제품중 범용성이 아닌 제품들을 그 특징별로 정리해 본 것이 그림 14이다.

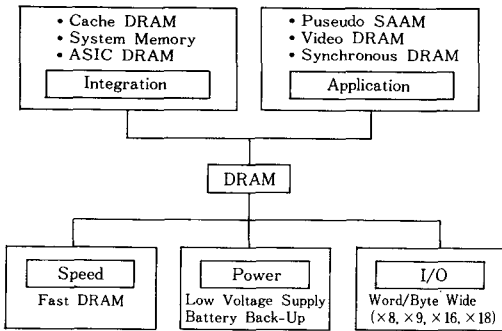


그림 14. 다양하게 펼쳐지는 DRAM의 종류

DRAM의 제품 특성중 가장 중요한 것이 동작속도와 소비전력일 것이다. 물론 칩 면적도 cost와 yield라는 측면에서 중요하지만 후반부의 integration에서 논하기로 한다. DRAM의 용량의 증가는 소자의 scaling down의 결과인 데 소자의 크기가 작아질 수록 transconductance  $g_m$ 이 증가하여 동작속도(access time)는 감소한다. 하지만 64M급 이상부터는  $g_m$ 의 증가에 따른 속도이득이 칩의 증가에 따른 interconnection delay의 증가와 이에 의한 속도 손실과 거의 비슷하여 그림 15에서와 같이 access time이 약 50ns로 포화할 것으로 예상된다<sup>[16]</sup>. 하지만 용도에 따라서는 작은 DRAM 용량이거나 높은 소비전력을 가지면서도 DRAM을 고속으로 해야할 경우도 있으며 BiCMOS 회로를 채용하여 더욱 고속화를 시도할 수도 있다<sup>[26]</sup>. DRAM의 집적도가 증가함에 따라 device의 size가 계속 감소하는 추세이나 power supply voltage는 거의 변화가 없기 때문에 device가 경험하는 전계의 세기는 계속 증가하여 소자

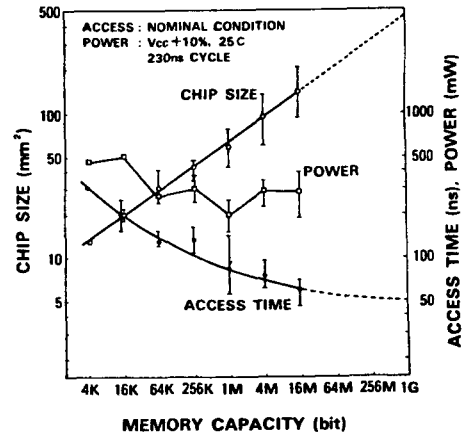


그림 15. Standard DRAM의 개발동향

의 신뢰성이 떨어지는 등의 문제가 발생한다. 이에 의해 저전압에서도 동작하는 DRAM이 설계가 되어야 하며 최근의 potable computer의 보급에 따른 저 소비전력 DRAM의 수요 증가 또한 이에 대한 개발을 가속시키고 있다.

단일 칩의 메모리 용량이 증가함에 따라 multi-bit data를 입출력하여도 충분히 큰 데이터를 저장할 수 있게 되었다. 이에 따라 소형 personal computer에서는 단일 칩으로 main memory를 대신함으로써 사용의 간편과 저 가격화 및 저 소비전력화를 도모할 수가 있게 되었다. 이러한 요구를 충족시키기 위해 4M DRAM부터  $\times 8, \times 16$  bit의 입출력 pin을 갖는 DRAM에 대한 제작이 있었으며 16M부터는 byte wide/word wide의 비중이 더욱 증대되리라는 전망이다.

또 다른 큰 분야로는 응용성을 강조하는 것으로 DRAM controller의 refresh control의 부담을 경감시킬 수 있는 Pseudo SRAM이 그중 하나이다<sup>[27]</sup>. Chip에 refresh 전용 pin을 할당하여 이 pin에 입력된 신호에 의해 auto refresh 또는 self refresh의 기능으로 동작하도록 하는 것으로 16K DRAM 시대부터 등장해서 현재에 이르고 있다. 또한 화상전용의 DRAM이 256K DRAM 시대부터 보급되어 TV나 VTR용의 FIFO(first-in-first-out) memory 및 화상처리용의 다 기능 dual port memory 등이 개발되어 시장에 정착하였다<sup>[28]</sup>. 1991년말 및 1992년초에는 synchronous DRAM(S-DRAM)이라는 새로운 제품의 표준화가 토의되고 있다. 이 제품은 main clock이 입력되면 그 밖의 모든 입출력 control signal 및 data signal이 이 clock에 기준을 두고

동작하도록 설계되어 10ns대의 초고속 동작이 기대되고 있으며 16M DRAM부터 제품이 선보일 예정이다.

무궁무진한 제품화 가능성 및 파급효과가 예측되는 곳은 다른 칩과 DRAM과의 integration에 있다고 할 것이다. 1992년 미국 ISSCC 학회에서 선보인 cache DRAM<sup>[29]</sup>과 system memory<sup>[30]</sup>를 그 예로 들 수 있다. Cache DRAM은 cache memory인 SRAM과 main memory인 DRAM을 집적화하여 그 기능을 최적화 한 것인데 종래의 문제점으로 지적되었던 SRAM과 DRAM 사이의 bus line limitation이 집적화에 의해 완화되어 hit-rate을 증가시킬 수가 있었다. 물론 board 면적도 감소시킬 수가 있었으며 제작 cost도 절감할 수 있다는 집적화에 따른 장점은 그대로 유지할 수 있다. 또 다른 획기적인 제품으로는 0.3 $\mu$ m 시대에 일반화 되리라고 일컬어지는 “system memory의 집적화”를 시도한 system memory를 들 수 있다. 11개의 4M DRAM, 6개의 64K SRAM 및 1개의 18K gate array를 38.18  $\times$  50.5mm<sup>2</sup> 단일 칩에 집적화 하였다. 이러한 기술이

일반화 된다면 microprocessor와 DRAM, cache SRAM 및 DRAM controller를 동일 칩에 집적화 한 시스템 칩이 제작될 가능성이 있다. 즉 앞서 언급한 바와 같이 DRAM의 속도가 interconnection delay에 의해 포화되고 메모리의 용량도 필요이상으로 집적화 되고 있으므로 메모리 용량을 집적화 하고 여분의 area에 다른 칩들을 집적화 하여 bus size를 확대함에 따른 시스템의 속도 증가를 피하고 보다 다양한 기능을 추가하는 것이 장래의 기술개발 방향이라고 생각된다. 이 경우 yield와 소모 면적 등이 문제로 대두되어 built-in-self repair라는 방식을 채용하는 등 yield를 높이려는 노력이 있었으나 아직도 여전히 문제로 남아 있다. 또한 우려되는 것은 design의 한계와 test의 한계일 것이다. Main frame CPU에 포함되어 있는 10<sup>9</sup>-10<sup>10</sup>개의 소자들을 단일 칩에 적정한 시간내에 설계하며 그 기능을 충실히 test한다는 것은 극복해야만 하는 큰 난관이라 여겨진다.

표 5.

	64M DRAM	256M DRAM	1G DRAM	비 고
개발 완료 시기	1993~1994	1996~1997	1999~2000	
양산 시작 시기	1996~1997	1999~2000	2002~2003	
Design Rule ( $\mu$ m)	0.35	0.25	0.15	MFS
Gate Oxide Thk Tox eq(Å)	100	70	50	고 신뢰성을 위하여 다층화/Oxynitride 화
Capacitor 절연 박막 Tox eq(Å)	NO 45	NO/Ta <sub>2</sub> O <sub>5</sub> / 고유전체 30	Ta <sub>2</sub> O <sub>5</sub> 고유전체 20	
Isolation Space( $\mu$ )	Modifid Lo Cos/Trench 0.35	Trench 0.25	Trench 0.15	
Planarization	(BPSG & SOG) or (BPSG & DED)	(BPSG & DED & CMP) or (DED & SOG & CMP)	?	DED : Dep Etch Dep CMP : Chemical Mechanical Pol ish
Contact	W-Etchback or Selective-W	Selective-W or Al -Reflow(or CVD)	?	
Metal Layer	2~3	3	3~4	
Lithography	I-Line+TLR (Annular) or I-Line+Desire	DUV + P,S + TLR or DUV+TLR (Annular)		DUV : Deep U.V PS : Phase Shift TLR : Tri Level Resist

### III. 결 론

고집적화, 성능, 신뢰성이 그 생명처럼 인식되는 반도체 소자중에서 DRAM은 반도체 공정 기술의 견인차 역할을 하고 있다. 서론과 본문에서 지금까지의 DRAM 발전과정과 전략에 초점을 두고 서술하였다. 결론에서는 DRAM 기술의 앞으로의 전망을 예측해 봄으로써 본 고를 마치려 한다.

Process technology development(공정기술개발)에 있어 각 generation(세대 : 256K, 1M, 4M, 16M등)간에 가장 잘 지켜진 rule이 있다면 그것은 design rule 및 minimum feature size의 30% 축소와 칩 사이즈의 40% 증가이었다고 생각된다. 1990년대 중반부터 2000년대 초반까지 계속될 DRAM의 공정기술 발전 방향을 표5에 표시하여 보았는데, 축전 capacitor의 개발에 있어서는 capacitor 구조의 복잡성과 신뢰성 있는 고유전율 박막소재 개발의 난이도가 1T1C cell technology의 trade-off point가 되리라고 예측되며 64M 혹은 256M DRAM부터는 P-MOS의 sub  $1/2\mu\text{m}$  device를 가능케 하고 word line resistance를 최소화 할 수 있는 complementary polycide나 salicide technology가 thermal budget 감소와 함께 시도될 것으로 예측된다.

설계측 면을 보면, cell efficiency 및 성능을 높일 수 있는 chip architecture가 고안되고 있으며, cell efficiency는 점진적 소폭 상승이 예상된다. Low power device, fast device, special operation이 첨가된 device, BIST(built-in self test)등이 내장된 device 등 smart 기능이 추가된 설계들이 이루어져 속도, 소모전력, I/O 면에서 제품의 다변화가 가속되리라 예상되며 기능상으로도 Pseudo DRAM, synchronous DRAM, video DRAM과 rambus DRAM 등으로 제품의 다변화가 활성화 될 것이다. 또한 DRAM technology를 이용한 system integration 측면도 생각해 볼 수 있는 분야로써 DRAM을 탑재한 MPU, cache DRAM과 ASIC DRAM 등이 그 것이라 할 수 있는데 후자의 경우는 이미 시도되어 1992년 ISSCC에 발표된 바 있으며 MPU의 역할 확장 또한 microprocessor 쪽에서도 추구되는 바이다. 예를 들면 80386으로부터 80486으로의 변화는 기존의 MPU(80386)에 Math processor를 내장시킨 것으로 MPU 쪽에서도 1 chip 내에 그 역할 확장을 꾀하고 있다.

앞으로의 반도체 시장은 다변화와 국제 경쟁의 심화가 예상되며 적자생존의 시장원리가 지배될 것임은 명약관화하다. 국제 경쟁에서 살아 남고 우위를 확보하려

면, 부단한 기술개발, 원가 절감, 제품의 다변화 및 집적화, 기술의 저변확대와 반도체 장비 산업의 육성이 시급하다고 생각된다. 정부의 반도체 소기업체에 대한 양질의 금융 제공을 통한 국제 경쟁력 강화 여건 조성 과 반도체 장비 업체의 영세성을 면키 위한 투자유치 및 확대등 일관된 노력이 필요하리라 생각된다.

### 감사의 말

본 고를 위하여 자료조사 및 기틀을 마련해 준 현대 전자 유희준 박사와 이충훈 박사 그리고 plot들을 준비해 준 박미라 주임연구원, typing에 수고를 아끼지 않은 장인미양께 감사를 드립니다.

### 參 考 文 獻

- [ 1 ] R.H.Dennard, IEEE Trans. Electron Dev., ED-31, p.1549, 1984.
- [ 2 ] Nicky C.C.Lu, IEEE Circuits and Devices Magazine, p.27, Jan. 1989.
- [ 3 ] O.Osamu, Ext. Abs, Electrochm. Soc. Meeting, Abs, no.130, Spring, 1989.
- [ 4 ] AL.F.Tasch, Jr., L.H.Parker, IEEE Proceedings, vol.77, p.274, 1989.
- [ 5 ] AL.F.Tasch, Jr. et al., IEDM Technical Digest, p. 287, 1977.
- [ 6 ] 金千洙 등, "차세대 DRAM의 Memory Cell 기술 동향", 電子工學會誌, 第 17卷 第 4號, pp.312-326, 1990.  
朴泳震 등, "고집적 DRAM용 캐패시터 구조 및 기술동향", 電子工學會誌, 第 18卷 第 9號, pp. 654-667, 1991.
- [ 7 ] K.Sunouchi et al., IEDM Technical Digest, p.465, 1991.
- [ 8 ] L.L.Lewyn and J.D.Meindl, IEEE Trans. Electron. Dev., ED-32, p.311, 1985.  
S.Fujih et al., 1986 ISSCC Technical Digest, p. 266, 1986.
- [ 9 ] L.H.Parker and AL.F.Tasch, IEEE Circuits and Devices Magazine, p.17, Jan. 1990.
- [ 10 ] H.Shinriki et al., Tech. Dig. Symp. VLSI Tech., p.25, 1989.  
S.Kaniyama et al., IEDM Technical Digest, p.

827, 1991.

[11] K.Nomura et al., J. Electrochem. SOC., vol.134, p.912, 1987.

[12] L.Manahan and M.Garvitch, 1987 IEEE Device Research Conf., Technical Abstracts, Paper IV B-7, 1987.

[13] K.Koyama et al., IEDM Technical Digest, p.823, 1991.

[14] M.C.Leng et al., IEDM Technical Digest, p.710, 1987.  
C.G.Sodini, IEEE Trans. Electron Dev., vol. ED-31, p.1386, 1984.

[15] Nikkei, Microdevices, p.36, 1990년 10월호.

[16] K.Itoh, IEEE J. Solid State Circuits, vol.25, no.3, pp.778-789, 1990.

[17] H.Masuda et al., IEEE J. Solid-State Circuits, vol.15, pp.846-854, 1990.

[18] S.S.Eaton et al., In ISSCC Dig. Tech. Papers, p. 84, Feb. 1981.

[19] K.Itoh et al., In ISSCC Dig. Tech. Papers, p.282, Feb. 1984.

[20] M.Aoki et al., In ISSCC Dig. Tech. Papers, p.250, Feb. 1988.

[21] T.Furuyama et al., IEEE J. Solid-State Circuits, vol.21, no.5, p.605, 1986.

[22] N.C.Lu and H.Chao, IEEE J. Solid-State Circuits, vol.19, no.4, p.451, 1984.

[23] JEDEC Meeting at Seattle, Feb. 1992.

[24] K.Sawada et al., IEEE J. Solid-State Circuits, pp.12-17, 1988.


[25] M.Kumanoya et al., In ISSCC Dig. Tech. Papers, p.240, Feb. 1985.

[26] G.Kitsukawa et al., IEEE J. Solid-State Circuits, vol.22, no.5, p.657, 1987.

[27] H.Kawamoto et al., IEEE J. Solid-State Circuits, pp.619-623, Oct. 1984.

[28] R.Pinkham et al., In ISSCC Dig. Tech. Papers, p. 236, 1988.

[29] K.Dosaka et al., In ISSCC Dig. Tech. Papers, p. 148, Feb. 1992.

[30] K.Sato et al., In ISSCC Dig. Tech. Paper, p.52, Feb. 1992. 

筆者紹介



閔偉植

1949年 10月 25日生

1973年 서울대학교 전자공학과 (학사)

1984年 Ohio State Univ. Electrical Engineering (박사)

1973년 ~ 1976년 해군기술장교 복무 중위제대

1976년 ~ 1978년 원진반도체 Process Engineer 근무

1978년 ~ 1984년 Ohio State Univ. R.A. 및 T.A.

1984년 ~ 1990년 미국 Intel Corp. 0.5 $\mu$ m Device/Process Manager 역임

1990년 ~ 현재 현대전자 반도체 연구소 16M / 256M DRAM 개발 담당 상무