

갈륨비소 MESFET를 이용한 고이득 차동 증폭기 설계

正會員 崔 炳 夏* 正會員 金 學 善* 正會員 金 殷 魯* 正會員 李 亨 宰*

Design of High Gain Differential Amplifier Using GaAs MESFET's

Byung Ha Choi*, Hak Sun Kim*, Eun Ro Kim*, Hyung Jae Lee* *Regular Members*

要 約

본 논문에서는 갈륨비소 연산 증폭기의 입력단 설계에 있어서 기초가 되는 차동 증폭기에 사용될 이득 증가 기법을 적용한 단일 증폭기와 새로운 구성의 전류 미러를 설계하였다.

차동 전압 이득을 높이기 위하여 단일 증폭기의 bootstrap 이득 증가 기법을 이용하여 차동 증폭기를 구성하였다. 차동 증폭기에 사용되는 정전류원으로서 주파수 특성이 우수한 선형 역상 전류 미러를 사용하여 회로의 안정화를 꾀하였다. 또한, 동상 전압 이득을 감소시키기 위하여 common mode feedback을 사용함으로써 차동 증폭기의 성능 평가에 있어서 중요한 CMRR을 높였다.

PSPICE를 통한 시뮬레이션 결과, 기본 단일 증폭기의 이득은 29.41dB인데 비하여 새로 설계된 new bootstrapped 이득 증가 기법을 사용한 경우에는 57.67dB로써 이득이 28.26dB 개선되었음을 알 수 있었다. 또한, 본 논문에서 설계한 차동 증폭기는 차동 이득이 57.66dB, CMRR이 83.98dB로써 기존의 논문^[1]보다 향상되었고 주파수 특성면에서도 차단 주파수가 23.26GHz로써 우수함을 입증하였다.

ABSTRACT

In this paper, a circuit design techniques for improving the voltage gain of the GaAs MESFET single amplifier is presented. Also, various types of existing current mirror and proposed current mirror of new configuration are compared.

To obtain the high differential mode gain and low common mode gain, bootstrap gain enhancement technique is used and common mode feedback is employed in the design of differential amplifier.

The simulation results show that designed differential amplifier has differential gain of 57.66dB, unity gain frequency of 23.26GHz. Also, differential amplifier using common mode feedback with alternative negative current mirror has CMRR of 83.98dB, slew rate of 3500 V/ μ s.

*韓國航空大學 航空電子工學科
Dept. of Avionics Eng., Hankuk Aviation Univ.
論文番號 : 92-87 (接受1992. 4. 15)

I. 서론

고속 통신 시스템, 위성 통신 시스템에서 소형, 고신뢰도 및 경량의 시스템을 구현하기 위하여 기가 주파수대역에서 동작하는 모놀리틱 형태의 고이득 광대역 연산 증폭기는 필수적이다. 또한 video signal processing, optical fiber interface, 마이크로웨이브 통신 회로, 스위치드 커패시터 필터 및 A/D, D/A 변환기와 같은 데이터 변환 회로 등에서도 모놀리틱 연산 증폭기는 필수적인 구성요소이다^{1,2,3,4,5}.

갈륨비소 MESFET는 실리콘 디바이스에 비해 높은 전자 이동도와 전력 소모가 매우 적기 때문에 보다 넓은 대역에서 동작할 수 있는 증폭기를 제공할 수 있다. 최근에 96GHz의 차단 주파수(cut off frequency)를 갖는 갈륨비소 MESFET가 보고 되었다¹³.

갈륨비소 MESFET를 이용한 연산 증폭기의 연구는 단일 증폭기에 대한 연구를 시작으로 1986년에 단위 이득(0dB)에서 150MHz의 이득-대역폭적을 갖는 연산 증폭기를 제작하였으며⁶, 1987년 이후 NMOS 회로에서 사용되는 회로 설계 기법을 응용한 다수의 갈륨비소 MESFET 2단 연산 증폭기는 MOS 회로에서는 100MHz의 차단 주파수를 갖는데 비해 500MHz에서 10GHz에 이르는 단위 이득 대역폭(unity gain frequency)과 40dB에서 60dB 사이의 dc 이득을 갖는다고 보고되었다^{7,8,9,10,11,12}. 최근에는 MBE 공법, air-bridge 공법 등을 이용하여 단위 개방 이득 주파수가 10GHz인 연산 증폭기 제작에 성공하였다¹⁰. 그러나 연산 증폭기를 설계함에 있어 갈륨비소 MESFET는 다음의 몇가지 문제점이 있다^{2,13}.

1) 실리콘 쌍극성 트랜지스터에 비해 갈륨비소 MESFET는 낮은 전달 컨덕턴스와 출력 컨덕턴스를 갖고 있어서 고이득을 얻기 힘들다.

2) MESFET는 선형 영역에서 출력 저항의 변화가 거의 없지만 포화 영역에 있을 경우에는 주파수가 커질수록 출력 저항이 급격히 감소하는 low frequency dispersion 현상을 갖고 있다.

3) GaAs MESFET 공정에서 드레인 전류상수 K와 문턱 전압 V_T 가 균일하지 못하다.

4) 낮은 홀의 이동도와 쇼트키 장벽이 낮음으로 인한 P 채널 디바이스를 사용할 수 없다는 점 등을 들 수 있다.

이들 중 회로 설계에 있어서 갈륨비소 MESFET의 가장 큰 단점은 고주파에서 자체 전압 이득(g_{mfs})이

낮다는데 있다. 이것은 증폭기의 이득을 제한하므로 아날로그 회로 전체의 정밀도에 문제를 발생시킨다. 또한 P 채널 디바이스의 결함으로 인해 상보 회로를 구성할 수 없어서 바이어스를 가하는데 어려움이 있다¹⁴.

연산 증폭기의 바이어스 조건을 안정화시키기 위하여 아날로그 집적회로에서 전류 미러를 사용하고 있다. 바이어스에 사용된 전류 미러는 공급 전원의 변동이나 온도의 변화에 회로의 성능이 크게 영향을 받지 않으며 die area 측면에서도 바이어스 전류값이 작은 경우에는 저항을 사용하는 것보다 훨씬 경제적이다^{12,13,14}.

본 논문에서는 연산 증폭기의 입력단을 설계하기 위하여 고이득 단일 증폭기를 설계하였고 회로의 안정화를 위하여 전류 미러를 사용하였다. 이를 기초로 차동 증폭기를 bootstrap 이득 증가 기법과 새로운 구성의 전류 미러를 사용하여 설계한 다음 PSPICE를 이용하여 최적화하였다.

시뮬레이션 결과, 설계된 단일 증폭기는 기보고된 회로에 비하여 이득이 증가되었으며, 선형 역상 전류 미러의 사용시 넓은 주파수대역에 걸쳐 안정된 특성을 나타내었다. 또한 차동 증폭기의 경우 이득의 향상과 함께 안정도가 증가되었다.

II. 갈륨비소 MESFET 모델링 및 파라미터 추출

2.1 갈륨비소 MESFET의 모델링

갈륨비소 MESFET 모델링에 관한 연구 보고는 회로의 정확한 물리적인 특성을 고려하여 보다 실제 특성에 근접하면서 시뮬레이션 효율을 증가시킬 수 있는 방향으로 진행되고 있다.

Schichmann-Hodges JFET 모델은 carrier velocity saturation에 의한 드레인-소오스 전류의 early saturation 현상을 충분히 기술하지 못하는 단점을 가지고 있다. 또한 Schokley 모델, velocity saturation 모델 등은 선형 영역에서 특히 실제 디바이스의 전류-전압 특성 곡선과의 차이가 크다는 문제점을 안고 있다^{15,16}.

따라서 본 논문에서는 $\tanh(\alpha V_{ds})$ 에 의해서 FET의 모든 동작 영역에서 실제 전류-전압 곡선에 가깝고 현재 가장 널리 사용되고 있는 Curtice 모델을 사용하였다. 그림 2.1에 이 모델의 등가 회로를 도시하였고 드레인 전류는 다음과 같이 표현된다.

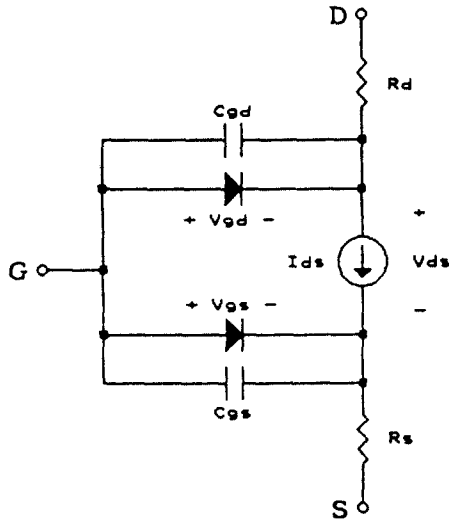


그림 2.1 갈륨비소 MESFET 동가모델

$$I_{ds} = \beta(V_{gs} - V_T)^2(1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad (1)$$

여기서 V_T , β , λ , α 는 각각 문턱 전압, 전달 컨덕턴스, 채널 길이 변조도, hyperbolic tangent 파라미터이다.

2.2 파라미터 추출

최근에 발표된 회로에 사용되고 있는 갈륨비소 MESFET의 게이트 길이는 대부분 $1\mu\text{m}$ 이하를 사용하고 있으나, 실제 제작 실현 가능성을 고려하여 $1\mu\text{m}$ 의 MESFET를 기준으로 파라미터를 사용하였다. 주요 파라미터 추출식은 다음과 같다^{[14][15][16]}.

$$V_T = V_{bi} - V_p \quad (2)$$

$$V_p = a^2 q N_d / 2\epsilon_s \quad (3)$$

$$\beta = \frac{W}{L} \frac{\mu\epsilon_s}{2a} \quad (4)$$

$$C_{gs} = \frac{W\pi\epsilon_s}{2} + \frac{WL}{2\sqrt{2}} \left[\frac{qN_d\epsilon_s}{V_{bi} - V_{gs}} \right]^{1/2} \quad (5)$$

$$C_{gd} = \frac{W\pi\epsilon_s}{2} + \frac{WL}{2\sqrt{2}} \left[\frac{qN_d\epsilon_s}{V_{bi} - V_{gd}} \right]^{1/2} \quad (6)$$

여기서,

V_{bi} : 쇼트키 장벽의 built-in potential

V_p : pinch-off 전압

a : channel thickness

N_d : 도우너 농도

ϵ_s : 유전율

W : 게이트 폭

L : 게이트 길이

이다.

회로의 시뮬레이션에 사용된 게이트 길이 $1\mu\text{m}$, 게이트 폭 $1\mu\text{m}$ 으로 정규화된 갈륨비소 MESFET에 대한 Curtice 모델 파라미터를 표 2.1에 나타내었다.

표 2.1 시뮬레이션에 사용된 갈륨비소 MESFET 파라미터

파라미터	값	파라미터	값
VTO[V]	-1.02	LAMBDA[LF]	0.06
VBI[V]	0.79	LAMBDA(HF)	0.18
ALPHA	2.0	RS,RG[Ω]	1650
BETA	58E-5	CGD,CGS[fF]	0.39

2.3 쇼트키 다이오드

갈륨비소 회로 설계에 있어서 level shifting 소자로서 고성능의 쇼트키 다이오드를 사용한다. 그림 2.2의 다이오드 PSPICE 모델에서 논리 스위칭 소자가 아닌 순방향 바이어스에 제한된 level shifting 소자로서의 쇼트키 다이오드는 작은 직렬 저항과 큰 접합 커패시턴스가 요구된다^[16].

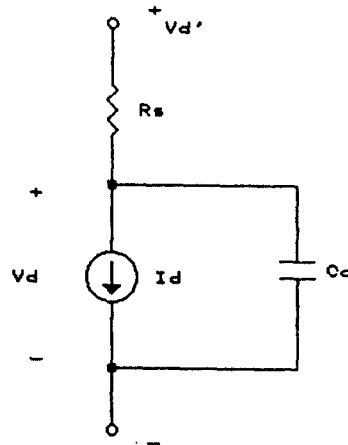


그림 2.2 갈륨비소 쇼트키 다이오드의 PSPICE 모델

전류-전압 관계는 다음 식으로 표현된다.

$$I_d = I_s \left[\exp \left[\frac{qV_d}{nkT} \right] - 1 \right] \quad (7)$$

여기서,

I_s : 다이오드의 포화 전류

n : ideality factor (or emission coefficient)

$V_{th} = kT/q$: thermal voltage

이다.

한편 전압 가변 커패시터 C_d 는 쇼트키 다이오드 내의 공핍영역에 축적된 전하를 모델링한다. 이 커패시터는 다음과 같이 나타내어진다.

$$C_d = C_{j0} \left[1 - \frac{V_d}{V_{bi}} \right]^{-m} \quad (8)$$

여기서, C_{j0} 는 0 바이어스에서 접합 커패시턴스이고, V_{bi} 는 실효 built-in 전압이다. 불균일한 도핑 profile의 쇼트키 다이오드를 모델링하기 위하여 built-in 전압을 실제보다 크게 정한다. 이 때 사용되는 파라미터가 grading coefficient m 이다.

시뮬레이션에 사용된 다이오드의 PSPICE 모델 파라미터는 표 2.2와 같다^[16].

표 2.2 갈륨비소 쇼트키 다이오드의 PSPICE 모델 파라미터

파라미터	값
RS(Ohmic resistance)	1500 [Ω]
N(Ideality factor)	1.1
CJO(Zero bias junction capacitance)	0.39 [fF]
VJ(Built-in potential)	0.8 [V]
M(Grading coefficient)	0.5

III. 차동 증폭기 설계

3.1 차동 증폭기 요건

일반적으로 차동 증폭기는 연산 증폭기의 입력단으로 주로 이용된다. 4단으로 구성된 연산 증폭기의 일반적인 구성도를 그림 3.1에 도시하였다.

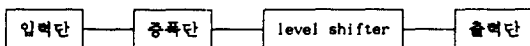


그림 3.1 연산 증폭기의 구성도

연산 증폭기의 입력단은 입력 전압의 차동 성분만을 증폭하는 차동 증폭기이고 증폭단은 입력단의 출력을 증폭하고 single ended output을 가진 출력단을 구동한다. level shifter는 한단의 dc 출력 레벨이 다음단에서 요구되는 입력 dc 전압보다 높은 경우 dc 레벨을 낮추어서 다음단으로 신호를 전달하는 역할을 하고, 출력단은 필요한 부하 전류를 공급해 줄 수 있어야함과 동시에 낮은 출력 저항을 갖도록 설계되어야 한다.

일반적으로 연산 증폭기의 입력단은 다음 조건을 만족해야 한다^[19].

- 1) 큰 입력임피던스
- 2) CMRR (common mode rejection ratio)을 증가시키기 위하여 공통 이득은 작아야 하고 차동이득은 커야 한다.
- 3) 큰 PSRR (power supply rejection ratio)
- 4) 낮은 dc offset 전압 및 잡음
- 5) 연산 증폭기의 전체 전압 이득을 높일 수 있는 회로 구성

본 논문에서는 이들 조건중 갈륨비소 MESFET를 이용하여 연산 증폭기의 차동입력단을 구성하고자 할 때 특히, 고주파대에서 고이득 및 큰 CMRR을 얻을 수 있도록 초점을 맞추어 설계하였다.

3.2 기본 차동 증폭기

갈륨비소 연산 증폭기의 이득은 바이폴라 차동 증폭기의 이득에 비해서 매우 작다. 저이득 증폭기를 다단으로 구성하는 경우에는 큰 위상 지연을 일으키므로 본질적으로 연산 증폭기는 각 stage당 높은 전압 이득이 요구된다. 특히 차동 증폭기는 연산 증폭기의 전체 특성에 영향을 줄 수 있기 때문에 높은 이득을 얻도록 하는 회로 구성이 필요하다.

그림 3.2에 능동 부하를 사용한 기본 차동 증폭기를 나타내었는데 대칭성을 갖는 differential pair의 모든 FET의 게이트 길이는 $1\mu\text{m}$ 로 동일하고 포화 영역에서 동작하고 있다는 가정하에서 회로를 해석하고 설계하였다.

차동 증폭기의 차동 이득은 다음식으로 나타낼 수 있다.

$$A_{vd} = \frac{V_{o1} - V_{o2}}{V_{in1} - V_{in2}} = \frac{-g_{m1}}{g_{ds1} - g_{ds2}} \approx \frac{-g_{m1}}{g_{ds3}} \quad (9)$$

식 (9)에서 차동 이득은 게이트폭 비(W_1/W_3)의 함수로서 주어지고 다음 절에서 기술하게 될 기본 단

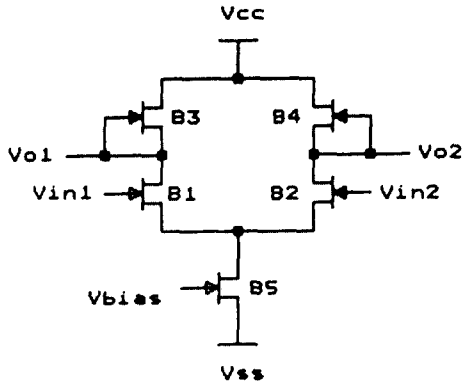


그림 3.2 기본 차동 증폭기

일 증폭기의 이득과 동일하다. 그러나 기본 차동 증폭단은 공급 전원 V_{cc} 와 V_{ss} 하에서 공통 신호 및 잡음 성분을 제거시킬 수 있는 장점이 있지만, 이득이 작아서 범용 연산 증폭기의 입력단으로 사용할 수 없다. 따라서 차동 증폭기의 구성에 있어서 기초가 되는 단일 증폭기의 이득 증가 기법에 대해 다음 절에서 다루고자 한다.

한편 FET에서 게이트 전압을 일정하게 할때 포화 영역에서 V_{ds} 가 변화하더라도 드레인-소스간에는 거의 일정한 전류가 흐른다. 따라서 FET B5를 제한된 범위에서 정전류원으로 사용할 수 있다. 정전류원으로 사용되고 있는 FET의 전류-전압 관계와 실제적인 전류원 모델을 그림 3.3에 나타내었다.

3.3 단일 증폭기의 이득 증가 기법

3.3.1 기존의 단일 증폭기

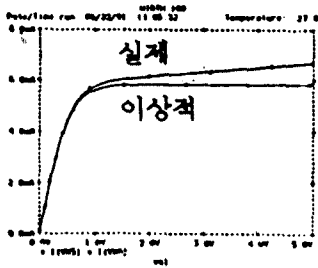
높은 전압 이득을 얻기 위하여 단일 증폭기에 저항 부하를 사용하는 것은 큰 공급 전원이 필요하고 큰 저항이 필요하기 때문에 집적화에 유리한 능동 부하를 사용하였다. 증가형 갈륨비소 MESFET를 능동 부하로 이용하는 경우에는 게이트에 가해진 전압이 0.6~0.8V 이상으로 순방향 바이어스되면 과도한 누설 전류가 흐르기 때문에 게이트의 전압폭은 0.5~0.6V 정도로 제한을 받는다. 또한 공핍형 MESFET에 비해 이득이 낮고 주파수 특성에서 커다란 손실을 가져오는 단점과 공정상에서 문제점이 있으므로 본 문에 사용된 MESFET는 이득과 속도의 개선을 위하여 공핍형 MESFET를 사용하였다.

그림 3.4(a)는 NMOS 회로에서 사용되는 기본 단일 증폭기이다. 이 회로의 전압 이득은 소신호 해석을 통하여 다음과 같이 근사화된다.

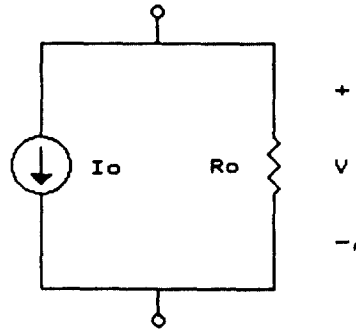
$$A_{v1} = -g_{m1} / (g_{ds1} + g_{ds2}) \quad (10)$$

여기서, g_{m1} 은 B1의 전달 컨덕턴스이고 g_{ds1} 와 g_{ds2} 는 각각 B1, B2의 드레인-소스 컨덕턴스이다.

식 (10)에서 높은 전달 컨덕턴스와 출력 저항은 고이득의 증폭기를 얻기 위해서는 필수적임을 알 수 있다. 일반적으로 갈륨비소 MESFET의 전달 컨덕턴스는 다음과 같이 주어진다¹¹⁾.



(a) 전류-전압 관계



(b) 등가 모델

그림 3.3 정전류원의 전류전압관계 및 등가 모델

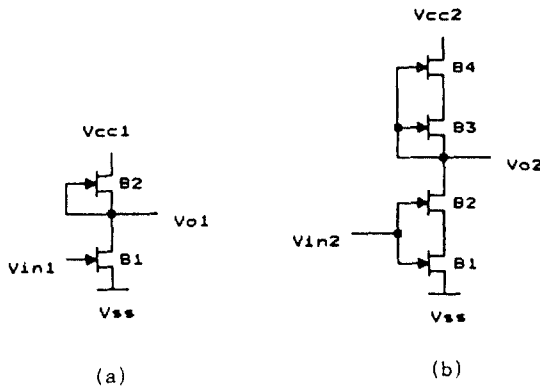


그림 3.4 단일 증폭기

$$g_m = 2K \sqrt{(W/L)I_{ds}} \quad (11)$$

여기서, K는 $1 \times 10^{-4} (A/V^2)$ 의 값을 갖는 상수, W는 게이트 폭, L은 게이트 길이, I_{ds} 는 동작점에서 드레인 전류이다.

갈륨비소 MESFET의 전달 컨덕턴스를 높이기 위한 설계에서 W와 I_{ds} 는 커야 하고 L은 작아야 한다. 이러한 설계는 상반적인 관계(trade off)를 갖는데 I_{ds} 가 커지면 커질수록 전력 소비는 많아진다. W의 증가는 큰 칩 면적과 큰 입력 커패시턴스를 발생시키기 때문에 무한정 증가시킬 수 없다.

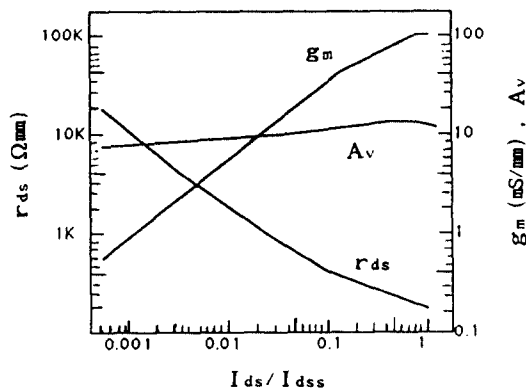


그림 3.5 갈륨비소 MESFET의 전류의 변동에 따른 전달 컨덕턴스, 출력 저항 및 전압 이득의 변화

L의 감소는 MESFET의 최대 동작 주파수($f_{tr} = g_m / (6.28 \times C_{gs})$)를 확장시키기 위하여 사용될 수 있

지만 출력 임피던스 관점에서 보면 출력 저항은 게이트의 길이의 감소에 따라 작아지므로 전압 이득에는 크게 영향을 미치지 못한다²⁰⁾. 그림 3.5에 이 관계를 나타내었는데, 100KHz 이상의 주파수에서 전압 이득은 약 20정도이다.

이상에서 전달 컨덕턴스의 증가는 전압 이득에 크게 영향을 미칠 수 없으므로 본 논문에서는 단일 증폭기의 전압 이득을 증가시키기 위하여 전달 컨덕턴스 대신에 출력 저항을 증가시키는 방법을 채택하였다.

높은 이득을 얻기 위하여 다단으로 증폭기를 구성한 수도 있지만 큰 전력 소비, 대역폭의 감소, 위상 지연 등의 문제가 발생한다. 그러나 bootstrap 이득 증가 기법은 단일 증폭기로서 2단으로 증속 연결한 것과 동일한 이득을 얻을 수 있는 잇점이 있다.

그림 3.4(b)에 출력 저항을 증가시키기 위하여 B4의 드레인-소스 전압이 B3의 게이트-소스 전압으로 되는 단일 cascode bootstrap 증폭기를 나타내었다. 이 관계식을 수식으로 표현하면,

$$V_{ds3} = -V_{gs1} = [V_{to1} | 1 - \sqrt{W_3/W_1}] \quad (12)$$

이 된다.

B4의 게이트 폭(W_1)은 짧은 채널 공평형 갈륨비소 MESFET에서 나타날 수 있는 early saturation 현상이 존재한다고 가정할때 B3를 포화 영역으로 유지시키기 위해 충분한 V_{ds3} 를 갖도록 W_3 보다 크게 정한다. $V_{ds} = V_{gs} - V_T$ 에서 전류 포화를 일으키는 채널의 길이가 긴 FET와는 달리 짧은 채널 갈륨비소 MESFET에서는 보다 낮은 드레인 소스 전압에서 전류 포화가 발생한다. 그 결과 B4 디바이스의 게이트 폭을 충분히 크게함으로써 두개의 FET는 공통 게이트 단자에 직렬로 연결되어 포화 영역으로 바이어스될 수 있다. 두개의 self-bootstrap 트랜지스터쌍의 출력 임피던스는 피이드백에 의해 $(1 + g_{m1}r_{ds1})$ 배 증가된다. 이 증가분은 증폭기 구동단에도 적용될 수 있다.

이 회로의 이득은 근사적으로

$$A_{v2} \approx -g_{m1} / \left(\frac{g_{ds3} \cdot g_{ds1}}{g_{m1}} + \frac{g_{ds1} \cdot g_{ds2}}{g_{m2}} \right) \quad (13)$$

로 주어진다.

그림 3.4(b)의 증폭기는 식 (13)에서 보는 것처럼 앞에서 기술한 기본 증폭기에 비해 훨씬 높은 전압 이득을 얻을 수 있음을 알 수 있다. 회로의 대역폭은

B2의 밀러 커패시턴스에 의해 다소 줄어들지만 B2를 cascode 디바이스로 대체함으로써 증가시킬 수 있다.

3.3.2 고이득 단일 증폭기의 설계

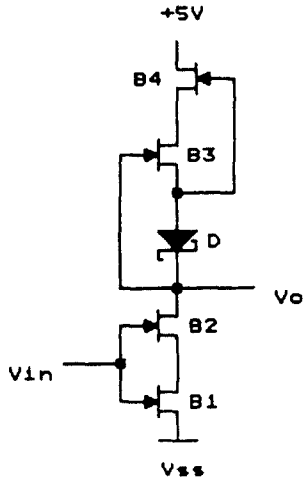


그림 3.6 설계된 단일 증폭기

그림 3.4(b)는 갈륨비소 MESFET의 2차 특성인 early saturation 현상에 영향을 받을 뿐 아니라 문턱 전압을 2중으로 조정해야 하는 문제점이 있다. 이 기법은 모든 MESFET가 early saturation 현상을 나타내지는 않으며 또한 공정이 복잡해 질 수 있다는 단점이 있다. 따라서 보다 큰 이득을 얻기 위하여 1차 특성을 이용한 안정된 회로 구성인 그림 3.6의 증폭기를 제안한다.

개선된 증폭기에서 B3가 포화 영역에 있도록 쇼트키 다이오드를 사용하였다. 다이오드의 크기를 조절하면, $-0.6V$ 의 B3 게이트-소스 전압은 그림 3.6의

부하가 보다 큰 저항값을 갖도록 한다. 그림 3.7의 소신호 등가 모델을 통해 출력저항 r_0 를 구하면 다음과 같다^[21].

$$r_0 = \frac{1}{g_{ds3}} \left[1 + \frac{g_{m4} + g_{ds3}}{g_{ds4}} + \frac{g_{m3} + g_{ds3}}{g_d} + \frac{g_{m3} \cdot g_{m4}}{g_{ds4} g_d} \right] \quad (14)$$

여기서 g_d 는 다이오드의 컨덕턴스이다. 만일 g_{m3} , g_{m4} 와 g_d 가 같은 크기이고, g_{ds3} , g_{ds4} 가 $g_m \gg g_{ds}$ 인 값을 가질때 설계된 회로의 출력 저항은 다음과 같이 근사화된다.

$$r_0 \cong 2r_{ds3} (1 + g_{m4} \cdot r_{ds4}) \quad (15)$$

따라서 그림 3.6 회로의 전압 이득은 다음과 같이 구해진다.

$$A_v \cong -g_{m1} / \left(\frac{g_{ds3} \cdot g_{ds4}}{2g_{m4}} + \frac{g_{ds1} \cdot g_{ds2}}{g_{m2}} \right) \quad (16)$$

위의 식에서 분모의 첫째 항의 크기가 (13)에 비해 작아져서 결과적으로는 이득이 증가한다. 이는 출력 저항이 그림 3.4(b) 회로에 비해 2배 정도 증가되었기 때문이다.

그림 3.6은 다른 증폭기의 회로 구성에 비해 전력 소비가 다소 증가하고 주파수 특성에 제한을 받지만 높은 출력 저항을 얻을 수 있으므로 전압 이득을 향상시킬 수 있다. 또한 MESFET의 1차 특성을 이용하므로써 공정의 어려움을 피할 수 있고 안정된 동작을 할 수 있다는 장점이 있다.

3.3.3 단일 증폭기의 성능 평가

동일 조건하에서 전압 이득을 비교하기 위하여 구동단 트랜지스터(B1)의 폭은 전류 변동에 대한 영향

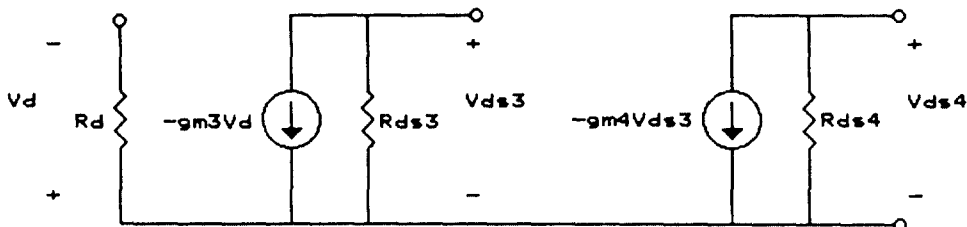


그림 3.7 그림 3.6 회로의 부하 저항 등가 모델

을 최소화하기 위해 100 μm 로 동일하게 하고, 전원 전압은 +5V의 단일 전원 전압을 사용하였다. 3가지 증폭기에 대한 디바이스의 쪽을 표 3.1에 나타내었다.

표 3.1 회로에 사용된 트랜지스터의 게이트 폭(단위: μm)

	그림 3.4(a)	그림 3.4(b)	그림 3.6
B1	100	100	100
B2	50	500	500
B3	-	50	50
B4	-	500	250

증폭기의 시뮬레이션된 이득 및 발표된 논문¹¹⁾의 측정 이득과 -3dB 주파수를 표 3.2에 비교하였다.

표 3.2 이득에 대한 각 증폭기의 측정값¹¹⁾과 시뮬레이션값의 비교

그림		3.4(a)	3.4(b)	3.6
전압 이득 (dB)	측정값 ¹¹⁾	22.54	43.91	-
	시뮬레이션값	29.41	45.85	57.67
-3dB 주파수 (Hz)		1.259GHz	39.8MHz	25.92MHz
단위 이득 주파수 (Hz)		63GHz	12.59GHz	6.012GHz

그림 3.4(a)의 기본 증폭기는 이득이 22.54dB 로써 고이득을 요하는 시스템에 부적당하다. 그림 3.4(b)의 bootstrap 증폭기는 피이드백에 의한 부하 저항의 증가로 회로의 유효 이득을 향상시켜 45.85dB를 얻

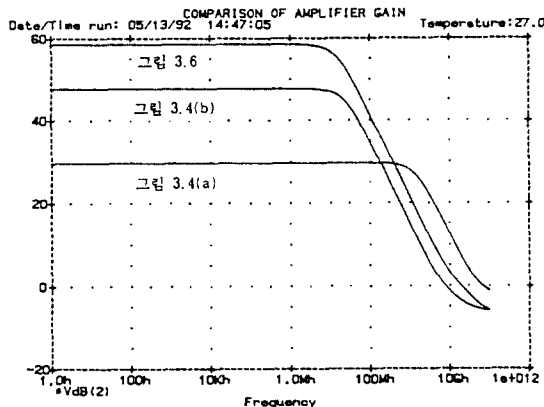


그림 3.8 단일 증폭기의 주파수 특성

었다.

본 논문에서 설계 제시된 그림 3.6의 증폭기는 MESFET의 가장 커다란 문제인 고주파에서 출력 저항이 작다는 문제를 해결하기 위하여 출력 저항이 큰 능동 부하를 bootstrap 구동단에 연결한 회로이다. -3dB 주파수는 다른 증폭기에 비해 다소 떨어지지만 범용 연산 증폭기에 사용하기에는 무리가 없으며, 이득은 57.67dB로써 그림 3.4(b)에 비해 11.82dB 향상되었다. 비교를 위해 단일 증폭기의 주파수 응답을 그림 3.8에 나타내었다.

3.4 이득 증가 기법을 적용한 차동 증폭기의 설계

연산 증폭기의 입력단은 높은 CMRR을 얻기 위하여 높은 차동 이득과 낮은 공통이득이 요구된다. 앞에서 기술한 단일 증폭기의 이득 증가 기법을 차동 증폭기에 적용하면 차동 이득을 크게 개선시킬 수 있을 것이다.

그림 3.9(a)는 기본 차동 증폭기에서 능동 부하를 bootstrap으로 구성한 예이고 그림 3.9(b)는 구동단 및 부하 모두를 bootstrap으로 연결하여 높은 전압 이득을 꾀한 회로이다. 그림 3.9(c) 부분적으로 캐환을 사용한 경우로서 소스 폴로어 트랜지스터 B3는 B1과 B2의 r_{ds} 양단의 교류 전압을 감도록 해준다. 따라서 갈륨비소 MESFET의 낮은 전압 이득 $g_{m\text{rds}}$ 가 차동 이득에 미치는 효과는 크게 줄어들어서 유효 이득은 증가된다⁸⁾⁹⁾.

본 논문에서는 그림 3.10에서와 같이 새로 설계된 단일 증폭기를 응용하여 차동 증폭기를 구성하였다. 부하 저항을 증가시키는 이득 증가 기법을 사용함으로써 고이득의 차동 증폭기를 설계하였다. 안정된 특성을 얻기 위하여 다이오드를 사용하였는데 이로 인하여 주파수 특성이 다소 떨어지는 단점이 있지만 전체적으로 안정된 특성을 얻을 수 있는 회로 구성이다.

D1과 D2의 크기는 다이오드 양단의 전압이 B5, B6를 포화 영역에 있도록하기 위하여 B5, B6의 게이트 폭과 동일하게 정한다. 정전류원으로 사용되는 MESFET B9는 D1과 D2에 의한 전류의 감소로 다른 회로 구성에 비해 게이트 폭이 좁은 FET의 사용이 가능하다. 결과적으로 부하의 출력 저항을 향상시켜 차동 증폭기의 이득은 그림 3.9 회로들에 비해 증가된다.

CMRR을 증가시키기 위해서 정전류원의 출력 임피던스를 증가시키는 방법과 common mode feedback

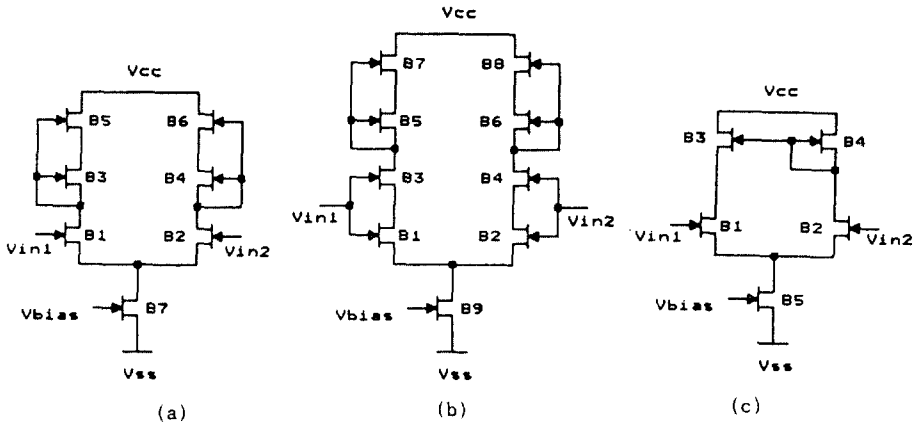


그림 3.9 기존의 차동증폭기

- (a) bootstrap 부하를 사용한 차동증폭기
- (b) 부하 및 부동단을 bootstrap 기법을 사용한 차동증폭기
- (c) local feedback을 사용한 차동증폭기

을 사용하는 방법 등이 있다. 전자는 공정상에서 해결해야 할 문제로서 short channel effect를 줄여줌으로써 정전류원의 출력 저항을 증가시킬 수 있어서 높은 CMRR을 얻을 수 있다. 본 논문에서는 선형 역상 전류 미러와 common mode feedback를 이용하였다.

3.5 안정화 회로 구성

그림 3.11에서 처럼 common mode feedback를 사용하는 경우에는 FET B13과 B14가 differential pair의 출력 전압을 감지해서 전류 미러의 전류를 제어함으로써 CMRR을 증가시킬 수 있다.

만일, 외부의 어떤 요인으로 인하여 입력단의 공통 모드 출력 전압이 증가하면 전류 미러의 출력 전류를 증가시키고, 이 전류의 증가는 차동 증폭기의 부하에 걸리는 전압을 증가시켜서 출력 전압을 감소시킨다. 따라서 common mode feedback 회로는 입력 전압의 어떤 변동에 대해서도 입력단의 공통 모드 출력 전압을 일정하게 유지시켜줌으로써 CMRR을 증가시킬 수 있다.

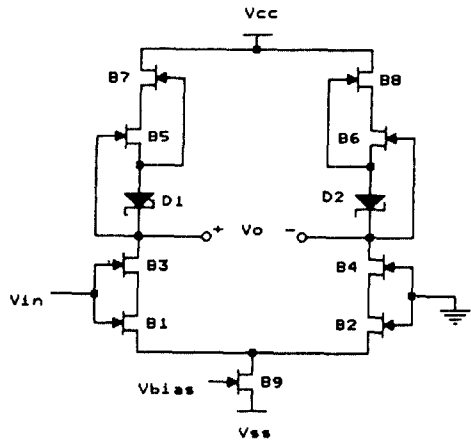


그림 3.10 설계된 차동 증폭기

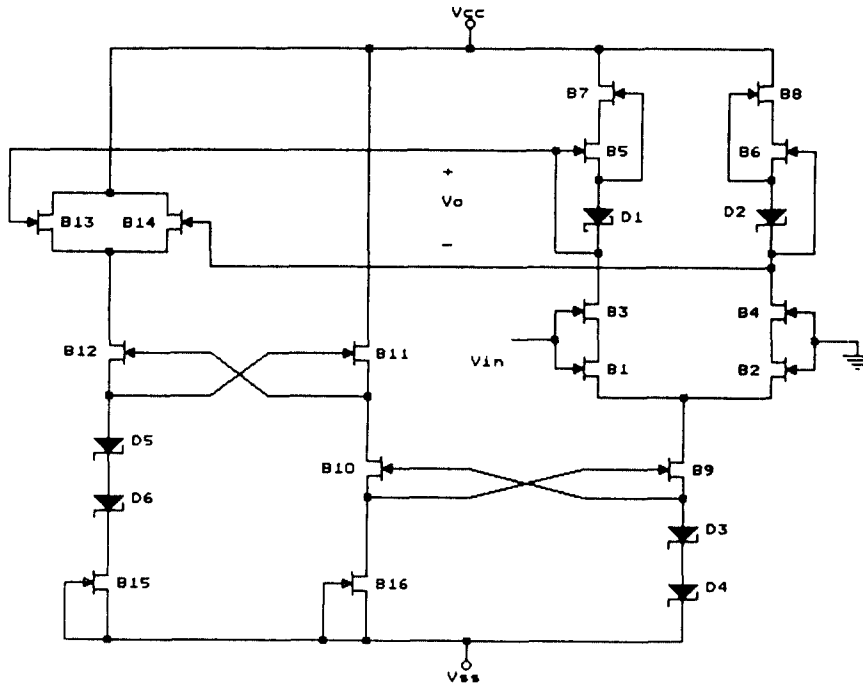


그림 3.11 common mode feedback를 사용한 차동 증폭기

IV. 시뮬레이션 결과 및 검토

앞에서 제시한 차동 증폭기의 전압 전달 특성 곡선 및 주파수 응답 곡선을 PSPICE를 사용하여 얻었다. 시뮬레이션에 사용된 MESFET의 게이트 폭을 표 4.1에 나타내었다. 동일 조건하에서 회로의 성능을 평

가하기 위해 구동단 트랜지스터의 게이트의 폭은 100 μm 로 동일하게 정하였다.

시뮬레이션 결과 그림 3.2의 기본 차동 증폭기의 차동 이득은 28.59dB의 결과를 얻었는데 단일 증폭기의 이득 거의 비슷함을 알 수 있었다. 또한 이득이 35.12dB인 그림 3.9(a) 회로에 비하여 구동단과 부하 모두를 bootstrap으로 구성한 그림 3.9(b)의 경우에 8.39dB 개선되었음을 확인할 수 있었다. 그림 3.9(c)는 local feedback를 사용하지 않았을 경우에 비해 이득이 29.48dB로서 우수하지만 회로의 대칭성이 이루어지지 않아 큰 offset 전압이 발생하는 문제점이 있다. 본 논문에서 설계한 그림 3.10의 차동 증폭기는 새로운 구성의 능동 부하로인해서 이득이 57.66dB로서 다른 증폭기에 비해 크게 향상되었음을 입증할 수 있었다.

그림 4.1(a)는 4가지의 차동 증폭기의 입출력 전압 전달특성곡선을 나타낸 것으로서 (a)(b)(c)는 그림 3.9의 기존 차동 증폭기의 특성 곡선이고 (d)는 설계된 차동 증폭기의 특성 곡선이다. 특성 곡선 (d)는 다른 곡선에 비해 보다 이상적인 특성 곡선에 근접하기

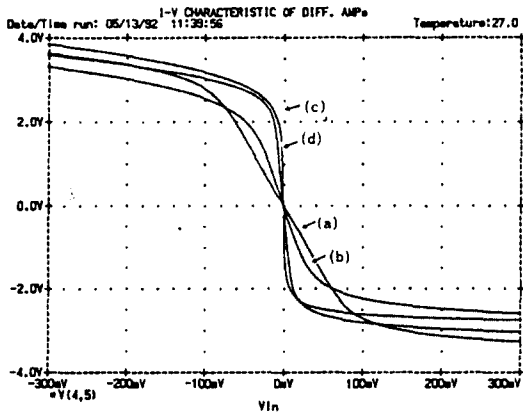
표 4.1 차동 증폭기의 게이트 폭(단위: μm)

	그림 3.2	그림 3.9(a)	그림 3.9(b)	그림 3.9(c)	그림 3.10
B1,B2	100	100	100	100	100
B3	20	50	500	100	500
B4	20	50	500	50	500
B5	33	250	50	25	50
B6	-	250	50	-	50
B7	-	100	250	-	250
B8	-	-	250	-	250
B9	-	-	100	-	20

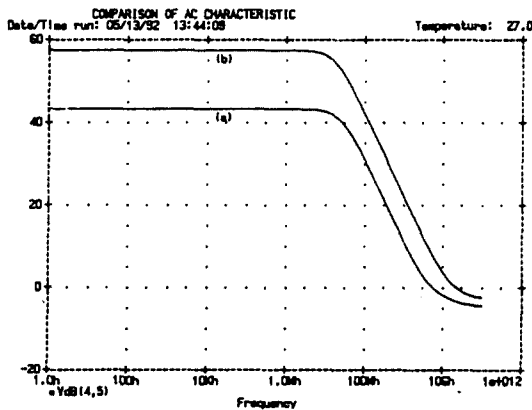
때문에 아날로그 및 디지털 회로에 사용될 때 고이득 및 고속의 특성을 얻을 수 있다.

그림 4.1(b)에 고이득의 차동 증폭기(그림 3.9(b))와 설계된 차동 증폭기의 주파수 응답을 비교하여 나타내었다. (a), (b)는 각각 그림 3.9(b), 그림 3.10 회로에 대한 것이다. 설계된 회로는 다른 회로 구성에 비해 대역폭이 밀리 커패시턴스나 다이오드에 의해 감소하는 경향이 있지만 단위 이득 주파수가 23.26GHz로 확장되어 고주파 회로에 충분히 응용할 수 있다.

그림 4.1의 시뮬레이션 결과에서 새로 설계된 bootstrap 차동 증폭기는 고이득을 얻기 위한 회로로



(a) 입출력 전압전달곡선



(b) 주파수 특성 곡선

그림 4.1 차동 증폭기의 전압전달곡선 및 주파수 특성 곡선 비교

서 적합하며 기가(giga) 주파수대에서 동작되는 고이득 연산증폭기의 구현이 가능함을 보여주고 있다. 또한, CMRR을 증가시키기 위한 회로 구성인 그림 3.11의 회로에서 전류 미러로서 동상 전류 미러를 사용하는 것보다 선형 역상 전류 미러를 사용하는 경우에 이득 증가에는 커다란 기여가 없으나 주파수 및 안정도 면에서 우수함을 확인할 수 있었다. 그림 4.2는 그림 3.10의 차동 증폭기(a)와 3.11의 common mode feedback을 사용한 차동 증폭기(b)의 주파수에 따른 공통 전압 이득의 변화를 나타낸 것이다. (a)는 저주파에서 -19.04dB , (b)는 -26.32dB 로써 common mode feedback을 사용하였을 때 CMRR을 보다 효과적으로 증가시킬 수 있음을 알 수 있다.

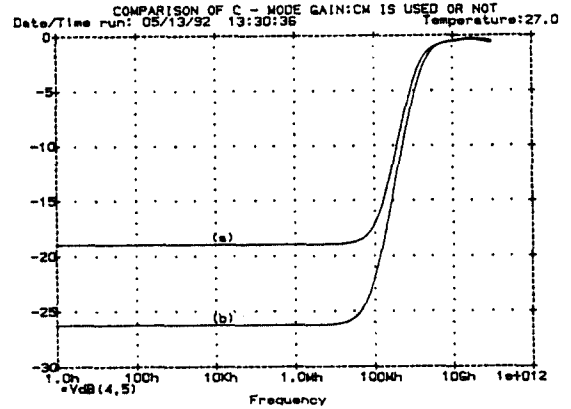


그림 4.2 주파수 변동에 따른 공통 이득

차동 증폭기의 성능 평가에 있어서 중요한 파라미터 중의 하나인 slew율을 그림 4.3과 같이 회로를 구성한 다음, 완성된 차동 증폭기에 대해 측정하고 그 파형을 그림 4.4에 나타내었다. 이 회로는 $3500\text{ V}/\mu\text{s}$ 의 slew율을 갖는다.

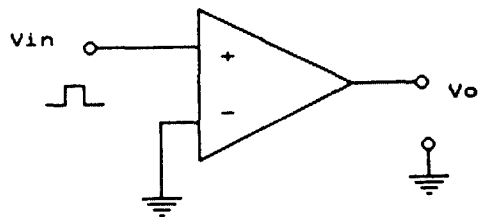


그림 4.3 slew율 측정 회로

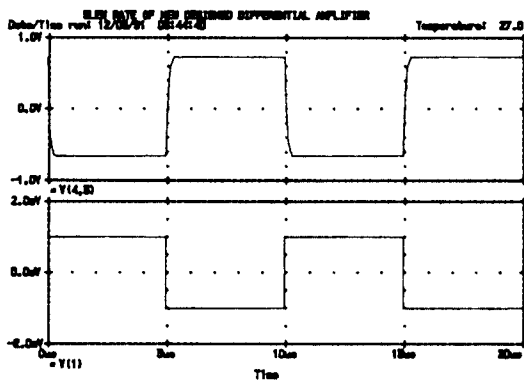


그림 4.4 슬루율의 측정과 그 파형

V. 결 론

스위치드 커패시터 필터, D/A, A/D 변환기와 같은 고속 아날로그 시스템, 위성통신 시스템, video signal processing, optical fiber interface 회로 등에서 필수적 구성요소인 연산 증폭기를 갈륨비소 MESFET를 이용하여 구성하고자 할때 가장 큰 문제점은 MESFET의 자체 전압 이득($g_{m, int}$)이 10~20정도로 매우 작다는데 있다.

따라서 본 논문에서는 이득 증가 기법을 적용하여 고이득의 증폭기를 설계하여 57.67dB를 얻었으며 회로의 안정화를 위하여 선형 역상 전류 미러를 도입, 시뮬레이션을 행하였다.

시뮬레이션 결과 설계된 단일 증폭기의 이득이 57.67dB로서 고이득 연산 증폭기를 설계하는데 적합하고, 선형 역상 전류 미러를 사용시 안정도와 주파수 특성면에서 우수함을 입증할 수 있었다.

이들을 이용하여 연산 증폭기의 차동 입력단을 구성하였다. 설계된 차동 증폭기의 전압 이득은 57.66dB로써 다른 회로 구성의 증폭기에 비해 이득이 크게 향상되었으며 잡음이나 동상 신호를 제거할 수 있다는 장점을 가지고 있다.

설계된 차동 증폭기에 전류 미러와 common mode feedback 기법을 도입함으로써 CMRR이 83.98dB이고, 슬루율이 3500 V/ μ s, 난위 전압 이득 주파수가 23.26GHz로써 고이득 광대역의 차동 입력단의 특성이 우수함을 확인하였다.

설계된 회로를 사용하여 연산 증폭기의 설계가 효과적으로 수행되고 모듈러틱 집적 회로 형태로 제작

이 된다면 갈륨비소 연산 증폭기는 광범위하게 응용될 수 있을 것이다.

참 고 문 헌

1. Shin Ichi Katsu, Gota Kano, et al., "Design and fabrication of a GaAs monolithic operational amplifier," IEEE Trans. on Electron Devices, vol. 35, no. 7, pp. 831-838, Jul. 1988.
2. C.Toumazou, D.G. Haigh, "Design of GaAs operational amplifiers for analog sampled data applications," IEEE Trans. on Circuits and Systems, vol. 37, no. 7, pp. 922-935, Jul. 1990.
3. Noboru Ishihara, Mamoru Ohara et al., "Gigahertz band high gain GaAs monolithic amplifiers using parallel feedback technique," IEEE J. of Solid State Circuits, vol. 24, no. 4, pp. 962-968, Aug. 1989.
4. A.A.Abidi, "Gain bandwidth enhancement in GaAs MESFET wideband amplifiers," IEEE ISCAS '88, pp. 1465-1868, 1988.
5. L.E.Larson et al., "GaAs differential amplifiers," IEEE GaAs IC Symposium, pp. 19-22, 1985.
6. F.Goodenough, "First GaAs op amp hits 150MHz at unity gain," Electronic Design, pp. 61-64, Mar. 1986.
7. C.Toumazou and D.G. Haigh, "Design of a high gain, single stage operational amplifier for GaAs switched capacitor filters," IEEE Electronics Letters, vol. 23, no. 14, pp. 753-754, July 1987.
8. N.Scheinberg, "High speed GaAs operational amplifier," IEEE J. of Solid State Circuits, vol. sc 22, no. 4, pp. 522-527, Aug. 1987.
9. Yannis P. Tsvividis, Donald L. Fraser and John E. Dziak, "A process institutive high performance NMOS operational amplifier," IEEE J. Solid State Circuits, vol. sc 15, no. 6, pp. 921-928, Dec. 1980.
10. L.E.Larson, "A 10 GHz operational amplifier in GaAs MESFET technology," 1989 IEEE International Solid-State Circuits Conference, session. 6: amplifiers, pp. 72-73, 1989.

11. L.E.Larson, K.W.Martin et al., "Comparison of amplifier gain enhancement techniques for GaAs MESFET analogue integrated circuits," *Electron Lett.*, vol. 22, pp. 1138-1139, 1986.
12. P.R.Gray and R.G.Mayer, *Analysis and design of analog integrated circuits*, Wiley, New York, 1977.
13. C. Toumazou and D.G.Haigh, "Design and application of GaAs MESFET current mirror circuits," *IEE proceedings*, vol. 137, pt. G, no. 2, pp. 101-108, Apr. 1990.
14. S.I.Long and S.E.Butner, *Gallium Arsenide digital integrated circuit design*, McGraw-Hill, 1990.
15. W.Curtice, "A MESFET model for use in the design of GaAs integrated circuits," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-28, pp. 448-456, May 1980.
16. L.Larson, "An improved GaAs MESFET equivalent circuit model for analog integrated circuit applications," *IEEE J. Solid-State Circuits*, vol. sc-22, no. 4, Aug. 1987.
17. C.Toumazou, *Analogue IC design*, Peter Peregrinus, London, 1990.
18. C.Tomazou and D.G. Haigh, "Analog design techniques for high speed GaAs operational amplifiers," *Proc. of 1988 IEEE ISCAS*, Helsinki, June 1988.
19. R.Gregorian and G.C.Temes, *Analog MOS integrated circuits for signal processing*, John Wiley & Sons : New York, pp. 121-221, 1986.
20. Neil Sclater, *Gallium Arsenide IC technology*, TAB, 1988.
21. H.C.Yang and D.J.Allstot, "Improved self-bootstrapped gain enhancement technique for GaAs amplifiers," *Electronics Letters*, vol. 24, no. 17, Aug. 1988.
22. L.E.Larson et al., "An ultra high speed GaAs MESFET operational amplifier," *IEEE J. of Solid-State Circuits*, vol. 24, no. 6, pp. 1523-1528, Dec. 1989.

崔炳夏(Byung Ha Choi)

正會員

1945년 6월 10일생

1969년 2월 : 한국항공대학 항공전자공학과 졸업

1983년 2월 : 건국대학교 대학원 전자공학과 석사과정졸업
(공학석사)

1987년 : 통신기술사 취득

1991년 : 한국항공대학 박사과정 수료

※주관심분야 : 화합물 반도체를 이용한 초고주파 회로설계, 이중집합 트랜지스터 시뮬레이터 설계 등임.



金學善(Hak Sun Kim) 正會員

1959년 6월 3일생

1986년 2월 : 한국항공대학 전자공학과 졸업(공학사)

1990년 2월 : 한국항공대학 대학원 전자공학과 졸업(공학석사)

1990년 3월~현재 : 한국항공대학 대학원 전자공학과 박사과정 재학중

1990년 3월~현재 : 대전공업대학 강사

※주관심분야 : 화합물 반도체 회로 설계 및 시뮬레이션으로써 Analog IC, MMIC, ASIC 설계와 시뮬레이션 기법등임.



金殷魯(Eun Ro Kim) 正會員

1968년 1월 16일생

1990년 2월 : 한국항공대학 전자공학과 졸업(공학사)

1992년 2월 : 한국항공대학 대학원 전자공학과 졸업(공학석사)

1992년 3월~현재 : 국방과학연구소 연구원

※주관심분야 : 화합물반도체 회로설계 및 센서응용회로임.



李亨宰(Hyung Jae Lee) 正會員

1933년 3월 20일생

현재 : 한국항공대학 교수