

#P180

동기식통신망을 위한 스태핑동기방식에서 발생하는  
지터에 관한 연구

正會員 崔 承 國\*

Jitter Due to Stuffing Synchronization for  
Synchronous Network

Seung Kuk Choi *Regular Member*

要 約

기본 주파수가 155.52 Mbit/s인 새로운 동기식통신망에서 비동기화상신호를 다중화하여 전송하기 위하여 스태핑동기방식이 사용될 것이다. 본 연구에서는 스태핑상치의 시스템파라미터에 따라 발생될 지터의 실효치와 전력스펙트럼을 수치해석적으로 구하였다. 분석 결과 실제 발생되는 지터는 지금까지 생각되어오던 이상적인 지터보다 그 크기가 더 큰 것이 밝혀졌다.

ABSTRACT

The new synchronous hierarchy with a base signal near 150 Mbit/s will become the international standards. An asynchronous video signal will be transmitted in the synchronous network with stuffing synchronization technique. In this study an estimate of power spectrum and effective values of the stuffing jitter signals under the influence of system parameters were obtained. The results show that the real stuffing jitter is greater than the ideal stuffing jitter.

I. 서 론

통신망내의 모든 클럭(clock)들의 주파수 및 위상을 일치시키는 동기식동기방법은 스태핑 방식(stuffing synchronization technique)과 비교하여 다중화 및 역다중화(multiplexing and demultiplexing)가 간단하며 다중화된 신호에서 하위계위(hierarchy)의 한 신호를 직접 쉽게 역다중화 시킬 수 있어 통신망

의 설치, 운영 및 보수를 원활하게 하여준다. 이에 따라 통신망의 망노드접속(NNI : Network Node Interface)의 표준으로 동기식 디지털계위(synchronous digital hierarchy)가 제정되었다<sup>(1)</sup>.

광대역동기식통신망에서는 동기된 신호는 물론 기존의 비동기식(asynchronous) 디지털계위의 신호들도 기본주파수를 155.52 Mbit/s로 하는 동기신호(STM : Synchronous Transport Module)로 역시 전송되어야 한다. 이 비동기신호들은 스태핑동기방법으로 동기식 전송망으로 삽입되며 여러가지 계위의 비동기신호들은 우선 각각에 적합한 임시적인 가상컨테이너(VC : Virtual Container)에 수용된다.

\*仁川大學校 情報通信工學科  
Dept. of Information and Telecommunications Eng.,  
Incheon University  
論文番號 : 92-44 (接受1991. 6. 29)

미래에도 동기사키기가 어려운 독립적인 비데오 카메라의 비동기화상신호를 동기식통신망을 통하여 전송하고자할 때 역시 스타핑동기방식이 사용될 것이다<sup>1)</sup>.

그러나 스타핑동기방식은 고유의 스타핑지터(stuffing jitter)가 발생하는 단점이 있다. 이때 통신망내에 여러개의 스타핑-역스타핑(stuffing-destuffing) 장치가 cascade로 연결되어 있으면 그 지터의 크기는 점점 더 증가할 것이다. 지터는 전송되는 화상신호의 화질(video quality)에 영향을 주는데 지터가 화질에 미치는 영향에 관한 연구에 의하면 랜덤지터(random jitter)의 실효치(effective value)가 약 2 ns이상일 경우에 화질의 저하가 높으로 관찰되었다<sup>2)</sup>.

스타핑지터는 1972년 Duttweiler에 의해 이론적으로 분석되었는데<sup>3)</sup> 여기서는 스타핑장치의 시스템파라미터(system parameter)에 따라 발생하는 지터가 달라지는 영향이 고려되지 않았기 때문에 이 지터모델을 이상적 스타핑지터(ideal stuffing jitter)라고 표시하기로 한다. 스타핑장치에서 나타나는 실제의 지터가 이상적 스타핑지터와 다른 것이 그후 발견되어 그 원인의 규명및 실제의 지터에 대한 연구가 시도되었으나<sup>4)</sup>, 그 원인이 밝혀지지 않다가 1986년 한 연구에 의하여 그 원인이 규명되었다<sup>5)</sup>.

본 연구에서는 광대역동기식통신망에서 발생될 스타핑지터에 관하여 밝혀진 사실을 토대로 시스템파라미터가 지터에 미치는 영향까지 고려하여 분석한다. 먼저 CCITT의 권고안에 따른 프레임(frame)구조와 시스템파라미터에 따라 발생될 지터의 시간적인 변화신호를 컴퓨터로 시뮬레이션(simulation)한 후에 이 신호를 FFT(Fast Fourier Transform)하여 지터의 전력스펙트럼(power spectrum)을 구한다. 이 전력스펙트럼을 역스타핑장치에있는 평활 PLL(smoothing Phase Locked Loop)의 지터전달함수에 맞게 필터링(filtering)시킨 후 스타핑 역스타핑장치의 출력에 나타나는 지터의 전력스펙트럼과 실효치가 구해지게 된다.

## II. 동기식전송과 스타핑동기방식

다중화신호의 기본요소는 STM-1(Synchronous Transport Module lev-1)으로 이의 기본주파수는 155.52 Mbit/s이며 프레임반복주파수는 8 kHz 이다

이 동기된 여러개의 STM-1 신호들은 바이트별로 순차적으로 간단히 다중화되어 N개의 STM-1 요소들은 한개의 STM-N 요소로 전송된다. STM-1 요소들은 또한 기존의 비동기신호들도 수용할 수 있게 여러모양의 다양한 구성분자로 이루어진다. STM-1에 수용되는 비동기신호들은 C(Container), TU(Tributary Unit) 및 AU(Administrative Unit)등의 다중요소로서 단계적인 절차를 걸쳐서 STM-1 프레임내의 페이로드(payload)에 삽입된다.

각 종속비동기신호(화상신호의 경우 DS3급 44.736 Mbit/s 또는 DS4급 139.264 Mbit/s)들은 관련 오버헤드가 추가되어 바이트단위로 형성되며 여기에 경로오버헤드(POH : Path Over Head)가 추가되어 가상컨테이너(화상신호인 경우 VC-32 또는 VC-4)를 형성하게된다. 가상컨테이너는 상위 가상컨테이너 또는 STM-1의 페이로드내에 TU 또는 AU 포인터에 의해 지시되는 위치에 규칙적으로 배열된다. 비동기화상신호가 동기식 STM-1으로 전송되어지려면 우선 동기된 클럭(clock)으로 구성되어진 가상컨테이너에 각각의 DS급 주파수의 신호가 삽입수용되어야 한다. 이때 비동기입력신호는 가상컨테이너의 클럭과 서로 동기되지 아니한 상태이므로 스타핑동기방식이 사용된다.

그림 1은 스타핑동기장치의 구성도이다. 가상컨테이너에는 여러개의 서비스비트가 존재하는데 서비스비트들이 존재하는 시점마다 디지털 펄스가 프레임발생기에 의해 만들어진다. 버퍼(buffer)에 쓰여진 데이터를 읽어내기 위하여 버퍼에 공급되는 클럭은 이 펄스들에 의해 멈춰지게 되어 서비스비트들이 삽입될 자리가 마련된다. 한편 스타핑동기를 위하여 입력클럭과 다중화장치의 클럭이 서로 비교되어야 하는데 보통 버퍼에 데이터를 써넣기위하여 분주된 입력클럭과 이 데이터를 다시 읽어내기 위해 분주된 다중화장치의 클럭들의 위상이 위상비교기에 의해 비교된다. 이때 VC-4에서 대략 24비트 크기의 버퍼가 필요하다.

프레임내에 분포되어 있는 스타핑정보비트의 위치보다 빠른 일정한 시간내에서 스타핑제어를 위한 두 클럭간의 위상비교가 행해져야 하는데 이 스타핑관련 시간대역을 위상비교 윈도우(window)라고 하기로 한다. 이때 윈도우의 실질적인 크기는 버퍼의 크기(버퍼제어를 위한 클럭의 분주비)와 같게된다. 연속적으로 분주된 두 클럭들과 윈도우신호는 위상비교

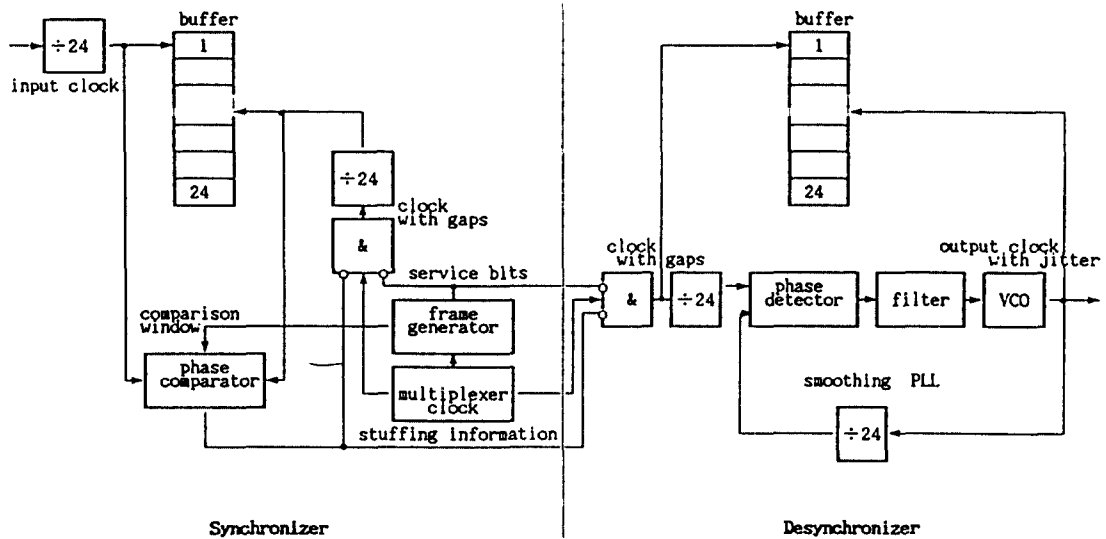


그림 1. 스타핑-역스타핑 동기 장치의 블록도  
 Fig. 1. Block diagram of stuffing synchronizer-desynchronizer system.

기에 보내져서 윈도우 신호가 위치하는 시간대역내에서 두 크릭간의 위상이 비교된다. 이때 위상차가 한계치를 초과하게 되면 스타핑이 행해져야 한다는 스타핑정보가 발생되어 분주기에 공급되는 크릭중 스타핑비트자리에 위치한 크릭을 한비트 멈추게 한다.

아울러 이 정보는 수신측에 보내져 수신장치내 버퍼를 제어하는 크릭을 역시 한비트 멈추게 한다.

1986년에 한 연구에 의해 위상비교윈도우내의 위상비교시점이 매 프레임마다 변동되어 발생하는 스타핑지터에 영향을 미치는 것이 규명되었다<sup>(6)</sup>. VC-4의 경우에 한프레임내에 보내져야 할 데이터수는 1935비트이다. 1935는 분주값 24로 나누었을 때 정수로 되지않고 15의 나머지를 남긴다. 그러므로 어떤 한 프레임에서의 위상비교는 그 전 프레임의 위상비교 때보다 시간적으로 15비트 빠른 시점에서 행해진다. 이때 그 전 프레임에서 스타핑이 행하여졌으면 그 프레임에서 크릭이 한비트 멈추어졌으므로 데이터를 읽기위한 크릭수가 한비트 적어져서 다음 프레임의 위상 비교는 14 비트만큼 빨리 향해진다. 위상 비교 위치가 계속 14 또는 15비트씩 빨라져서 시간적으로 비교윈도우 시간대를 앞서게 되면 연속적인 분주된 비교펄스중 윈도우보다 늦게 위치했던 펄스가 윈도우내로 들어와 입력크릭과 비교된다.

그림 1의 수신측 역다중장치에서는 송신측에서 행해졌던 스타핑제어과정과 역방향의 과정이 행해진다. 수신된 스타핑정보가 스타핑이 행하여졌다고 표시하면 버퍼에 데이터를 써넣는 크릭중 스타핑비트의 위치에 있는 크릭이 한비트 멈추어진다. 또한 버퍼에는 데이터만 써넣으므로 서비스비트들 위치에 있는 크릭들도 아울러 멈추어진다. 그러므로 버퍼에는 이와같은 위치에서 멈추어진 불연속적인 크릭으로 데이터가 써넣어진다. 이 버퍼에 쓰여진 데이터는 PLL의 한 부분인 전압제어발진기(VCO : Voltage Controled Oscillator)의 크릭으로 읽혀져 역다중화 장치(Demultiplexer)의 출력으로 전달된다. 이때 VCO의 주파수는 불연속적인 입력크릭의 평균주파수와 같으나 불연속성으로 인한 입력지터는 PLL의 지터전달함수(jitter transfer function)특성에 따라 필터링(filtering)되어 전달되므로 지터가 적은 VCO 출력크릭을 얻을 수 있다. VC-32장치에서도 위와같은 과정이 행하여지며 CCITT의 권고안에 따른 시스템파라미터와 소요 버퍼의 크기를 정리하면 표 1과 같다.

표. 1. VC-32와 VC-4의 시스템파라미터

Table 1. System parameters of VC-32 and VC-4.

시 스템	VC-32	VC-4
정격주파수 (kHz)	50 112 ± 20ppm	150 336 ± 20ppm
입력신호의 주파수 (kHz)	44 736 ± 20ppm	139 264 ± 20ppm
프레임 길이 (비트)	696	2 088
프레임 반복주파수 (kHz)	72	72
프레임당 데이터수 (비트)	622	1 935
프레임당 서비스수 (비트)	74	153
데이터버퍼의 크기 (비트)	34-39	23-28
정격 스타핑비	2/3	7/9
최소 스타핑비	0.6418128	0.7004073
최대 스타핑비	0.6915195	0.8551451

### III. 이상적인 스타핑지터

앞 장에서 설명한 바와 같은 위상비교시점의 변동으로 인하여 나타나는 지터에 영향이 미치게 된다. 지금까지는 이와같은 영향이 고려되지 아니한 지터에 대한 연구가 많이 진행되어 왔으며<sup>(5,7)</sup>, 이 장에서도 먼저 위상비교가 항상 일정한 위치에서 행하여진다고 가정했을때 나타나는 이상적인 지터를 고찰한다. 한프레임에 한번씩 스타핑이 행해질수 있으므로 최대 스타핑가능주파수는 프레임반복주파수와 같다. 서비스비트들과 스타핑비트를 프레임 내에 삽입하기 위하여 멈추어지는 크럭들 때문에 지터가 생긴다. 이 중 매 프레임마다 일정한 서비스비트 위치에서 멈추어지므로 발생하는 지터는 프레임의 반복 주파수가 평활 PLL 지터전달함수의 3dB 대역폭 보다 훨씬 크기 때문에 쉽게 감소되어 무시할 수 있다.

그러나 스타핑비트를 삽입하기 위해 때때로 멈추어지는 크럭은 그 삽입 여부가 불규칙하여 불규칙적인 스타핑지터가 발생한다. 스타핑제어시 크럭이 멈추어질 수 있는 것은 프레임내 일정한 곳에서만 가능하므로 두 크럭의 위상차가 한계치를 초과하는 즉시 크럭이 멈추어지는 것이 아니라 일정한 스타핑 가능한 시간위치(스타핑비트의 위치)까지 기다려야만 멈추어질 수 있어 그로인한 위상보정이 가능하다. 이와 같은 이유에서 스타핑지터는 대기시간지터(waiting time jitter)라고도 한다. 이러한 대기시간효과 때문에 스타핑지터는 여러가지 주파수성분을 가지며 이 중 평활 PLL의 지터대역폭을 통과하는 저주파성분

들은 감소되지 아니하므로 스타핑-역스타핑상치의 출력에 저주파의 스타핑지터가 나타난다.

Duttweiler에 의해 이상적 스타핑지터가 처음 체계적으로 분석되었는데 그는 지터의 초기치에 랜덤변수(random variable)를 도입하여 지터의 전력스펙트럼을 계산하였다<sup>(5)</sup>. 그는 스타핑비가 S인 지퍼파형을 아래와 같은 식으로 표시하였다.

$$\phi_s(t) = (A-1) + S t \cdot \lceil S t \rceil t \quad (1)$$

위 식의 크기단위는 UI(Unit Interval-크럭의 한 비트 위상시간=360도)이고 A-1은 일정한 초기위상값이며  $\lceil x \rceil$ 는 아래와 같은 정수함수(integer function)이다.

$$\lceil x \rceil = \begin{cases} \dots & \\ -1, & -1 \leq x < 0 \\ 0, & 0 \leq x < 1 \\ 1, & 1 \leq x < 2 \\ \dots & \end{cases} \quad (2)$$

Duttweiler는 식(1)에 임의의 초기위상값에 대응되는 랜덤변수를 추가 도입하였다. 그리하여 식(1)을 하나의 랜덤프로세스(random process)로 변환시킨 후 이 프로세스의 자기상관함수(Autocorrelation)를 구하고 이를 푸리에변환(Fourier transform)하여 필터링되지 아니한 이상적 지터의 전력스펙트럼  $S_s(f)$ 를 구했다.

$$S_s(f) = \text{sinc}^2 f \cdot Q(f) + \sum_{n=1}^{\infty} \left[ \frac{S_r}{2\pi n} \right]^2 (\delta(f-n) + \delta(f+n)) \quad (3)$$

이때

$$Q(f) = \sum_{n=1}^{\infty} \left[ \frac{1}{2\pi n} \right]^2 (\text{rep } \delta(f-S_r n) + \text{rep } \delta(f+S_r n)), \quad (4)$$

$$\text{rep } X(f) = \sum_{k=-\infty}^{\infty} X(f-k)$$

$\delta(\cdot)$ 는 Dirac delta 함수이며 주파수  $f$ 의 단위는 스타핑가능주파수(=프레임반복주파수)이다. 이 지터는 역스타핑장치에 있는 평활 PLL에 의해 필터링 되는데 필터링된 지터의 전력스펙트럼  $S_d(f)$ 는 원래 스펙트럼에 평활 PLL의 지터전달함수  $H(f)$ 의 크기의 자승을 곱하면 구할 수 있다.

$$S_d(f) = |H(f)|^2 S_s(f) \quad (5)$$

이후 이 스펙트럼을 모두 합하면 평활된 지터의 실효값(effective value) 또는 rms값(root mean square value)  $\Phi_{\text{rms}}(S_r)$ 이 구해진다.

$$\Phi_{\text{rms}}(S_r) = \int_{-\infty}^{\infty} S_d(f) df \quad (6)$$

평활 PLL로는 보통 2차(second order)PLL이 사용되는데 전달함수의 피킹(peaking)을 작게하기 위하여 PLL의 댐핑계수(damping factor)를 본 연구에서는 7 정도로 크게 선정하였다<sup>(10)</sup>. 댐핑계수가 이와 같이 큰경우에 전달함수는 다음과 같은 근사식이 된다.

$$H(f) = \frac{1+j2\zeta f/f_n}{1+j2\zeta f/f_n - (f/f_n)^2} \approx \frac{f_g}{jf + f_g} \quad (7)$$

이때

$\zeta$  : 댐핑계수

$f_n$  : 공진주파수(resonance frequency)

$f_g$  : 3-dB 대역폭

VC-4를 위한 PLL의 지터전달함수는 아직 표준화되지 않았으므로 네개의 34 Mbit/s 신호를 139 Mbit/s로 다중화시키는 다중화장치 34/139를 위한 PLL에 채택된 표준화특성을 참조하여 VC-32및 VC-4를 위한 PLL의 3-dB 대역폭을 200및 500 Hz로 각각 선정하였다. 이 대역폭값들은 프레임반복주파수를 단위로 할때  $f_g$ 는 각각  $200/72000=2.777 \cdot 10^{-3}$ ,  $500/72000=6.944 \cdot 10^{-3}$ 이 되며 이 값들을 식(7)에 대입하면 시스템의 전달함수를 구할 수 있다. 표 1의 파라미터값들을 가지는 시스템 VC-32및 VC-4에 나타날 이상적인 스타핑지터의 스타핑비에 따른 실효치들이 Duttweiler의 계산식 (3)-(7)을 이용하여 그림 2와 그림 3에 도시되었다.

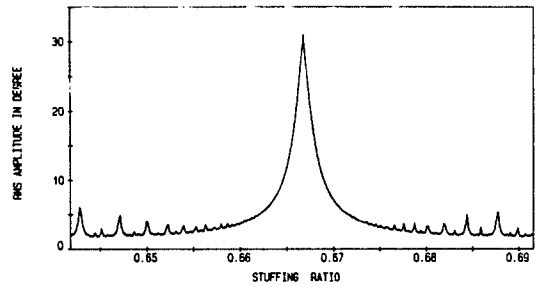


그림 2. VC-32에 발생하는 평활된 이상적 스타핑지터의 스타핑비에 따른 실효치(PLL의 3-dB 대역폭: 200Hz)

Fig. 2. Effective values of the smoothed ideal stuffing jitter by VC-32(3-dB bandwidth of PLL: 200Hz).

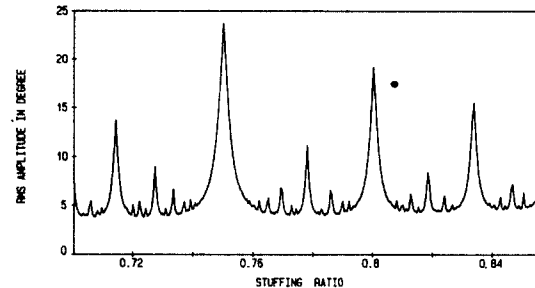


그림 3. VC-4에 발생하는 평활된 이상적 스타핑지터의 스타핑비에 따른 실효치(PLL의 3-dB 대역폭: 500Hz)

Fig. 3. Effective values of the smoothed ideal stuffing jitter by VC-4(3-dB bandwidth of the PLL: 500Hz).

#### IV. 실제의 스타핑지터

VC-4에서 버퍼의 크기  $N_v$ 가 24 비트인 경우 프레임내의 데이터비트수( $N_d$ ) 1935는 24로 나누었을때 나머지  $p$ 가 15 남게 되므로 위상비교위치가 매 프레임마다 위상비교윈도우내에서 왼쪽으로(시간적으로 빨리) 이동하게 되며 그전 프레임에서 스타핑이 행해졌을 때에는 14 비트 이동한다.

$$p = N_d - N_v \lceil N_d / N_v \rceil \quad (8)$$

맨 첫번째 프레임( $m=1$ )에서 위상비교시점이 윈도우내에서  $N_a$  비트에 위치한다고 하자. II장에서 설명한바와 같이 어떤 한 프레임에서의 위상비교는 그전 프레임의 위상비교시점보다  $p$ 비트 빠른 시점에서 행해지며 그전 프레임에서 스타핑이 행하여졌으면  $p-1$  비트 빠른 시점에서 위상비교가 행하여진다. 위상비교위치가 매 프레임마다 계속  $p$  또는  $p-1$  비트씩 빨라져서 시간적으로 비교윈도우를 앞서게되면 윈도우보다 늦게 위치했던 비교펄스가 윈도우내로 들어와 입력크릭과 비교된다. 그러므로  $m$ 번째 프레임 이전에 스타핑이  $i$ 번 행해졌다고 하면  $m$ 번째 프레임에서 위상비교는 윈도우내  $n(i, m)$ 번째 비트에서 행해진다.

$$n(i, m) = N_a - p(m-1) + (i-1) + N_v \lceil [p(m-1) + (i-1) - N_a] / N_v \rceil \quad (9)$$

한프레임의 길이가  $N_b$ 비트이면 위상비교시점은 스타핑이 가능한 간격을 단위로 하여 다음과 같다.

$$t_v(i) = T_b + (1/N_r) [-p \lceil t \rceil + i + N_v \lceil (p \lceil t \rceil - i) / N_v \rceil] \quad (10)$$

이때  $T_b$ 는 초기 위상비교위치  $N_a$ 와 식(9)에 포함된 일정성분에 의한 일정한 값이다. 위와 같은 위상비교시점의 변동으로 실제 시스템에 나타나는 스타핑지터  $\phi_w(t)$ 는 아래와 같이 이상적인 스타핑지터 식(1)과는 다른 모양이 된다.

$$\phi_w(t) = \text{const.} + S_r t - s_g \lceil t \rceil, \quad (11)$$

$$s_g \lceil t \rceil = \lceil S_r \lceil t \rceil - (S_r + N_s) [1 - t_v(i)] \rceil = i \quad (12)$$

윗식에서  $N_s$ 는 한프레임당 서비스비트수이며  $S_r + N_s$ 는 따라서 한프레임 진행되는 동안에 발생하는 입력크릭과 다중화장치크릭 간의 위상차가 된다. 동기식통신망에서는 통신망의 지능적이고 효과적인 운영을 위하여 많은 수의 서비스비트가 프레임내에 할당되어있다. 이로 인하여 한 프레임 시간 진행되는 동안에 발생하는 입력크릭과 다중화장치크릭 간의 위상차  $S_r + N_s$ 는 매우 크게되므로 위상비교시점의 변동으로 인한 스타핑지터의 변화 모양이 식(1)의 이상적 지터와 매우 다른 모양이 된다. 실제의 시스템에서는 식(10)에 나타난 것과 같이 시스템의 파라메터에 따라 위상비교시점이 불규칙하게 변하고 그로 인하여 지터는 식(11)에서와 같이 복잡한 시간변화모양이 된다.

이와 같은 지터의 분석을 위하여 먼저 시간적인 지터의 파형을 식(8)-(12)을 이용하여 컴퓨터로 시뮬레이션한 후에 FFT하여 지터의 스펙트럼을 구한다. 시뮬레이션된 이산적인(discrete) 시간함수의 길이가 짧거나 또는 주기함수의 경우 주기의 정수배가 아닌 경우 실제 연속함수의 스펙트럼과 샘플링된 이산함수의 스펙트럼 사이에 큰 차이가 생긴다(leakage effect). 본 연구에서는 계산시간을 줄이기 위해 4096개의 이산신호로 시뮬레이션하므로 위와 같은 오차를 줄이기 위해 FFT된 신호의 스펙트럼을 Goodman-window-function으로 평활시킨다[14]. 이 윈도우함수로 평활된 스펙트럼은 평활 PLL의 지터 전달함수특성에 맞게 필터링되며 이것을 모두 합하여 스타핑장치의 출력에 나타나는 지터의 실효치를 구한다.

위의 방법을 이용하여 선정된 시스템파라메터에 따라 실제 나타날 지터의 스펙트럼과 실효치들을 구할 수 있는 프로그램이 개발되었다. 이 프로그램으로 표 1의 파라메터와 PLL의 대역폭이 각각 200 및 500 Hz인 VC 32와 VC-4에 나타나는 실제 스타핑지터의 실효치들이 구해져 그림 4 (a)-(c)과 그림 5 (a)-(c)에 도시되었다. 버퍼의 크기에 따라 달라지는 이 실제 지터의 모든 허용 스타핑비에 대한 평균실효치값들이 표 2 및 3에 주어졌다. 한편 그림 2,3의 이상적 지터의 평균 실효치값은 VC-32의 경우 4.49도 이고 VC-4의 경우 6.05도 이다. 위 그림과 표들에서 알 수 있듯이 실제의 장치에서는 같은 조건에서 발생하는 이상적 지터보다 더 큰 지터가 발생되며 실제의 지터를 작게하기 위하여 VC-32에서는 버퍼의 크기를 36

비트로, VC-4에서는 27비트로 선정하는 것이 유리하다.

표 2. VC-32에서 버퍼크기에 따라 발생하는 평화된 실제 지터의 평균실효치(1도=0.062 ns ; PLL의 3-dB 대역폭 : 200Hz)

Table 2. Average effective values of the smoothed real jitters by VC-32 for various buffer sizes (1 degree=0.062 ns ; 3-dB bandwidth of the PLL : 200 Hz).

버퍼의 크기	34	35	36	37	38	39
평균실효치 (단위 : 도)	15.1	23.6	13.0	14.8	20.1	26.1

표 3. VC-4에서 버퍼크기에 따라 발생하는 평화된 실제 지터의 평균실효치(1도=0.02 ns ; PLL의 3 dB 대역폭 : 500Hz)

Table 3. Average effective values of the smoothed real jitters by VC-4 for various buffer sizes(1 degree=0.02 ns ; 3-dB bandwidth of the PLL : 500 Hz.)

버퍼의 크기	23	24	25	26	27	28
평균실효치 (단위 : 도)	22.1	20.8	25.1	25.0	19.8	25.5

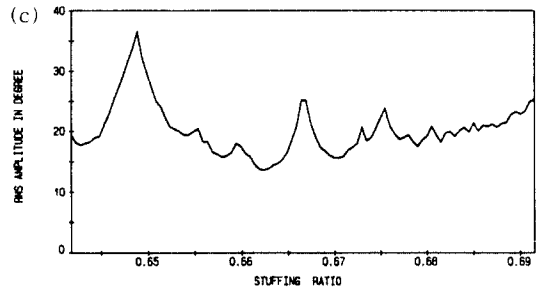
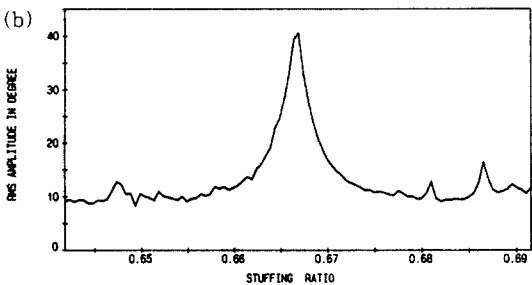
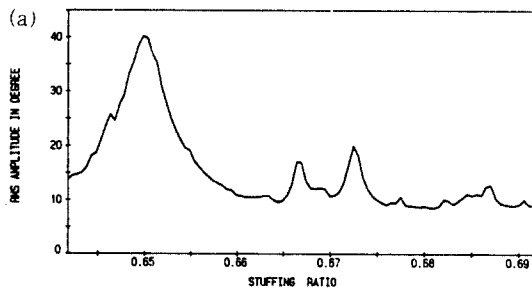


그림. 4 버퍼의 크기에 따라 VC-32에 발생하는 평화된 실제 스타핑지터의 실효치(버퍼의 크기 (a)34, (b) 36, (c)38비트 ; PLL의 3-dB 대역폭 : 200Hz)

Fig. 4. Effective values of the smoothed real stuffing jitter by VC-32 with various buffer size(buffer size (a)34, (b)36, (c)38 bit ; 3 dB bandwidth of the PLL : 200Hz).

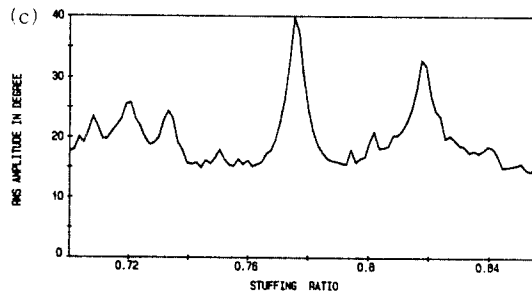
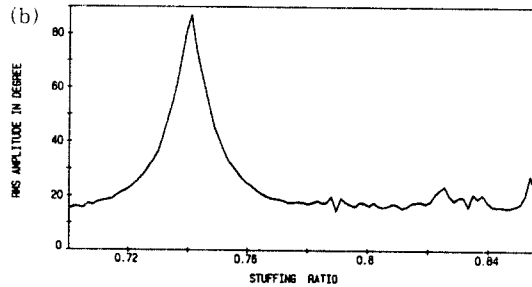
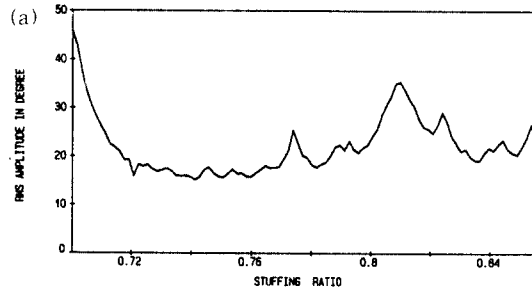


그림. 5 버퍼의 크기에 따라 VC-4에 발생하는 평화된 실

제 스타핑지터의 실효치(비퍼의 크기 (a)23, (b) 25, (c)27 비트 : PLL의 3dB 대역폭 : 500Hz)

Fig. 5. Effective values of the smoothed real stuffing jitter by VC 4 with various buffer size(buffer size (a)23, (b)25, (c)27 bit : 3 dB bandwidth of the PLL : 500Hz).

### V. 결 론

비동기 화상신호를 스타핑동기방식을 이용하여 동기식통신망으로 다중화시킬때 발생하는 스타핑지터를 실제 지터에 영향을 미치는 시스템파라미터를 고려하여 수치해석적으로 분석하였다. 연구결과 실제 나타나는 지터는 지금까지 생각되어오던 이상적인 스타핑지터보다 그 크기가 큰 것이 밝혀졌다. 지터에 유리한 비퍼의 크기를 선정했을 때에도 실제 지터의 평균실효치는 VC-32에서 13.0도, VC-4에서는 19.8도로 이상적지터의 4.49도와 6.05도 보다 그 크기가 더 크다.

또한 동기식 통신망에서도 저주파 지터 및 wander가 존재한다<sup>13)</sup>. 그러므로 동기식통신망의 각 노드(node)에서 VC-32 및 VC-4가 AU로 다중화되어 STM-1 프레임에 삽입될 때 AU와 STM 사이의 위상차이가 변화하게 된다. 이와같은 위상변동은 정/영/부 바이트 스타핑(positive/zero/negative byte stuffing)을 통하여 보정되며 이 과정에서 저주파의 스타핑지터가 역시 발생한다. cascade로 연결된 다중화장치에서 각 비트 및 바이트 스타핑의 과정에서 발생되어 축적된 지터의 실효치는 화상신호에 영향을 미치기 시작하는 것으로 알려진 한계값 2 ns 보다 커지게 되어 지터에 의한 화질의 저하가 인식될 것이다. 그러므로 우선 VC-32와 VC-4 한 시스템에 나타나는 스타핑지터를 더욱 감소시킬 수 있는 방법과 동기식통신망에 존재하는 저주파의 지터 및 바이트 스타핑지터에 대한 연구가 필요하며 아울러 다중화장치가 cascade로 연결되었을때 축적 증가될 지터에 대해 앞으로 연구되어야 할 것이다.

### 참 고 문 헌

1. CCITT Recommendation, G.707, G.708 and G.709, Blue Book, 1988.
2. Hentschke S., "Aufwandsminimierter Video-

- codecs fuer 70 Mbit /s," ntzArchiv, Vol.6, No.7, pp.81-89, July 1984.
3. Devereux V.G., "Application of p.c.m. to broadcast quality video signals, part 2 : Subjective study of digital errors and timing jitter," The Radio and Electronic Engineer, Vol.44, No. 9, pp.463-472, Sep. 1974.
4. Szuhebator B., "Effect of Jitter on Digital Colour TV Systems," Budavox Telecommunication Review, pp.16-27, 1984.
5. Duttweiler D.L., "Waiting Time Jitter," Bell Syst. Tech. J., Vol.51, pp.165-207, Jan, 1972.
6. Chow P.E.K., "Jitter Due to Pulse Stuffing Synchronization," IEEE Trans. Commun., Vol. 21, pp.854-859, July 1973.
7. Cleobury D.J., "Characteristics of a Digital Multiplex Equipment Employing Justification Techniques," Conf. on Telecommun. Trans., London, Sept. 9-11, 1975, IEE Conf. Publ. No. 131, pp.83-86.
8. Choi S.-K., "Messtechnische Untersuchung des Stopfjitters in Multiplexsystemen fuer Breitbandssignale," ntzArchiv, Vol.8, No.12, pp. 311-316, Dec. 1986.
9. Choi S.-K., Puetz K.J. and Bziuk W., "Akkumulation des Stopfjitters in Multiplexsystemen der Hierarchiestufe H5," ntzArchiv, Vol.10, No.1, pp.19-25, Jan, 1988.
10. Shimamura T. and Eguchi I., "An Analysis of Jitter Accumulation in a Chain of PLL Timing Recovery Circuits," IEEE Trans. Commun., Vol.25, pp.1027-1032, Sept. 1977.
11. Brigham E.O., "The Fast Fourier Transform," Prentice-Hall, Inc., Englewood Cliffs, New Jersey, 1974.
12. Otnes R.K. and Enochson L., "Applied Time Series Analysis," John Wiley & Sons, New York, 1978.
13. Hartmann H.L. and Steiner E., "Synchronization Techniques for Digital Networks," IEEE J. Select. Areas on Commun., Vol. SAC-4, No.4, pp.506-513, July 1986.



이 논문은 한국과학재단에서 지원한 일반기초연구비에 의하여 연구되었음.



崔承國(Seung Kuk Choi)정회원

1952年 9月 29일생

1974년 : 연세대학교 전자공학과  
졸업(공학사)

1981년 : 연세대학교 대학원 전자  
공학과 졸업(공학석사)

1988년 : 독일 Braunschweig공대  
전자공학과 졸업(공학박  
사)

1978년~1981년 : 한국전자통신연구소 근무

1989년~현재 : 인천대학교 정보통신공학과 조교수