

## 텅스텐 폴리사이드 게이트 구조에서의 열처리 효과

고재석 · 천희곤 · 조동울 · 구경완\* · 홍봉식\*\*

울산대학교 재료공학과, \*충청전문대학 전자과

\*\*충남대학교 전자공학과

(1992년 8월 26일 접수)

### Effect of Heat Treatments on Tungsten Polycide Gate Structures

Jae-Seog Koh, Hui-Gon Chun, Tong-Yul Cho,  
Kyung-Wan Koo\* and Bong-Sik Hong\*\*

*Dept. of Materials Sci & Eng., Univ. of Ulsan*

*\*Dept. of Electronics Eng., Chung Cheong College*

*\*\*Dept. of Electronics Eng., Chung Nam Nat'l Univ.*

(Received August 26, 1992)

**요 약**— 인이 고농도로 도우핑된 다결정 실리콘상에 LPCVD 방법으로 텅스텐 실리사이드막을 증착하였다. 폴리사이드 구조에 여러 가지 조건으로 열처리를 한 뒤, XTEM, SIMS 및 고주파 C-V법 등으로 분석하였다. 열처리에 따라 다결정 실리콘내 도판트 불순물이 텅스텐 실리사이드를 통해 외향확산하여 실리콘 산화막 계면부근에 인의 공핍층을 형성하게 된다. 이와 같은 공핍층이 존재 하므로서 게이트 용량이 감소하게 되고, 실효 게이트 산화막의 두께가 증가하는 것으로 나타났다.

**Abstract**— Tungsten silicide films were deposited on the highly phosphorus-doped poly Si/SiO<sub>2</sub>/Si substrates by Low Pressure Chemical Vapor Deposition. They were heat treated in different conditions. XTEM, SIMS and high frequency C-V analyses were conducted for characterization. It can be concluded that outdiffusion of phosphorus impurity through the silicide films lead to its depletion in the poly-Si gate region near the gate oxide, resulting in loss of capacitance and increase of effective gate oxide thickness.

### 1. 서 론

반도체 소자의 게이트 전극 및 층간 배선 재료로서 다결정 실리콘(polysilicon)이 널리 사용되어 왔으나, 최근 집적도가 증가하면서 다결정 실리콘의 높은 전기저항으로 인한 신호의 전달지연(propagation delay)이 문제가 된다. 따라서 게이트 전극 및 배선재료로서 poly-Si 보다 낮은 저항의 W, Ti, Ta 등의 고용점 금속이나 이들의 금속 실리사이드에 대한 연구가 진

행되고 있다[1-3]. 고용점 금속 실리사이드는 다결정 실리콘에 비하여 저저항임과 동시에 열적 안정성 및 반도체 재료공정에 사용되는 화학용액에 대한 저항성이 커서, VLSI 소자의 게이트 전극, 배선, contact 등에 널리 적용되고 있고, 집적회로의 고속화를 위한 중요한 재료가 되고 있다[1, 2]. 이 중에서 텅스텐 실리사이드는 고농도로 도우핑(doping)된 다결정 실리콘 위에 형성하는 폴리사이드 구조(polycide)로 하여 256K DRAM의 게이트 전극으로 실용화된 이후

널리 사용되고 있다.

텅스텐 폴리사이드 구조를 양산 공정에 적용했을 때 게이트 내압의 열화에 의한 초기 수율 저하의 문제나, 하층 다결정 실리콘으로부터 실리콘 재료에의 불순물 확산 및 도판트의 편석(segregation), 그리고 주위 분위기에로 증발을 통한 도판트의 상실(out-diffusion) 등에 대한 연구 보고가 있었다[4-6].

실리사이드를 통한 실리콘의 확산은 도판트 불순물의 외향확산을 조장(snowplow effect)하고, 실리사이드의 표면쪽에 도판트를 축적하게 된다[6]. 이와 같이 도판트 불순물들이 외향확산함으로써 다결정 실리콘내 공핍층이 형성하게 되고, 이상(anomalous) C-V 특성을 나타나게 된다. 다결정 실리콘층의 공핍은 실효 게이트 산화막 두께를 증가시키고 MOS 소자의 성능을 저하시키는 경향이 있는 것으로 보고되고 있다 [7, 8].

본 논문에서는 텅스텐 폴리사이드 구조를 게이트 전극으로 사용했을 때 나타나는 게이트 용량의 감소 원인을 살펴보기 위하여,  $WSi_x$ , CVD 후 열처리 온도에 따른 불순물의 재분포를 SIMS를 통하여 분석하고, 고주파 C-V 방법으로 게이트 용량을 측정하였다. 또한, 본 논문에서는 단면 TEM을 통하여 텅스텐 폴리사이드 구조의 열적 안정성에 대하여 살펴보았다.

## 2. 실험

시료 제작에 사용된 기판은 CZ법으로 성장한 P형, 5" Si(100) 웨이퍼이다. 소자 분리공정 후 게이트 산화막을 900°C, 건조산화에 의해 20 nm을 형성하고 LPCVD 방법으로 다결정 실리콘(625°C)을 250 nm 형성하였다. 900°C,  $POCl_3$ , 도핑을 통하여 인을 확산하였고, LPCVD 방법으로 텅스텐 실리사이드 막(20 nm)을 형성하여 폴리사이드 구조로 하였다. 게이트 전극 패턴을 형성한 후 열처리를 하였다. 열처리 조건은 통상적인 S/D anneal(900°C, 30분,  $N_2$ )과 Reoxidation(900°C, 30분,  $O_2$ ) 조건 및 열적 안정성을 보기 위한 900~1000°C 각각 1시간으로 행하였다. 그림 1은 시료 제작 공정순서를 나타내었고, 그림 2는 열처리 전과 후의 시료의 단면 SEM 사진을 나타내었다. 열처리에 따른 불순물의 재분포 거동은 SIMS(Perkin-Elmer사의 PHI 6300)를 통하여 분석하였고, 시료의 미세구조 변화는 투과전자현미경(Jeol 200 KV TEM)

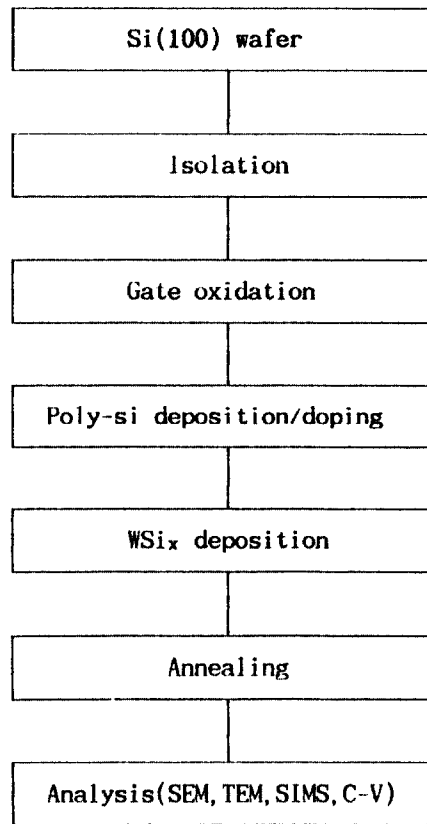


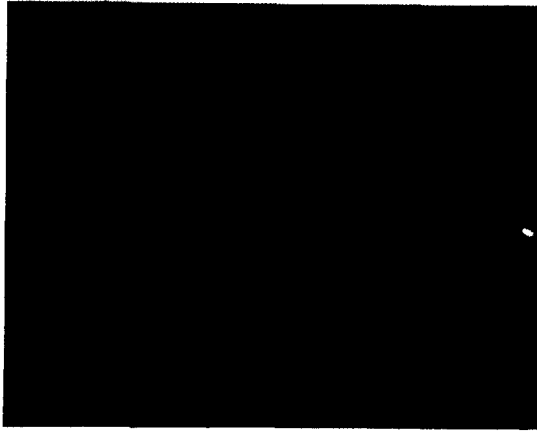
그림 1. 텅스텐 폴리사이드 구조의 시료준비.

으로 관찰하였고, 텅스텐 폴리사이드 게이트 구조의 전기적 특성은 고주파 C-V방법(HP 4275A, LCR Meter)으로 분석하였다.

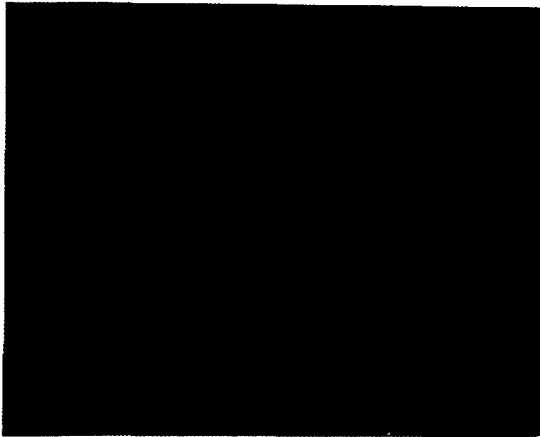
## 3. 실험결과 및 검토

디바이스에 응용되고 있는 텅스텐 실리사이드 막은 대부분의 경우 산화를 용이하게 하고 하부층과의 부착 특성을 좋게 하기 위하여, 인이 고농도로 도우핑된 다결정 실리콘 막에 증착된 폴리사이드 구조를 사용하고 있다.

텅스텐 폴리사이드 구조에서 텅스텐 실리사이드 막이 증착된 상태에서는 비정질 구조를 가지기 때문에 결정질 구조로 바꿈으로써 전기저항을 최소화 하기 위한 열처리 공정이 일반적이다. 그러나 이러한 실리사이드 어닐링은 다결정 실리콘에 도판트 인(P)의 재분포를 야기시킴으로서 텅스텐 실리사이드내 인의



(a)



(b)

그림 2. 열처리 전·후의 시료의 단면 SEM 사진  
(a) as deposited and (b) after annealed.

농도가 변화하게 된다. 따라서, 텅스텐 실리사이드의 플라즈마 에칭시 정확한 제어가 곤란하고, 게이트의 문턱 전압의 변동(Vt shift)을 야기한다. 그림 3은 열처리 전·후의 인의 재분포 거동을 SIMS로 측정된 결과이다.  $WSi_2$ /Poly-Si/ $SiO_2$ /Si 구조의 표면에서부터의 깊이 방향분포이다. 그림 3(a)는 텅스텐 실리사이드를 증착한 후 반응시킨 다음의 SIMS depth profile이고 그림 3(b)는  $900^\circ C$ , 30분간 산소 분위기에서 열처리(S/D reoxidation)한 시료의 SIMS depth profile이다.

SIMS 분석용 텅스텐 실리사이드 표준 시편의 부재로 정량적인 분석은 곤란하나, 불순물 분포의 상대적인 거동에 대한 분석은 신뢰할 수 있겠다. 인의

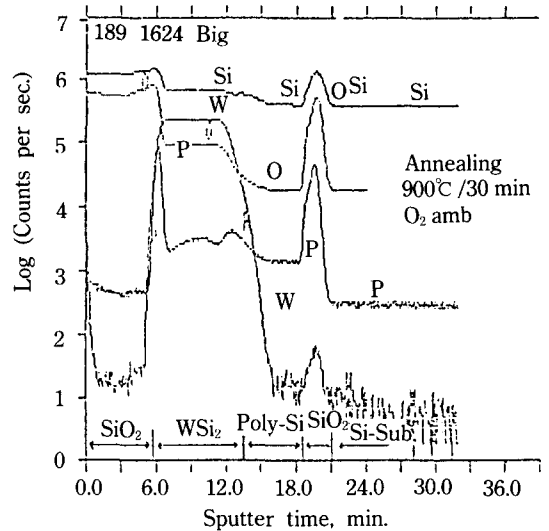
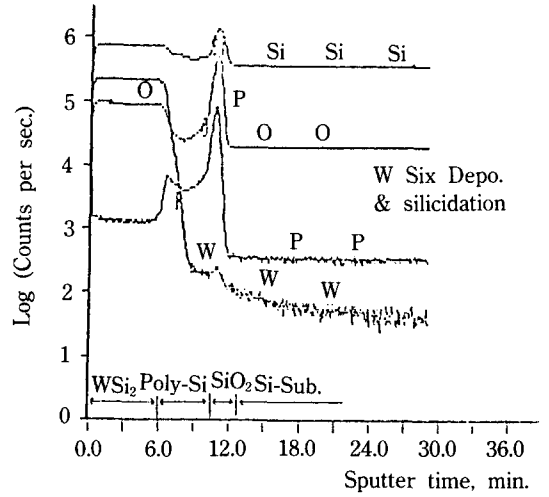


그림 3. 텅스텐 폴리사이드 구조의 SIMS 분석.

깊이 방향 분포를 살펴보면, 열처리 후에는 다결정 실리콘층으로부터 텅스텐 실리사이드 층으로의 외향 확산(out diffusion)이 진행된 것을 알 수 있다. 이것은 M.Y. Tsai 등의 결과[9]와 잘 일치하는 것으로 인의 외향확산을 방지할 수 있는 구조 및 공정이 필요하다고 하겠다.

그림 4는 열처리 동안에 인의 외향확산을 방지할 수 있는 한 방법으로 텅스텐 실리사이드 표면을 실리콘 산화막으로 패시베이션( $SiO_2$  capping) 한 경우의 SIMS depth profile이다.  $1000^\circ C$ 의 열처리로 다결정 실리콘내 약 50%의 인이 텅스텐 실리사이드 층으로 외향확산 하는 것을 보고되고 있다[10]. 텅스텐

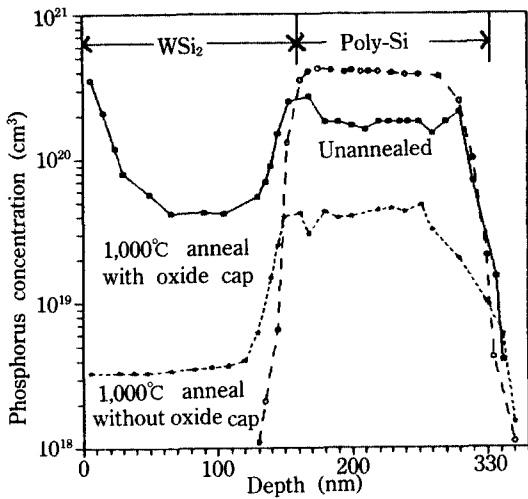


그림 4. 열처리에 따른 텅스텐 폴리사이드내의 인농도 분포.

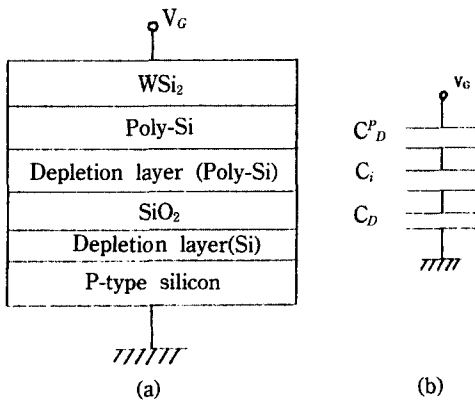


그림 5. (a) 다결정 실리콘내의 공핍층을 갖는 텅스텐 폴리사이드 게이트 구조와 (b) 그의 등가회로.

실리사이드 표면에 산화막이 있으면, SiO<sub>2</sub>/WSi<sub>x</sub> 계면에 인이 축적되고, 텅스텐 실리사이드를 통해서 외향확산하는 것이 방지됨을 알 수 있다. 그림 3(b)와 그림 4에서 SiO<sub>2</sub>/WSi<sub>x</sub> 계면 부근의 상대적으로 높은 인의 피크를 관찰할 수 있는데 위와 같은 사실을 뒷받침한다 하겠다.

그림 5에서는 폴리사이드 구조에서 도핑된 다결정 실리콘의 도판트 불순물이 열처리에 따라 다결정 실리콘으로부터 텅스텐 실리사이드를 통하여 외향확산하나 텅스텐 실리사이드 표면에 편석되어 다결정 실리콘 게이트 내에 공핍층을 형성하게 됨으로써 이상

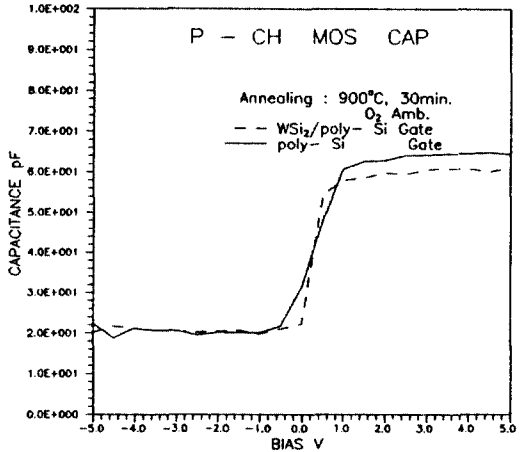
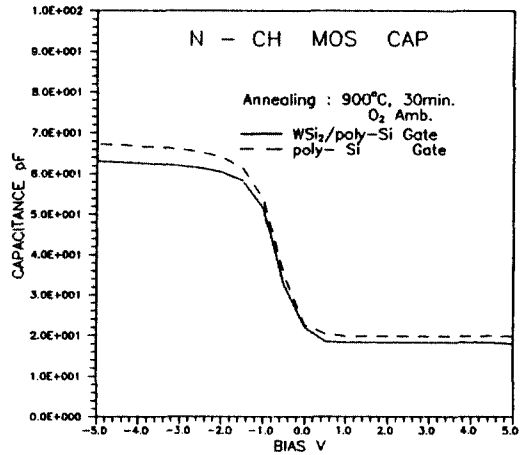


그림 6. 텅스텐 폴리사이드 게이트의 용량감소.

(anomalous) C-V 특성을 나타내게 됨을 증가적으로 표현하였다.

텅스텐 폴리사이드 게이트 커패시터 구조는 실리콘 기판의 공간 전하 용량 C<sub>D</sub>와 게이트 산화막의 용량 C<sub>i</sub> 그리고 폴리실리콘내 공핍층의 공간 전하 용량 C<sub>D</sub><sup>p</sup>의 직렬 조합으로 볼 수 있다. 따라서 텅스텐 폴리사이드 게이트의 총용량 C<sub>T</sub>는 다음과 같이 계산된다.

$$C_T = \frac{C_i C_D C_D^p}{C_i C_D + C_D C_D^p + C_i C_D^p} \quad (1)$$

그림 6은 폴리실리콘 게이트 및 폴리사이드 게이트 구조의 게이트 용량을 고주파(1MHz) C-V 방법으로 측정된 것이다.

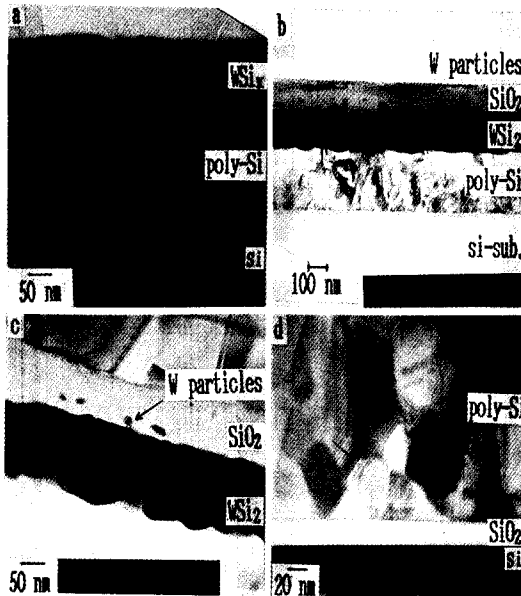


그림 7. 열처리 전후의 텅스텐 폴리사이드 구조를 나타내는 단면 TEM 사진  
(a)와 (c); 열처리 전, (b)와 (d); 열처리 후.

두 시료는  $900^{\circ}\text{C}$ , 30분간  $\text{O}_2$  분위기에서 함께 열처리(S/D reoxidation) 하였다. 폴리사이드 게이트 구조의 용량이 축적모드(accumulation) 및 반전(inversion) 모드 공핍 폴리사이드 용량보다 낮음을 알 수 있다. 이것은 다결정 실리콘내 공핍 용량이 폴리사이드의 용량(직렬 총용량)을 낮추는 것(그림 5)으로 판단되고, 게이트 산화막 계면 부근의 다결정 실리콘의 공핍은 그에 상응하는 실효 게이트 산화막의 증가를 가져오게 되고,  $V_T$  및  $V_{FB}$  등의 증가를 야기시킨다.

실리콘과 실리콘 산화막의 유전 상수비가 3 : 1이므로 다결정 실리콘의 공핍층폭의 1/3에 해당하는 게이트 산화막의 증가가 예상된다. 실제 TEM 사진 및 공정 모니터시 측정값은 20 nm이었으나 C-V방법으로 구한 실효 게이트 산화막 두께는 21.8 nm 및 22.6 nm으로 약 10% 정도의 게이트 산화막 증대 효과를 가져오고 있다. 따라서 설계된  $V_T$  값이나  $V_{FB}$  값보다 크게 나타날 것으로 판단되고 이러한 현상은 게이트 산화막이 얇을수록 더욱 현저하게 나타나므로 차세대 소자의 공정 개발시 고려해야 될 사항으로 생각된다.

그림 7(a)는 텅스텐 폴리사이드의 미세구조이다.

텅스텐 실리사이드막은 대체로 균일한 두께로 형성되어 있으며, 결정립(grain) 크기는 대략 100 nm 정도로 관찰되었다. 텅스텐 실리사이드와 다결정 실리콘 사이의 계면은 뚜렷하게 구분이 되고 있으며 접합상태도 양호함을 나타냈다. 실리콘 산화막은 그 두께가 비교적 균일하고, 양호한 막질을 보여주고 있다. 그림 7(b)는  $900^{\circ}\text{C}$ , 30분간 산소 분위기에서 열처리한 시편의 미세구조이다. 표면의 실리콘 산화막 중에는 미산화 텅스텐 입자(W particles)가 보여주고 있는데, D.K. Sadana 등은 텅스텐 실리사이드의 산화가 진행됨에 따라  $\text{WSi}_2$ 가 W과  $\text{SiO}_2$ 로 분해된 결과로 설명하고 있다[10].

그림 7(c)은  $900^{\circ}\text{C}$  에서 1시간 동안 열처리한 시편의 미세구조이다.  $\text{WSi}_2$ 의 결정립이 뚜렷하게 보이고 있다. 열처리하지 않은 시편과 비교해 볼 때, Poly-Si 및  $\text{WSi}_2$ 층이 어느 정도의 결정립 성장이 일어났음을 볼 수 있으며, Poly-Si와  $\text{WSi}_2$ 의 계면은 열처리 전과별로 달라진 것이 없이 양호한 계면상태를 보여주고 있으며, 특히 Poly-Si과  $\text{SiO}_2$  계면은 변화가 없는 것으로부터 W-Polycide는  $900^{\circ}\text{C}$  정도의 온도에서는 뛰어난 내열성을 가짐을 알 수 있다.

그림 7(d)는 열처리후의 텅스텐 폴리사이드 구조의 게이트 산화막을 보여 주고 있다. 그림으로부터 게이트 산화막은 약 20 nm의 두께로 균일하게 형성되어 있음을 알 수 있고, 열처리 후에도 Poly-Si/ $\text{SiO}_2$  계면의 변동은 보이지 않고 있다.

#### 4. 결 론

인이 도우핑된 다결정 실리콘상에 텅스텐 실리사이드를 형성한 텅스텐 폴리사이드 구조를 게이트 전극으로 사용했을 때 나타나는 게이트 용량의 감소 원인을 살펴보기 위하여,  $\text{WSi}_2$  CVD후 열처리에 따른 도판트 불순물의 재분포를 SIMS를 통하여 분석하고, 고주파 C-V방법으로 측정된 게이트 용량과 관련지어 해석해 보았고, 폴리사이드 구조의 미세구조 변화를 단면 TEM으로 관찰하여 열적 안정성을 살펴 보았다. 열처리 후에도 다결정 실리콘/게이트 산화막의 계면 특성 및 접합특성 등 열적 안정성은 우수한 것으로 판단된다.

텅스텐 폴리사이드 게이트 용량감소는 다결정 실리콘내 도판트 불순물이 텅스텐 실리사이드를 통하여

의향확산함으로써 다결정 실리콘내 도판트 불순물이 줄어들어 다결정 실리콘/게이트 산화막 계면 부근의 다결정 실리콘 내에 공핍층을 형성하기 때문인 것으로 판단된다.

다결정 실리콘내 공핍층 형성으로 인한 게이트 용량 감소는 실효게이트 산화막의 증대를 가져오고  $V_T$ ,  $V_{FB}$  등의 변동을 야기시킴으로 극히 얇은 게이트 산화막을 사용하게 되는 차세대 소자의 공정개발시 고려해야 할 것으로 사료된다.

### 참고문헌

1. S.P. Muraka, "Silicides for VLSI Applications", Academic Press, New York, 1983.
2. 坂井 秀男, "VLSI への高融点 金屬 ツリ사이드의 適用", 月刊 Semiconductor World, p. 135, Dec., 1987.
3. 須黒恭一, "쯔리사이드", 形成 프로세스-스파ッタ링 소그와 CVD의比較お 中心に-, 月刊 Semicon World, p. 139, Dec., 1987.
4. L.R. Zheng, L.S. Hung, J.R. Phillips and J.W. Mayer, "TiSi<sub>2</sub>/Polycrystalline silicon: Arsenic distribution and Si grain growth", *J. Appl. Phys.*, Vol. 62, p. 4426, 1987.
5. S.P. Muraka and D.S. Williams, "Dopant redistribution in Silicide-silicon and silicide-Polycrystalline silicon bilayered structure", *J. Vac. Sci. Technol.*, **B5**, p. 1674, 1987.
6. C.M. Osburn, T. Brat, D. Sharma, D. Griffis, S. Corcoran, S. Lin, W.K. Chu and N. Parikh "The effects of titanium silicide formation on dopant redistribution", *J. Electrochem. Soc.*, **135**, p. 1490, 1988.
7. C.Y. Wong, J.Y.C. Sun, Y. Taur, C.S. Oh, R. Angelucci and B. Davari "Doping of n<sup>+</sup> and p<sup>+</sup> Polysilicon in dual-gate CMOS process", IEDM Tech. Dig., p. 238, 1988.
8. C.Y. Lu, J.M. Sung, H.C. Kirsch, S.J. Hillenius, T.E. Smith and L. Manchanda "Anomalous C-V characteristics of implanted poly MOS structure in n<sup>+</sup>/p<sup>+</sup> dual-gate CMOS technology", *IEEE Electron Device Lett.*, **10**, p. 192, 1989.
9. M.Y. Tsai, F.M.D. Heurle, C.S. Peterson and R.W. Johnson, "Properties of tungsten silicide film on polycrystalline silicon", *J. Appl. Phys.* **52**, p. 5350, 1981.
10. D.K. Sadana, A.E. Morgan, M.H. Norcott and S. Naik "Annealing and oxidation behavior of low-pressure chemical vapor deposited tungsten silicide layers on polycrystalline silicon gates", *J. Appl. Phys.* **62**, p. 2830, 1987.