



# 海外業界動向

## 4사의 64M DRAM, ISSCC에서 발표

13일부터 15일까지 최근 미국 샌프란시스코에서 개최한 ISSCC(국제고체회로회의) '90에서는 일본 반도체 4社로부터 64M Bit DRAM의 개발이 발표되었다. 64M Bit DRAM을 발표한 업체는 東芝, 富士通, 三菱電機, 松下電器인데, 東芝, 松下電器는 엑시머 레이저, 富士通, 三菱電機는 i선로광기술을 이용하며, 모두 디자인 룰은 0.4미크론이다. 각사는 메모리 셀 구조와 회로 패턴을 연구하고, 셀 사이즈·칩 사이즈의 축소와 고속액세스 시간을 달성했으며, 또한 동작전원전압은 각사 모두 3.3V이다. 64M Bit DRAM 부분에서는 작년 6월, 日立製作所가 EB露光을 이용한 제품을 개발했는데, 금회 4社에서 발표한 것은 기존의 光露光技術에서도 대응할 수 있으며 양산에도 적합하다.

64M Bit DRAM은 1995년에도 샘플 출하될 것이라고 일컬어지고 있는데, 빠른 반도체의 기술혁신을 가능케하고 있다.

### ● 액세스시간 33Nano초

東芝가 개발한 64M bit DRAM은 64M WordX 1Bit 구성품으로, 액세스 시간은 33nano 초이다. 셀 구조는 구의 측벽에 절연막을 형성, 근접하는 메모리 셀과의 전하 링크

를 방지함과 함께 구속에 Capacitor를 채운 3차원구조를 채용, Capacitor부와 트랜지스터부를 비대칭으로 배치할 수 있는 AST 셀에 의해 1.53Micron<sup>2</sup>과 작은 셀 면적을 실현했다. 또한 Bit선에 의해 잡음을 저하시키기 때문에 2분의 Bit선을 중앙부에서 교차시켜서 센스 업으로 연결시킴으로써 미소한 전압변화에서도 신호를 Read할 수 있다.

### ● 회로의 연구

富士通는 동사 독자의 편형 Stacked Capacitor 셀구조를 사용하고 있을 뿐만 아니라, 칩내부에서는 병렬로 64 Bit의 데이터를 동시에 Reading, Writing 할 수 있는 데이터 버스 배선구조, 새로운 전류검출형 앰프 회로의 개발 등의 회로연구에 의해 동작의 고속화를 도모하고 있다. 또한 양산으로 실적이 있는 i선 리소그라피기술에 위상 시프트법을 적용, 시작한 것이다.

### ● 독자적인 방식 채용

三菱電機는 전하를 기억하는 전극을 상하 두개의 전극으로 삽입하는 Stack형 셀의 개량판 Dual Cell Plate(DCP) 셀을 채용하였고, 또한 데이터 출력선, 매치 라인을 겸용, 差動 앰프, Comparator를 겸용하여 다수의 Bit를 일괄 테스트할 수 있는 독자적인 Match Line Te

st(MMT) 방식을 채용하여 액세스 시간 45nan o초(전원전압 3.0V 실온)를 달성했다. 테스트 시간을 150마이크로 초로 1Bit마다 테스트했던 종전의 방식을 6만 400분의 1로 단축했다. MMT 방식탑재에 의한 칩 사이즈의 증대는 0.1% 이하이다.

● 터널 구조형

松下電器는 KrF 엑시머 레이저(파장 248nm) 축소투영 露光장치를 이용하고 있는 DRAM을 개발했다.

실리콘기판상에 형성한 메모리 셀의 콘텐서 하부전극 중에 상하 2단의 터널상의 구멍을 전체에 형성한다. 콘텐서의 표면적을 증가시키는 독자적인 터널 구조형 Stack cell을 이용하여 16M DRAM과 같은 35fF의 고용량을 실현했다. 誘電體는 실리콘질화막과 산화막의 2층 구조인데, 두께 70°A, 터널 길이 2.5Micron, 두께 0.8Micron, 하부전극 높이 0.3Micron이다.

64M DRAM의 비교

항 목	東 芝	富士通	三 菱	松 下
프로세스	0.4 $\mu$ m 2층Al	0.4 $\mu$ m 2층Al	0.4 $\mu$ m 2층Al	0.4 $\mu$ m 2층Al
셀 구조	Trench Stack	Stack	Stack	Stack
셀 사이즈	0.9×1.7 =1.53 $\mu$ m <sup>2</sup>	1.0×1.8 =1.80 $\mu$ m <sup>2</sup>	1.0×1.7 =1.70 $\mu$ m <sup>2</sup>	1.0×2.0 =2.0 $\mu$ m <sup>2</sup>
칩 사이즈	9.22×19.13 =176.4 $\mu$ m <sup>2</sup>	11.27×19.94 =224.7 $\mu$ m <sup>2</sup>	12.5×18.7 =233.8 $\mu$ m <sup>2</sup>	10.85×21.60 =234.4 $\mu$ m <sup>2</sup>
액세스타임	33ns	40ns	45ns	50ns
전 원	3.3V	3.3V	3.3V	3.3V

파워 하이브리드 IC시장, 세계적으로 서광

독일 시장조사회사 BIS Mackintosh사로 부터 파워 하이브리드 IC의 시장전망이 세계적으로 정평이 있다는 보고서가 발표되었다.

그것에 의하면 Power 하이브리드IC는 금후 여러 분야에서 수요가 확대될 것으로 예상된다.

● 생산공정상의 문제해소

작년에 파워 하이브리드IC 시장의 규모는 전세계에서 약 14억불이었다. 하이브리드 IC전체의 14%에 상당한다.

美·歐·日이 주요시장인데, 일본이 최대의 생산국이다. 용도는 항공·우주, 병기, 자동차, 통신 등인데 병기의 비중이 큰 歐美와 달리 日本에서는 전산기, 사무기, 가정용 전자기기용이 큰 비중을 차지하고 있다. 파워 하이브리드 IC가 신장하는 요인으로써 BIS Mackintosh의 보고는 Monolithic IC의 대체부품으로서 사용할 수 있을 뿐만 아니라, 기타 종류의 IC에서는 미해결의 생산공정상의 문제가 해소되고 있는 점을 지적하고 있다.

BIS에 의하면 파워 하이브리드IC시장으로써 금후 가장 유망시되는 것은 자동차 관련이다. 전통적분야 뿐만 아니라, 파워 하이브리드IC는 엔진과 연료분사시스템의 제어에도 사용할 수 있게 되어 용도를 확대시키고 있다.

더불어 기대되는 것은 항공기인데, 현재까지 병기전용이었던 기술이 가정용에도 채용될 것으로 생각된다.

이 분야에서는 경제성, 환경, 기술수준의 각면에 비추어, 파워 하이브리드IC의 사용이 유일한 문제 해결책이 되는 경우가 많다.

또한 현재, 파워 하이브리드IC 수요의 19%를 차지한 전산기·사무기 시장도 성장이 예상되고 있다.

프랑스 Thomson, 구주의 전화기 단말시장에 내년부터 참가계획

프랑스의 Thamsom Consumer Electronics (TCE)는 2월 5일, 내년부터 구주의 전화기 단말시장에 참가한다는 계획을 밝혔다.

동사는 내년부터 3년 사이에 1억 5,000만 프랑을 투자하여 시장개척에 참가하여 '95년까지 구주의 전화기 시장에서 10%의 점유율을 확보할 태세이다.