



## 자기정렬 工程에서 텅스텐 두께에 따른 Schottky Barrier의 特性에 관한 연구

金起鍾 · 金五顯

### <요 약>

본 연구에서는 게이트의 Schottky 접촉을 먼저 만들고 옴 접촉 공정을 그후에 하는 자기정렬 공정(self-aligned process)에서 다이오드의 특성 저하를 막기위하여, 내열성 금속(refractory metal)을 사용하여 두께와 온도에 따른 각각의 특성을 알아보았다. 내열성 금속으로는 텅스텐을 사용하였으며, 텅스텐이 게이트 금속인 Au나 AlGaAs 에 대해 어느 정도 확산에 대한 barrier 의 역할을 하는 지에 대하여 알아보았다. 전류-전압 측정자료와 Auger 분석을 통하여 옴 접촉 조건(480°C)에서 텅스텐의 두께가 30nm 이하에서

는 barrier 의 역할이 어려운 것으로 나타났다. 그리고 30~60 nm 사이에서 트랜지스터의 특성에 있어서 많은 변화가 있음을 알 수가 있었으며, 90 nm 이상에서는 530°C 이상의 온도에서 Au에 대해 좋은 barrier 의 역할을 할 수 있는 것으로 나타났다.

### I. 서 론

집적화에 따른 소자의 크기가 작아짐에 따라서 게이트와 소스의 직렬저항과 기생용량을 줄이려는 방법의 하나로서 자기정렬 공정이 연구되고 있으며, 이 공정 방법에서의 문제점으로는 T-게이트

금속을 먼저 만들고 음 접촉 열처리 공정을 나중에 하는 데에 따라 Schottky 다이오드가 파괴되어 소자의 성능이 떨어진다는 것이다. 일반적으로 열처리에 따른 다이오드의 특성은, 반도체 (AlGaAs 의 경우 확산도가 큰 Ga)가 게이트 금속인 Au로 (혹은 반대로) 확산함으로써 결함 (defect)으로 작용하거나, 반도체인 AlGaAs에서 의 Au는 불순물로 작용하여 다이오드의 특성이 저하되는 것으로 알려져 있다. Au / GaAs 접합 인 경우 350°C에서는 Ga 이 Au로 확산하며 공용 점인 450°C를 경계로 Au의 확산이 증가되는 것으로 알려져 있다. 따라서 최적의 음 접촉에 필요한 온도에서도 Au와 AlGaAs의 상호 확산을 막을 수 있도록 사이에 내열성 금속을 사용하여야 한다. 내열성 금속에는 W, Ti, Mo 등이 알려져 있다. 이 논문에서는 W을 내열성 금속으로 선정하여, W 두께와 음 접촉 온도에 대한 각각의 변화가 Schottky 다이오드 및 트랜지스터의 특성에 어떤 영향을 주는 지에 대하여 알아 보았다. 내열성 금속인 텅스텐의 경우 일반적으로 500°C 까지, 그리고 Ti는 400°C 까지 열적으로 안정한 것으로 알려져 있다.<sup>(1)</sup>

이 논문에서는 Auger 분석을 통하여 alloy 온도에 따른 Au의 상호 확산 정도 및 이때 W의 역할에 대해서 알아보았고, 다이오드의 특성과 gm-곡선 및 문턱 전압 ( $V_{th}$ )의 변화를 알아보았다.

## II. 실험 및 결과

측정에 사용된 샘플은  $\delta$ -도핑된 MODFET이다. 층 구조는 (그림 1)에 나타내었다.<sup>(2)</sup>

(그림 1)의 층 구조에서 보면 소스와 드레인에

서의 음 접촉을 위한 cap layer로써 Si이 GaAs에  $\delta$ -도핑된  $n^+$ 의 구조이며 금속과의 접촉에서 에너지 장벽의 높이를 크게 하기 위해 AlGaAs층을 사용하였다. 효과적인 전송자(carrier)의 confine을 위해 전도대역의 불연속성(conduction band discontinuity)이 큰 InGaAs를 사용하였으며 다음층은 기판방향으로 AlGaAs를 사용하였다. 게이트 바이어스에 따른 효율적인 전송자의 공급을 위해 GaAs와 AlGaAs층을 차례로 기른 초격자구조(super lattice)를 사용하였다. AlGaAs에서 Al의 분자비율(mole fraction)은 30%(Ga의 분자비율은 70%), InGaAs에서 In의 분자비율은 20%이다.

30Å GaAs	
$\delta$ -doped Si	
20Å GaAs	
300Å AlGaAs	
75Å InGaAs	
$\delta$ -doped Si	
75Å InGaAs	
500Å AlGaAs	
10 ×	50Å GaAs
	50Å AlGaAs
5000Å GaAs	
GaAs undoped	

(그림 1)  $\delta$ -도핑된 양자우물 FET의 층 구조(QUADFET)

$\delta$ -도핑된 MODFET의 장점으로서는 불순물 첨가를 하지 않은 게이트쪽의 AlGaAs 때문에 다이오드의 누설 전류가 적으므로, 역방향 바이어스에서 항복전압이 큰것을 들 수가 있다. 그리고 AlGaAs 층의 두께 d를 조절하여 작게할 수 있으며 전송자

의 효율적인 confine에 의한 높은 전송자농도 (high carrier concentration)에 의해 큰 transconductance를 얻을 수가 있다. InGaAs층의 채널과 AlGaAs층의 전도대역의 불연속이 큰 에너지 대역 구조에서는 게이트의 바이어스를 많이 증가시키더라도 효율적인 전송자의 confine을 유지할 수가 있으므로 넓은 게이트의 전압의 범위에서 큰 transconductance를 얻을 수가 있다.

단점은 채널에서의  $\delta$ -도핑된 영역으로 인하여 불순물 산란에 의해 이동도가 감소한다는 것이다. 그러나 단일층(mono layer)으로 도핑된 경우에 있어서는 도핑영역(격자상수보다 작은)이 채널에서의 전자의 파동함수의 파장( $\lambda_d = 1000 \text{ \AA}$ )보다 작으므로 불순물에 의한 이동도의 영향은 크지 않은 것으로 알려져 있다.<sup>(3)</sup>

여기서는 Au (200nm) / Ni (20nm) / AuGe (80nm)을 음 접촉 금속으로 사용하였다. AuGe / GaAs의 에너지 장벽의 크기는 0.27~0.35V로 알려져 있다. AuGe은 360°C에서 녹기 시작하여 GaAs으로 확산되며, 이때 Ge은 Ga 자리를 채우면서 도펀트로 작용한다. GaAs에서는 온도가 증가하면서 확산도가 큰 Ga이 Au로 확산된다. 공융점인 450°C에서 Au에서의 Ga의 농도가 급격히 증가하며 이때 Ga의 농도는 Au의 고용도에 의존한다. 고용도가 일정하다고 보았을 때 Au의 두께가 두꺼울수록 Au에 있는 Ga의 양은 증가되며 결과적으로 GaAs에 있는 Ge의 농도는 증가되어 저항률이 감소한다. 그러나 Au의 두께가 너무 크면 GaAs에서 Ge이 채우지 못한 Ga 공백(계면에서의 surface state나 trap으로써 작용) 때문에 소자의 성능을 떨어뜨리는 요인이 될 수가 있다.

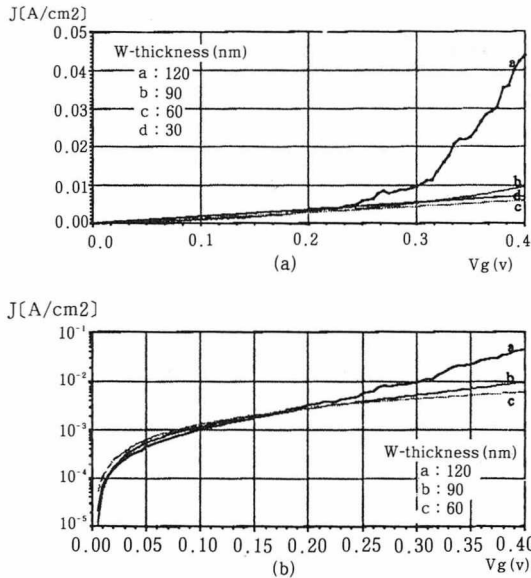
Ni은 Ge에 대해 GaAs에서의 확산도와 이동도

를 높이며 Au와 AuGe의 엉킴(balling up)을 막아주는 것으로 알려져 있다. 그러나 너무 많은 Ni은 Ge을 보상시키고 p-type으로 작용하여 성능을 떨어뜨린다.<sup>(4)</sup>

접촉 저항을 측정하는 방법에는 전류의 흐르는 선이 계면에 수직하다고 가정하는 Cox, Strack방법과 평행하다고 가정하는 TLM 방법이 있다. 이 논문에서는 TLM 방법을 사용하여 접촉 저항을 구하였다. 480°C에서의 접촉 저항은 0.925  $\Omega$ -mm 정도로써 최적값을 나타내고 있다.

게이트의 쇼트키 접촉을 위한 금속으로는 Au (200nm) / Ti (20nm) / W (120, 90, 60, 30nm)를 사용하였으며, Au와 Ti는 Evaporator로써 증착하였고 W는 rf-다이오드 sputter로써 도포하였다. (그림 2-a)는 이러한 구조에서 게이트 다이오드의 순방향 바이어스에서의 전류-전압특성을 나타내었다. 곡선 a의 경우 W의 두께가 120nm일 때 비교적 좋은 다이오드의 특성을 보인다. W의 두께가 90, 60, 30 nm(곡선 b, c, d)로 가면서 다이오드의 특성이 저하됨을 알 수가 있다. 특히 W의 두께가 30nm(곡선 d)일 때의 특성은 매우 나쁨을 알 수가 있다. 이것은 최적의 음 접촉 조건(480°C)에서 W이 확산을 막아주는 역할을 하지 못하여 Au가 AlGaAs에서 반도체에서의 불순물로 작용하였다고 본다. 이것은 본 실험에서 측정된 W의 두께가 얇아질수록 역포화 누설전류의 크기가 커지는 점과 관련하여 적은 순방향 바이어스에서 불순물로 인한 터널링 전류성분이 상대적으로 커진 것으로 본다. 한편 순방향 바이어스의 크기가 증가하면서 전류의 크기가 적은 것은 degrade된 다이오드의 특성에 기인하는 것으로 본다. (그림 2-b)는 (그림 2-a)를 log scale로

나타내었다. W의 두께가 얇아질수록 곡선의 기울기가 작아져서 ideality factor가 커지는 경향을 알 수 있다.



(그림 2) 순방향 바이어스에서의 전류-전압 특성  
(a) Linear scale (b) Log scale

상온에서 GaAs, Ge, Si Schottky 다이오드의 경우 전기장의 크기가  $10^4 \sim 10^5$  V/cm에서의 전류는 주로 열방출(thermionic-emission)에 의한 성분으로 볼 수가 있다. 따라서 Ideality Factor의 값은 다음과 같은 식으로 주어진다.

$$J = \frac{kTd}{qdv} [\ln(J)] \text{ for } V > 3k\frac{T}{q}$$

rf-다이오드 sputter의 경우 도포에 따른 표면과의 충돌 에너지가 크므로 인하여 surface state가 많이 형성되어, ideality factor에 대한 특성도 나쁜 것으로 (2.3 정도) 보고 되었다.

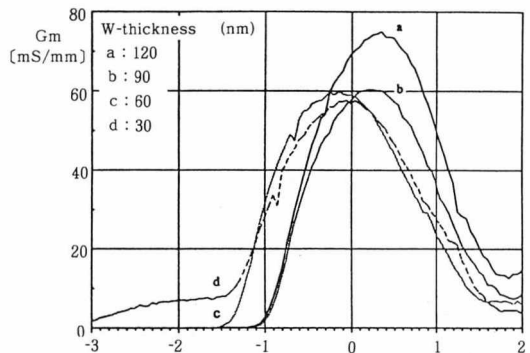
W의 두께에 따른 ideality factor의 값과 그래프를 <표 1>에 나타내었다. W의 두께가 30~120nm

으로 커짐에 따라서 ideality factor n은 480°C에서 3.3~2.3으로 나타났다. 특히 120nm에서 가장 좋은 다이오드의 특성을 보여주고 있다.

(그림 3)은 게이트의 전압에 따른  $g_m$  곡선들을 나타내었다.  $g_m$ 이 최대일 때의 게이트의 전압은 W의 두께가 얇아질수록 큰 음의 값으로 간다는 것을 알 수가 있으며 그때의  $g_m$ 값도 작아짐을 알 수가 있다. 특히 W의 두께가 30nm인 경우 -3.5V 이하가 되어야  $g_m$ 값이 작아짐을 알 수가 있다. 따라서 채널의 전송자를 결핍시키기 위하여는 적어도 게이트의 전압이 -3.5V 이하가 되어야 함을 알 수가 있다.

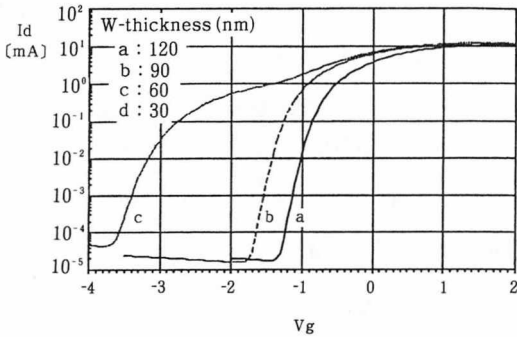
<표 1> 텅스텐의 두께와 음 접촉 열처리 온도에 따른 다이오드의 Ideality Factor

	30nm	60nm	90nm	120nm
460°C	3.743	4.725		3.147
470°C			2.703	
480°C	3.13	2.8	2.864	2.31
490°C		3.106	2.864	
500°C	3.16		3.023	
520°C	4.0			



(그림 3) 게이트의 전압에 따른 transconductance 곡선

(그림 4)는 W의 두께에 따른 드레인전류-게이트 전압 ( $I_d$ - $V_g$  curve) 특성을 나타내었다. 곡선 b, c의 W의 두께가 30, 60nm 인 경우를 보면 이 사이에서 드레인 전류가 작아지는 게이트 전압의 문턱전압이 급격히 작아짐을 알 수가 있다.



(그림 4) 텅스텐의 두께에 따른 게이트 전압과 드레인 전류

보면 드레인 전류가 올라갈 때의 게이트 전압의 스윙 범위가 너무 커서 on-off의 스위칭 소자로서는 사용할 수 없음을 알 수가 있다. 전체적으로 W의 두께가 얇아질수록 문턱전압이 작아지며 이것은 채널에 있는 전송자 전하량의 차이에 의한 것으로 보며 따라서 채널에 있는 전하를 결핍시키는 데 따른 차이라고 본다.

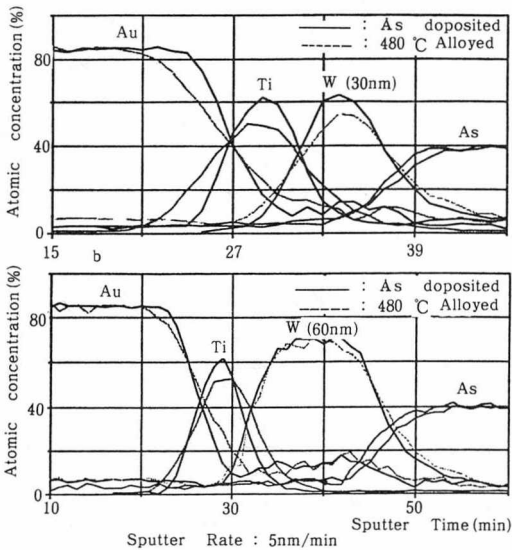
(그림 5)의 (a)~(b)는 최적의 음 접촉 공정 (480°C) 후 Au / Ti / W / InGaAs 구조에서의 depth profile을 나타내었다. W의 경우, 두께가 30nm 인 경우 60nm 에 비해 음 접촉에 따른 확산이 비교적 큰 것을 알 수 있다.

### III. 결 론

최적의 음 접촉 조건에서 텅스텐을 barrier 금속으로 할 경우 두께가 30~60nm 근처에서 Schottky 다이오드와 트랜지스터의 특성이 많이 저하됨을 알 수가 있었다. 특히 자기정렬 공정에 텅스텐의 두께가 30nm 인 Schottky 다이오드는 사용할 수 없을 것으로 보인다.

### 참 고 문 헌

1. A.K.Sinha, J.M.Poate, Appl. Phys. Lett, Vol.23, No.12, pp. 666 ~ 668, (1973.12).
2. W.P.Hong, A.Zrenner, O.H.Kim, J. Harbison, IEEE Trans. Electron. Devices, Vol.37, pp. 1924 ~ 1926, No.8, (1990.8).



(그림 5) 음 접촉 공정후의 Au/Ti/W/ InGaAs의 depth profile 텅스텐 두께-a : 30nm b : 60nm

(그림 4)에서의 W의 두께가 30nm 일때의 곡선을

3. E.F.Schubert, A.Fisher, K.Ploog,  
IEEE. Trans. Electron. Device, Vol.  
ED-33, No.5, pp. 625 ~ 632, (1986.5).
4. N.Braslau, J.Vac.Sci.Technol, Vol.19,  
No.3., pp. 803 ~ 807, (1991.9~10).



金五顯(Kim, Ohyun)  
1973~1977 : 서울대학교 공과대  
학 전자공학과  
1977~1979 : 한국과학기술원 전  
자전기공학과  
1979~1980 : 삼성반도체(주) 연  
구원  
1986~현재 : 포항공대 전자전기  
공학과 교수



金起鐘(Kim, Ki Jong)  
1986~1990 : 성균관대학교 전자공학  
과 학사  
1990~현재 : 포항공과대학 전자전기  
공학과 석사과정