

論文91-28A-12-8

BF₂ 이온 주입한 표면 채널 LDD PMOSFET의 Hot-Carrier 효과 (Hot-Carrier Effects of BF₂ Ion-Implanted Surface-Channel LDD PMOSFET)

梁 光 善,* 朴 訓 洙,* 金 鳳 烈*

(Kwang Sun Yang, Hoon Soo Park, and Bong Ryul Kim)

要 約

BF₂ 이온 주입한 표면 채널 LDD PMOSFET의 hot-carrier에 의한 노쇠화 현상을 매몰 채널 구조의 PMOSFET와 비교하여 분석하였다. PMOSFET의 최대 성능 저하는 기판 전류보다는 게이트 전류가 최대로 흐르는 바이어스 조건에 더 관계가 있었고, 노쇠화 메카니즘은 고 전계 영역에서 충격 이온화에 의해서 발생한 electron이 드레인 근처 산화막내에 주입되어 포획된 음의 고정 전하가 유효 채널 길이를 감소시키기 때문이었다. SC-PMOSFET의 기판 전류가 BC-PMOSFET에 비해서 더 적게 흐르는 이유는 LDD 구조를 사용해서 최대 lateral 전계가 작기 때문이었고, 게이트 전류가 더 적게 흐르는 것은 게이트 물질의 일함수 차이 때문이었다. BC-PMOSFET에 비해서 BF₂ 이온 주입한 표면 채널 LDD PMOSFET 소자의 짧은 채널 효과가 더욱 우수했다.

Abstract

Hot-carrier induced degradation has been studied for the BF₂ ion-implanted surface-channel LDD (P⁺ polysilicon gate) PMOSFET in comparison to the buried-channel structure(N⁺ polysilicon gate) PMOSFET. The conditions for maximum degradation better correlated to I_g than I_{sub} for both PMOSFET's. Due to the use of LDD structure on SC-PMOSFET, the substrate current for SC-PMOSFET was shown to be smaller than that of BC-PMOSFET. The gate current was smaller as well, due to the gate material work-function difference between p⁺ and n⁺ polysilicon gates. From the results, it was shown that the surface-channel LDD PMOSFET is more resistant to short channel effect than the buried-channel PMOSFET.

I. 서 론

고집적 VLSI의 기술 개발을 위해서 submicrometer 게이트 구조의 MOSFET 구현이 필요하게 됨에 따라, hot-carrier 효과로 인한 소자의 노쇠화가 신뢰

성에 심각한 영향을 미친다. 그러나 이에 대한 연구는, 고 전계 영역에서 electron의 충격 이온화율이 hole에 비해서 더 크기 때문에 그에 따른 소자의 성능 저하가 더 크게 나타나므로, 주로 NMOSFET에 대해서 집중되어 이루어져 왔다. 그러나 submicrometer 또는 deep-submicrometer CMOS 회로에서는 PMOSFET의 hot-carrier로 인한 신뢰성이 NMOSFET와 마찬가지로 중요한 영향을 미치게 된다. 기존의 n⁺ 다결정 실리콘게이트 CMOS 공정에서는 일

*正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yonsei Univ.)
接受日字: 1991年 10月 15日

함수 차이에 의한 문턱 전압의 차이를 보상해주기 위하여 n형 기판의 농도를 낮추는 방법으로 PMOS-FET의 채널 영역에 boron을 이온 주입하여 채널이 표면 아래에서 생기는 매몰 채널 (buried-channel)을 형성하였다. 매몰 채널 PMOSFET(BC-PMOSFET)는 도핑된 불순물에 의한 전하 공핍층이 존재하여, 드레인 전압에 의한 전계가 소오스와 기판쪽으로 깊게 확장되고 드레인 전압이 증가함에 따라서 소오스의 전위 장벽이 낮아져서, 낮아진 장벽을 통하여 캐리어가 소오스로부터 주입되는 DIBL(drain induced barrier lowering) 효과에 의해서 punch-through가 증가하여 누설 전류 특성이 나빠진다. 이러한 현상을 줄이기 위해 retrograde n-well 및 얇은 채널 이온 주입을 하는 연구와 p⁺ 다결정 실리콘을 게이트 전극으로 하여 표면 채널 (surface-channel)형 PMOSFET(SC-PMOSFET)로 대체하려는 연구가 진행되고 있다.¹⁻³ 본 연구에서는 기존의 n⁺ 다결정 실리콘 게이트 BC-PMOSFET와 BF₂를 이온 주입한 LDD 구조 SC-PMOSFET의 hot carrier 효과에 의한 소자 노쇠화 현상을 비교 분석하고자 한다.

II. 소자 제작

표면 채널과 매몰 채널 구조 PMOSFET의 hot-carrier로 인한 소자의 노쇠화 현상을 분석하기 위해서, n⁺ 다결정 실리콘을 게이트 전극으로 사용한 BC-PMOSFET와 게이트 전극을 BF₂ 이온 주입하여 p⁺ 다결정 실리콘으로 사용한 SC-PMOSFET를 제작하였다. BC-PMOSFET는 문턱 전압을 조절하기 위해서 채널 영역에 boron 이온을 주입하여 얇은 매몰층을 형성하였다. SC-PMOSFET는, 이중 다결정 실리콘 (n⁺/p⁺) 게이트 CMOS 기술을 사용하여 제작하였다. p⁺ 다결정 실리콘 게이트 전극과 소오스/드레인 공정을 소오스/드레인 얇은 접합에 사용하는 BF₂를 이온 주입하여 동시에 형성하였다. 소오스/드레인용 드레인 부근의 고 전장 효과를 감소시키기 위하여 LDD(lightly doped drain) 구조로 형성하였다. 두 트랜지스터 모두 게이트 산화막의 두께는 150Å이고, 소오스/드레인 접합 깊이는 0.3μm이다. 게이트 길이는 0.8μm에서 15μm이고 폭은 15μm이다. Hot-carrier로 인한 소자의 성능 저하는 DC 스트레스 방법으로 선형 영역 (V_a=-0.1V)과 포화 영역 (V_a=-5.0V)에서 소자의 특성 변화를 분석하였다. 문턱 전압은 드레인 전류가 단위 게이트 폭당 0.1μA 흐르는데 필요한 게이트 전압으로 정의하였고, 선형 영역에서의 드레인 전류는 V_g=-

0.2V, V_a=-5.0V에서, 포화 영역에서는 V_g=-5.0V, V_a=-5.0V에서 측정하였다. 스트레스 후에 측정은 순방향과 역방향 모두에서 측정하였다.

III. 측정결과 및 분석

Hot-carrier로 인한 PMOSFET의 성능 저하가 기판 전류와 더 관계가 있는지,³⁾ 게이트 전류와 더 관계가 있는지는⁴⁾ 서로 다른 보고가 발표되어 왔다. 그림1과 그림2는 SC-PMOSFET와 BC-PMOSFET의 게이트 스트레스 전압 변화에 따른 문턱 전압의 변화량 ΔV_t, 전달 콘덕턴스의 변화량 ΔG_m/G_m(0), 선형 영역에서 드레인 전류의 변화량 ΔI_d/I_d(0), 포

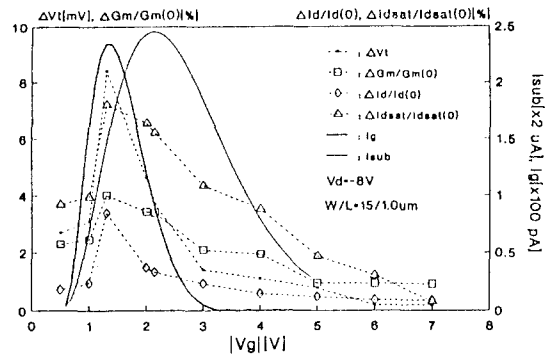


그림 1. SC-PMOSFET의 게이트 스트레스 전압에 따른 소자의 특성 변화

Fig. 1. I_g, I_{sub}, ΔV_t, ΔG_m/G_m(0), ΔI_d/I_d(0), and ΔI_{sat}/I_{sat}(0) versus stress gate voltage for SC-PMOSFET.

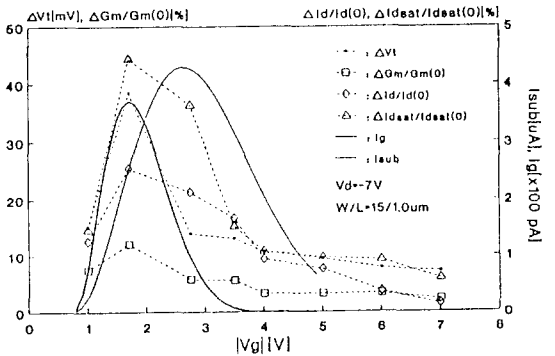


그림 2. BC-PMOSFET의 게이트 스트레스 전압에 따른 소자의 특성변화

Fig. 2. I_g, I_{sub}, ΔV_t, ΔG_m/G_m(0), ΔI_d/I_d(0), and ΔI_{sat}/I_{sat}(0) versus stress gate voltage for BC-PMOSFET.

화 영역에서 드레인 전류의 변화량 $\Delta I_{dsat}/I_{dsat}(0)$ 을 각각 나타낸 것이다. 스트레스에 따른 소자의 최대 성능 변화가 기판 전류보다는, 게이트 전류가 최대로 흐르는 바이어스 조건에서 더 잘 일치하는 것을 알 수 있다. 이것은 최대 성능 저하가, 기판 전류가 최대로 흐르는 바이어스 조건에서 일어나는 NMOSFET의 경우와는 다른 결과를 나타낸다. 그림 3은 스트레스 후에 역방향에서 측정한 문턱 전압과 전달 콘덕턴스의 변화량을 채널 길이에 따라 나타낸 것이다. 문턱 전압이 양의 방향으로 이동하고 전달 콘덕턴스가 증가함을 알 수 있는데, NMOSFET의 경우에 문턱 전압과 전달 콘덕턴스가 감소하는 현상과는 다르다. SC-PMOSFET가 BC-PMOSFET에 비해서 소자의 성능 변화가 더 작음을 알 수 있다. 그림 4는 스트레스 후에 드레인 전류가 증가함을 보여주는 SC-PMOSFET의 전류-전압 특성이다. 이것은 고전계 영역에서 채널 hole 이 충격 이온화에 의하여 electron-hole 쌍을 발생시키나 주로 electron들이 게이트 전계에 의하여 충분한 에너지를 받아서 게이트 산화막내로 주입되어 드레인 부근의 산화막내에 음의 전하를 형성하고, 이는 채널 영역에 hole 반전층을 유도하므로 마치 게이트 전압이 증가된 것과 같은 효과를 야기시킴으로써, 채널의 전계가 감소하게 되며 반전된 hole의 양이 많을 때에는, 마치 p+ 드레인 영역의 확장과 같게되어 결국 소자의 유효 채널 길이가 감소하게 된다⁵⁾

그림 5는 기판 전류와 게이트 전류의 최대값을 채널 길이에 따라 나타낸 것이다. SC-PMOSFET의 경우가 모두 적게 흐름을 알 수 있다. PMOSFET

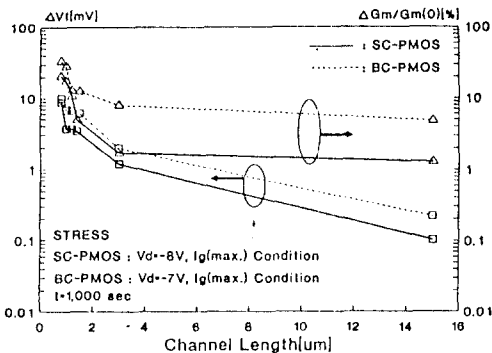


그림 3. 채널 길이에 따른 문턱 전압, 전달 콘덕턴스의 변화량
Fig. 3. Channel length dependence of ΔV_t and $\Delta G_m/G_m(0)$.

SC-PMOS(W/L=15/1.0um)

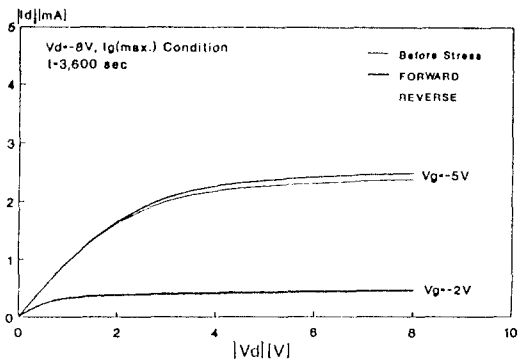


그림 4. SC-PMOSFET의 스트레스후 전류-전압 특성
Fig. 4. Characteristics of I_d-V_d after stress for SC-PMOSFET.

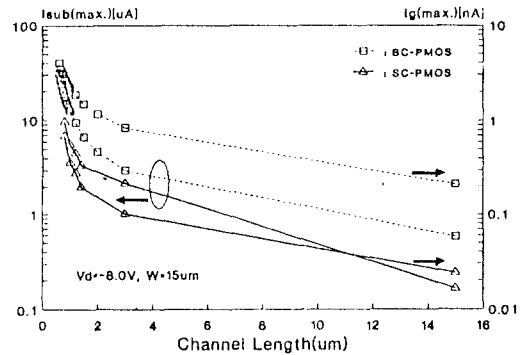
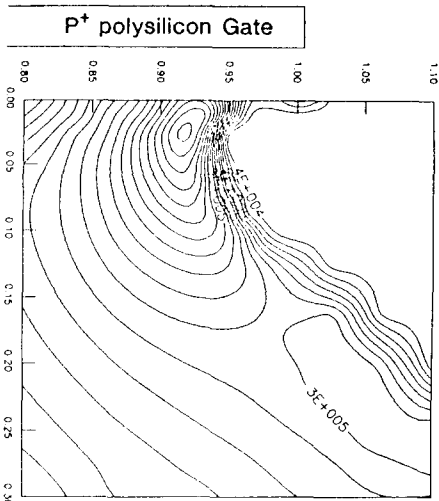


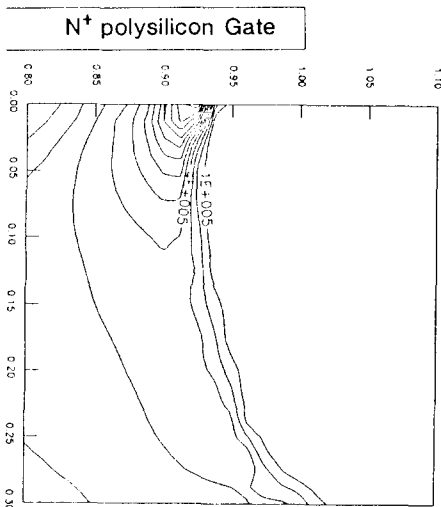
그림 5. 채널 길이에 따른 기판 전류와 게이트 전류의 최대값
Fig. 5. Channel length dependence of I_{submax} and I_{gmax} for both PMOSFET's.

의 게이트 전류는 hot-carrier의 영향에 대하여 hole 보다는 electron이 산화막내로 주입되어 게이트 전류의 원인이 된다. 그 이유는 electron의 평균 자유 행정이 더 길고, Si/SiO₂ 장벽 높이가 electron에 대해서 더 낮고, 또한 낮은 게이트 전압에서 vertical 전계가 electron 주입을 더 쉽게 하기 때문이다. SC-PMOSFET의 게이트 전류가 BC-PMOSFET에 비해서 더 적게 흐르는 이유는 게이트 물질의 일함수 차이 때문이다. P+ 다결정 실리콘 게이트의 일함수가 n+ 다결정 실리콘에 비해서 약 1.1eV 크기 때문에 산화막에 걸리는 vertical 전계가 일함수 차이만큼 감소되어 게이트 전류가 더 적게 흐른다. 이전에



SC-PMOS Lateral Electric Field (max=0.85MV/cm)

(a) SC-PMOSFET

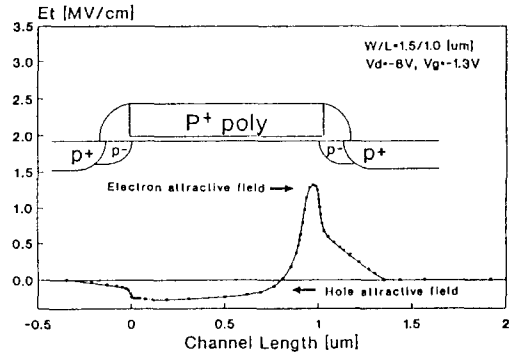


BC-PMOS Lateral Electric Field (max=1.22MV/cm)

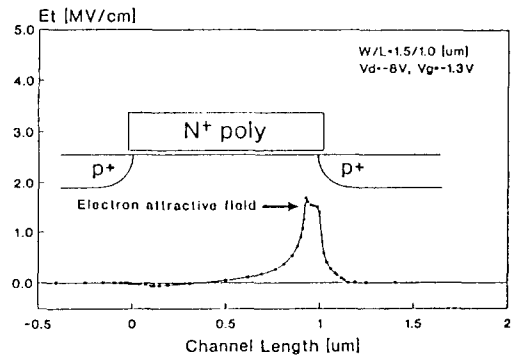
(b) BC-PMOSFET

그림 6. 채널 길이에 따른 lateral 전계 분포
Fig. 6. Lateral electric field dependence of channel length.

발표되었던 연구 결과와는 다르게⁶⁾ SC-PMOSFET의 기판 전류가 BC-PMOSFET보다 더 적게 흐르는 이유는, SC-PMOSFET가 LDD 구조이기 때문에 채널의 hole 전류가 표면으로 흐를지라도 최대 lateral 전계가 더 작기 때문이다. Simulation으로 확인하기 위해서 2차원 소자 simulator MINIMOS 4.0을 이용하여⁷⁾ 전계 분포를 그림6과 7에 나타냈다. 기



(a) SC-PMOSFET



(b) BC-PMOSFET

그림 7. 채널 길이에 따른 vertical 전계 분포
Fig. 7. Vertical electric field dependence of channel length.

판 전류와 관계가 있는 최대 lateral 전계는 LDD 구조의 SC-PMOSFET가 더 작고, 산화막내로 주입되어 게이트 전류를 형성하는 electron 주입과 관계되는 vertical 전계도 SC-PMOSFET가 더 작음을 알 수 있다. 그림8과 9는 SC-PMOSFET의 문턱 전압과 드레인 전류의 변화량을 선형 영역과 포화 영역에서 순방향 및 역방향 모드에서 스트레스 시간에 따라 측정된 결과이다. 포화 영역에서 문턱 전압의 변화량이 선형 영역에 비해서 더 크게 나타났것은, 유효 채널 길이 감소 효과로 인한 DIBL 효과로 설명되어 진다. 그러나 포화 영역에서 드레인 전류의 변화량이, 문턱 전압의 경우와는 반대로, 역방향에서 측정했을때 보다 순방향에서 더 크게 나타난 이유는 유효 채널 길이의 감소 효과가 크게 나타난 것으로 여겨진다.

그림10은 스트레스 시간에 따른 기판 전류를 순방향 모드에서 측정된 것이다. 스트레스 시간에 따라

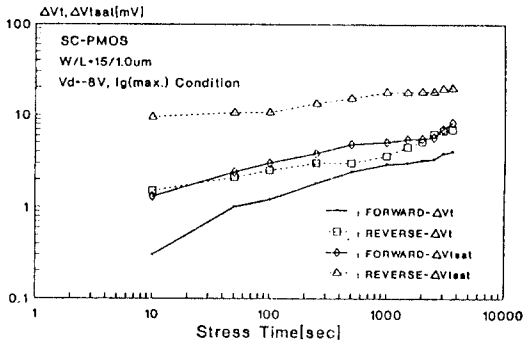


그림 8. SC-PMOSFET의 스트레스 시간에 따른 문턱 전압 변화량

Fig. 8. Stress time dependence of threshold voltage shift for SC-PMOSFET.

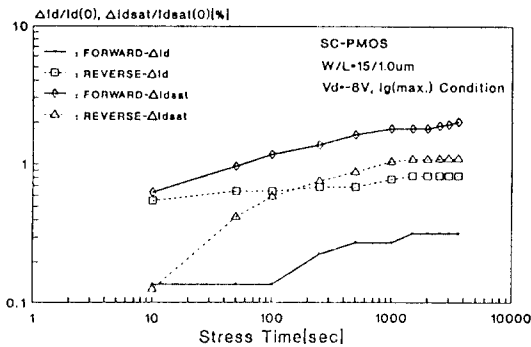


그림 9. SC-PMOSFET의 스트레스 시간에 따른 드레인 전류 변화량

Fig. 9. Stress time dependence of drain current shift for SC-PMOSFET.

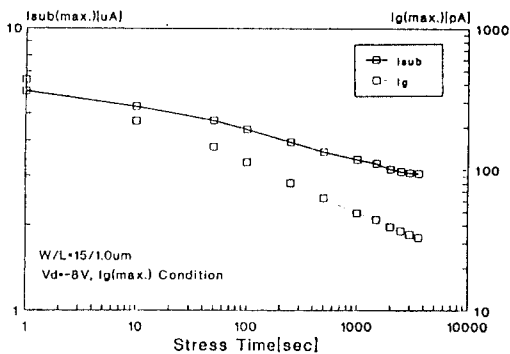


그림 10. SC-PMOSFET의 스트레스 시간에 따른 기판 전류 최대값의 변화

Fig. 10. Stress time dependence of $I_{sub(max.)}$ for SC-PMOSFET.

서 감소하는데, 이것은 산화막내에 포획된 전자가 실질적으로 게이트 전압과 V_{dsat} 전압을 증가시키므로, 최대 lateral 전계가 감소하여 충격 이온화를 감소시켰기 때문이다.

IV. 결 론

LDD 구조의 BF_2 이온 주입한 SC-PMOSFET의 hot-carrier 현상을 BC-PMOSFET와 비교하여 분석하여 다음과 같은 결과를 얻었다. 첫째, PMOSFET의 최대 성능 저하는 NMOSFET와는 다르게 기판 전류보다는 게이트 전류가 최대로 흐르는 바이어스 조건에 더 관계가 있었고, 노쇠화 메카니즘은 고전계영역에서 hot-carrier 영향으로 electron이 드레인 근처 산화막내에 주입되어 포획된 음의 고정 전하가 성능 저하의 원인임을 확인할 수 있었다. 둘째, SC-PMOSFET의 기판 전류가 BC-PMOSFET에 비해서 더 적게 흐르는 이유는 LDD 구조이기 때문에 최대 lateral 전계가 작기 때문이고, 게이트 전류가 더 적게 흐르는 것은 게이트 물질의 일함수 차이 때문이었다. 셋째, BC-PMOSFET에 비해서 BF_2 이온 주입한 LDD SC-PMOSFET의 소자의 성능 변화가 더 작음을 알 수 있었다.

參 考 文 獻

- [1] G.J. Hu and R.H. Bruce, "Design trade-offs between surface and buried channel FET's," *IEEE Trans. on Electron Devices*, vol. ED-32, no. 3, pp. 584-588, 1988.
- [2] C.Y. Wong, J.Y. Sun, Y. Taur, C.O. Oh, R. Angelucci, and B. Davari, "Doping of N^+ and P^+ polysilicon in a dual-gate process," *IEDM Tech. Dig.*, pp. 238-241, 1988.
- [3] Y. Hiruta, K. Maeguchi, and K. Kanzaki, "Impact of electron trapping on half micron PMOSFETs with p^+ poly Si gate," *IEDM Tech. Dig.*, pp. 718-721, 1986.
- [4] M.P. Brassington and R.R. Razouk, "The relationship between gate bias and hot carrier induced instabilities in buried and surface-channel PMOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-35, no. 3, pp. 320-324, 1988.
- [5] M. Koyanagi, A.G. Lewis, R.A. Martin, T.Y. Huang, and J.Y. Chen, "Hot-electron-induced-punchthrough (HEIP) effect in submicrometer PMOSFET's," *IEEE Trans.*

on *Electron Devices*, vol. ED-34, no. 4, pp. 839-843, 1987.

- [6] F. Matuoka, H. Hayashida, K Hama, and Y. Toyoshima, "Analysis of hot-carrier Induced degradation mode on PMOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-37,

no. 6, pp. 1487-1493, 1990.

- [7] W. Hansch and S. Selberherr, "MINIMOS 3: MOSFET simulator that includes energy balance," *IEEE Trans. on Electron Devices*, vol. ED-34, no. 5, pp. 1074-1078, 1987.

— 著 者 紹 介 —

梁 光 善 (正會員) 第28卷 A編 第9號 參照
 현재 연세대학교 대학원 전자공학과 박사과정

金 鳳 烈 (正會員) 第25卷 第11號 參照
 현재 연세대학교 전자공학과 교수



朴 訓 洙 (正會員) 第28卷 A編 第9號 參照
 연세대학교 대학원 전자공학과 박사학위 취득