

# 불순물이 주입된 Poly-Si/Single-Si 기판에서 $TiSi_2$ 형성시 Dopants의 거동

(The Behavior of Dopants During the Formation of  $TiSi_2$  in the Poly-Si/Single-Si Substrate with Implanted Impurities)

崔珍奭\*, 黃有商\*\*, 姜成建\*\*, 金洞院\*\*\*, 文桓球\*, 沈泰彦\*, 李鍾吉\*, 白壽鉉\*

(Jin Seog Choi, Yoo Sang Hwang, Sung Gun Kang, Dong Won Kim,

Hwan Ku Moon, Tae Un Sim, Jong Gil Lee, and Su Hyon Paek)

## 要 約

Ti-silicide의 배선 재료로서의 사용 가능성을 알아보기 위하여 단결정 실리콘 기판과 그 위에 형성시킨 다결정 실리콘 박막위에 모두 불순물을 주입한 시편에 대하여 Ti-silicides의 형성반응과 주입된 불순물의 거동을 조사하였다. 그 결과  $700^{\circ}C$  이상에서 안정한 C54  $TiSi_2$ 가 형성되며,  $TiSi_2$ 가 형성되면서 surface roughness가 좋지 않게 됨을 알았다. 또한  $750^{\circ}C$ 에서 RTA 처리한 후 As은 주로  $TiSi_2$  내부에 재분포 하며, B은  $TiSi_2$ 와 실리콘의 계면에 축적된 형태를 나타내었다.

## Abstract

As a study to use Ti-silicides as interconnection material, the formation of Ti-silicides and the behavior of dopants were investigated for specimens where dopants are introduced on both single-Si substrate and poly-Si that was deposited on the single-Si. Result showed that stable C54  $TiSi_2$  formed above  $700^{\circ}C$  and the formed  $TiSi_2$  had bad surface roughness. And arsenics were chiefly redistributed in  $TiSi_2$  while boron was accumulated near the interface between  $TiSi_2$  and Si during RTA treatment.

## I. 서 론

반도체 회로의 집적도를 증가시키기 위한 연구는 크게 두가지로 나누어 진행되고 있다. 그 중 하나는 lithography 및 미세가공 기술의 개발이고,<sup>1)</sup> 다른 하

나는 저 저항과 고온 안정성을 갖춘 새로운 소재의 개발이다.<sup>2)</sup> 현재 lithography 및 미세가공 기술은 크게 발전하였으나 기존에 사용되는  $WSi_2$ 와 Poly-Si 등의 interconnection 재료의 높은 저항값으로 인하여 집적도 증가의 한계를 드러내고 있다.<sup>3)</sup> 그러므로 64M DRAM급 이상의 소자에서는 신소재의 적용이 필수적이라 하겠다.

이런 저 저항 재료중  $TiSi_2$ 가 형성반응 온도가 낮고 자연산화물을 줄일 수 있는 장점을 갖고 64M DRAM급 이상의 소자개발시 선결과제인 interconnection 재료개발,<sup>4)</sup> salicide 공정가능성,<sup>5)</sup> shallow junct-

\*正會員, \*\*準會員, 漢陽大學校 材料工學科  
(Dept. of Material Eng., Hanyang Univ.)

\*\*\*正會員, 三星電子 半導體研究所  
(SamSung Electronics Semiconductor R & D)  
接受日字: 1991年 8月 8日

ion 형성<sup>1)</sup> 등을 해결할 가능성이 높아 현재 널리 연구되고 있으며, 무엇보다도 word line을 polycide 구조로 변경하면 design rule이 relax됨으로써 splitted word line 방식의 layout도 고려할 수 있다는 장점을 갖는다. TiSi<sub>2</sub>를 사용한 interconnection 재료개발 분야에서는 불순물 (As, P, BF<sub>2</sub>)을 doping한 poly-Si에 TiSi<sub>2</sub>를 적층한 polycide 구조가 Si를 사용한 gate 공정의 장점을 유지하면서 낮은 비저항을 나타내므로 특히 관심이 집중되고 있다.<sup>6)</sup>

또한 polycide 구조의 Bit line이 n<sup>+</sup>, p<sup>+</sup> 지역에 동시 contact 공정이 가능하다면 설계의 상당한 margin이 생기게 된다. 그러므로, 이런 동시 contact 공정은 많은 관심의 대상중의 하나이다.

따라서 본 연구에서는 이러한 동시 contact 형성에 대한 기본자료를 제공하고자 실제 적용시의 구조인 single-Si 기판위에 dopant를 주입한 후 poly-Si을 증착시키고 역시 dopant를 주입한 이중층 기판에 Ti을 sputtering하여 상부층인 poly-Si과의 반응으로 Ti-silicides를 형성시킨 시편에서 dopant의 거동과 surface roughness를 중점적으로 연구 하였다.

## II. 실험 방법

### 1. 시편 제작

실험순서는 그림1에 나타내었다. 먼저 직경 125mm 비저항 5-25Ω·cm인 p-type(100) 실리콘 웨이퍼를 H<sub>2</sub>SO<sub>4</sub>+H<sub>2</sub>O<sub>2</sub> 처리 후 diluted HF 용액으로 표면을 세척하고 이온주입 공정으로 As, P, BF<sub>2</sub>를 각각 5×10<sup>15</sup>cm<sup>-2</sup> 주입하였다. 이온주입 공정후 발생하는 표면 손상을 제거하고 불순물을 활성화 시키기 위하여 900°C, 30분간 N<sub>2</sub> 분위기에서 Furnce Annealing 하였다. 도핑공정후 표면에 형성되는 자연산화막층을 100 : 1HF dip. 공정으로 제거한 후 LPCVD로 poly-Si 2500Å deposition하였다. 그 후에 Deposition 된 poly-Si에도 기판 single-Si에 주입된 것과 동일한 dopants를 3×10<sup>15</sup>cm<sup>-2</sup> 주입하였다. 역시 표면 손상의 제거와 불순물의 활성화를 위하여 N<sub>2</sub> 분위기에서 900°C, 30분간 어닐링 하였다. 도핑 공정후 표면에 형성되는 자연산화막층을 100 : 1HF에 120sec 동안 dipping하여 제거하였다. 그 위에 Ti 1000Å을 sputter로 deposition하였다. Ti-silicide의 형성을 위한 RTA 처리는 600°C, 650°C, 700°C, 750°C, 800°C에서 각각 20초간 실시하고 반응하지 않고 남은 Ti은 NH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:DI water=1 : 2 : 5 용액으로 선택 에칭 하였다.

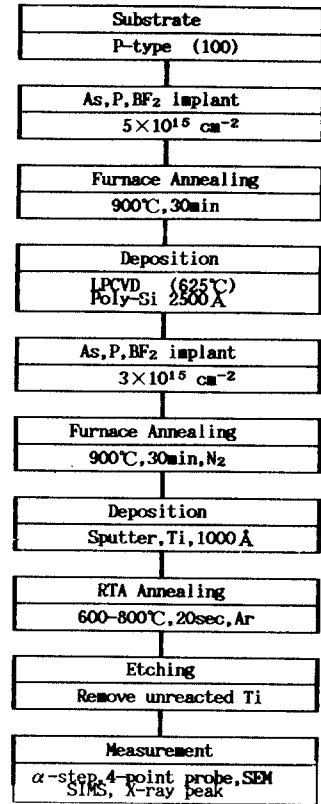


그림 1. 실험순서도

Fig. 1. Flow chart of experiments.

### 2. 측정

이와 같이 준비된 Ti-silicide 시편의 면저항 값은 four-point probe로 각 웨이퍼의 중앙과 상하 좌우의 5point를 측정치를 평균치를 취하였고, RTA 온도에 따른 Ti-silicide의 상천이는 X-ray 회절 peak의 분석으로 확인하였으며 surface roughness는 α-step을 사용하여 웨이퍼 중앙을 측정하였다. 또한 SEM 단면 사진으로 형성된 silicide층의 계면을 관찰하였고, SIMS 분석을 하여 기판과 poly-Si내에서의 dopant의 거동을 살펴보았다.

## III. 결 과

### 1. Ti-Silicide의 형성반응

Ti-silicide의 형성 정도를 확인해 보기 위하여 각 dopant들을 poly-Si에 3×10<sup>15</sup>cm<sup>-2</sup> 주입한 후 RTA 온도를 600, 650, 700, 750, 800°C로 달리 한 경우의 면저항값, silicide의 두께, 비저항값을 그림2, 3, 4에 각각 나타내었다. 이 그림들에서 600°C에서는 800Å 정도

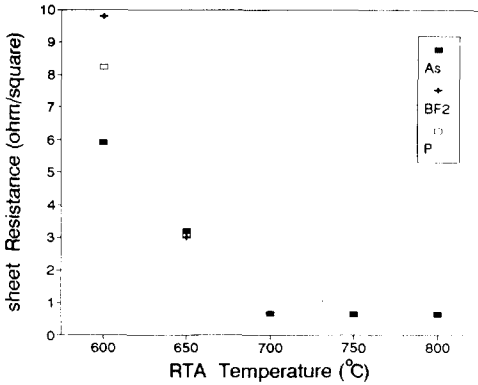


그림 2. 각 불순물들을 주입한 경우 RTA 온도에 따른 Ti-silicided의 면저항

Fig. 2. Sheet resistance of Ti-silicides with RTA temperature for the dopants implanted specimens.

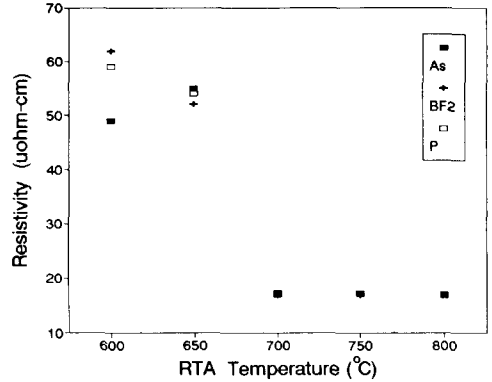


그림 4. 각 불순물들을 주입한 경우 RTA 온도에 따른 Ti-silicide의 비저항

Fig. 4. Resistivity of Ti-silicides with RTA temperature for the dopants implanted specimens.

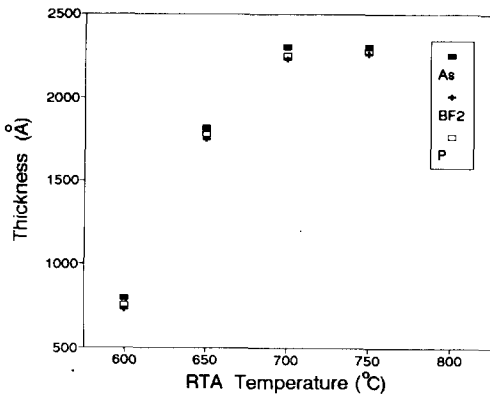


그림 3. 각 불순물들을 주입한 경우 RTA 온도에 따른 Ti-silicide의 두께

Fig. 3. Thickness of Ti-silicides with RTA temperature for the dopants implanted specimens.

의 적은 양의 반응만이 일어나고, 650°C에서는 약 1900Å 정도의 많은 양이 반응하였으나 55μΩ-cm 정도의 비저항 값들을 갖는 것으로 보아 주로 C49 TiSi<sub>2</sub>상이 형성되었으며<sup>7)</sup> 700°C부터 2000Å 이상의 두께와 15μΩ-cm 정도의 낮은 비저항을 갖는 안정한 C54 TiSi<sub>2</sub>상이 형성된 것으로 보인다.<sup>8)</sup> 그림 5의 X-ray 회절 peak에서 이를 확인할 수 있었다. 즉 650°C까지는 C49 TiSi<sub>2</sub>상의 peak만이 존재하나 700°C 이상에서는 안정한 C54 TiSi<sub>2</sub>상들이 주된 peak로

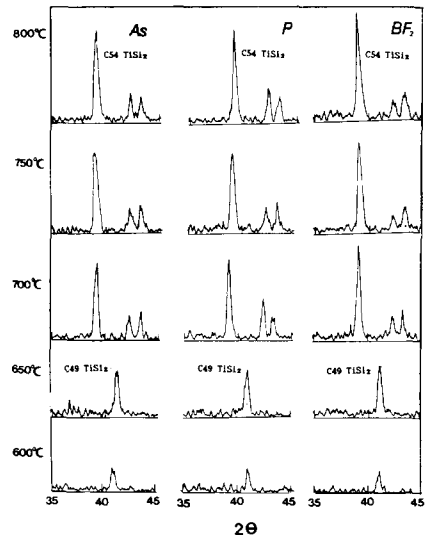


그림 5. 각 불순물들을 주입한 경우 RTA 온도에 따른 Ti-silicide의 X-ray 회절 peak.

Fig. 5. X-ray diffraction peaks of Ti-silicides with RTA temperature for the dopants implanted specimens.

나타나며<sup>9)</sup> 750°C, 800°C로 되면서 그 강도가 소량 증가하는 경향을 보여주고 있다. 또한 그림 6의 As를 주입한 경우 SEM단면 사진으로부터 각 RTA 온도에서 Ti-silicide의 형성 정도를 확인할 수 있었다. 위와 같이 주입된 dopant의 종류에는 거의 무관하게 700°C부터 안정한 polycide가 형성됨을 알 수 있었다.

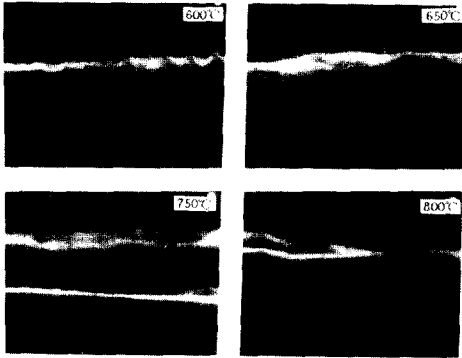


그림 6. As을 주입한 경우 RTA 온도에 따른 Ti-silicide의 SEM 단면사진

Fig. 6. SEM cross section of Ti-silicides with RTA temperature for the As implanted specimens.

2. Dopant의 거동

Junction을 형성시키기 위하여 single-Si 기판위에 주입된 dopant와 resistance를 낮추기 위하여 poly-Si에 주입된 각 dopant의 거동을 SIMS로 분석하여 그림7.8에 각각 나타내었다. 먼저 그림7에서 As이  $3 \times 10^{15} \text{cm}^{-2}$  주입된 시편을 600°C와 750°C에서 RTA 처리한 경우를 비교해보면, 600°C에서 RTA 처리한 시편의 경우 Si substrate와 poly-Si에 주입된 As의 농도 peak가 분리되어 뚜렷이 나타나고 있으나, 750°C에서 RTA 처리시 대부분의 dopant들이 Ti-silicide의 내부에 존재하는 것을 볼 수 있다. 즉 poly-Si에

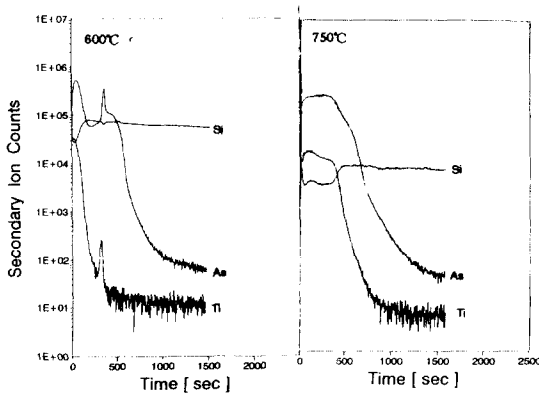


그림 7. As을 주입한 경우 RTA 온도에 따른 Ti-silicide의 SIMS 분포

Fig. 7. SIMS profile with RTA temperature for the As implanted specimens.

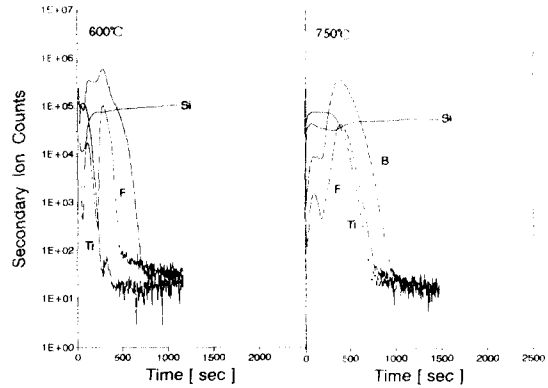


그림 8.  $BF_2$ 가 주입된 경우 RTA 온도에 따른 Ti-silicide의 SIMS 분포

Fig. 8. SIMS profile with RTA temperature for the  $BF_2$  implanted specimens.

주입된 As이 Ti쪽으로 out-diffusion하고, single-Si내부의 dopant들도 일부 out-diffusion 하였음을 알 수 있었다.

그림8은  $BF_2$ 의 거동을 보여주고 있다. 이 경우 600°C에서는 single-Si과 poly-Si에 주입된 두개의 peak를 나타내고 있으며, 안정한  $TiSi_2$  상의 형성이 완료되는 750°C에서는 Ti-silicide와 Si의 계면근방을 제외한 Ti-silicide 내부에  $BF_2$ 는 거의 존재하지 않음을 볼 수 있다. 따라서 Ti-silicide와 Si의 계면에  $BF_2$ 가 pile-up된 형태를 나타내고 있다.

3. Surface Roughness

Ti-silicide의 반응에 따른 surface roughness를 보기 위하여 웨이퍼 중앙 부분을  $\alpha$ -step으로 측정하여 그림9에 나타내었다. Ti-silicide가 적게 형성된 600°C에서는 약 138Å 정도의 surface roughness 값을 갖으나, 약 1800Å 이상의 Ti-silicide가 형성되는 650°C에서는 400Å 정도로 roughness값이 증가하였으며 안정한 Ti-silicide가 형성되는 700°C 이상에서는 450Å 정도의 roughness 값을 갖음을 알 수 있었다. 이는 본 실험에서 실행한 이전의 실험 결과에서 1000Å 이내의 Ti-silicide를 형성할 때 보았던 약 150Å 정도의 surface roughness 값 보다 매우 크다.<sup>10)</sup> 그러므로 1000Å 이상의 Ti-silicide를 적용시, 불안정한 surface roughness로 인한 난반사로 이후의 사진식각 공정 작업이 어려울 것으로 생각되므로, surface roughness를 개선하여야 할 것이다.

4. Dopant의 거동에 관한 고찰

Dopant의 재분포는 주로 Ti-silicide의 반응에 참여

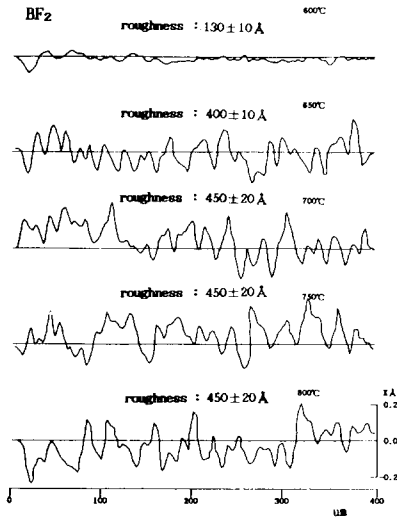


그림 9. BF<sub>2</sub>가 주입된 경우 RTA 온도에 따른 Ti-silicide의 surface roughness

Fig. 9. Surface roughness of Ti-silicides with RTA temperature for the BF<sub>2</sub> implanted specimens.

하는 영역내의 Si에 주입된 불순물에 의하여 발생한다. 그러나 실제로 750°C에서 20초간 열처리 하였을 경우 기존의 poly-Si 내의 dopant들의 확산계수 ( $10^{-14}$  cm<sup>2</sup>/sec at 800°C<sup>[11]</sup>)로는 Ti-silicide 형성시 dopant들의 많은 확산을 설명할 수 없었다. 따라서 dopant들의 기존의 grain boundary나 lattice를 통한 확산 이외에 더 빠른 확산을 가능하게 해주는 다른 기구가 작용한다고 생각된다. 즉 반응초기에 Ti-silicide 형성을 위한 계면 근방 Si의 Ti으로의 빠른 확산과 poly-Si내 Si의 확산계수의 차이로 인하여 Vacancy가 다량 발생할 것으로 생각된다. 이러한 다량의 vacancy를 통하여 Si들이 Ti-silicide 형성을 위하여 계속적으로 Ti-silicide로 빠르게 확산하고, substitutional로 들어가던 dopant들도 Si과 함께 이러한 확산 경로를 통하여 빠르게 Ti-silicide와 Si의 세면에 도달된다고 생각되었다.

즉 RTA 처리시 poly-Si에 주입된 대부분의 dopant들이 Si과 함께 out-diffusion하여 TiSi<sub>2</sub> 내로 확산하게 된다. 이 때 Ti-silicide 내부의 diffusion 계수가 BF<sub>2</sub>의 경우  $10^{-11}$  cm<sup>2</sup>/sec (800°C)<sup>[11]</sup> 정도이며 As의 경우  $10^{-11}$  -  $10^{-12}$  cm<sup>2</sup>/sec (800°C)<sup>[12]</sup> 정도 이므로 Ti-silicide 내부에 존재하게 된 dopant들은 빠른 속도로 확산하여 각각의 고용도 한계를 만족하도록 재분포하게 된다. 따라서 Ti-silicide 내부에서 고용

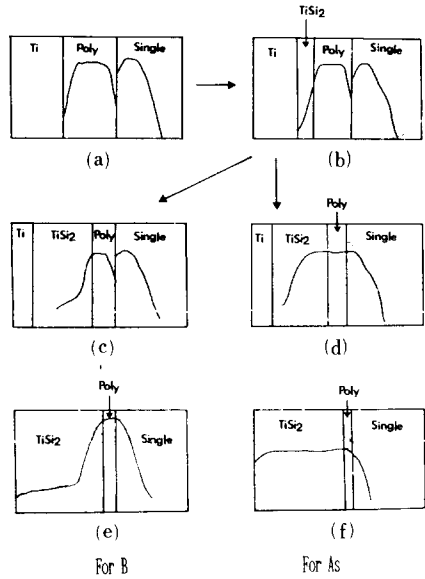


그림 10. Ti-silicide의 형성 과정에서 불순물이 거동에 관한 종합적인 고찰  
(a) 1 단계 (b) 2 단계  
(c) 3 단계(B) (d) 3 단계 (As)  
(e) 4 단계 (B) (f) 4 단계 (As)

Fig. 10. Synthetic consideration of behavior of dopants in each step of Ti-silicide formation.  
(a) 1st step, (b) 2nd step,  
(c) 3rd step for B, (d) 3rd step for As,  
(e) 4th step for B, (f) 4th step for As.

도가 큰 As ( $2 \times 10^{20}$  cm<sup>-3</sup> at 800°C)<sup>[13]</sup>의 경우 out-diffusion하여 대부분 Ti-silicide 내부에 존재하고 있으나, BF<sub>2</sub> ( $< 10^{18}$  cm<sup>-3</sup> at 800°C)의 경우 Ti-silicide내의 고용도가 낮으므로<sup>[14]</sup> 재분포시 초기에 Ti-silicide 내부에 포함된 BF<sub>2</sub>는 빠른 속도로 silicide 내부를 확산하여 외부로 빠져나가고 대부분의 BF<sub>2</sub>는 Ti-silicide와 Si의 계면에 pile-up하고 있는 형태로 재분포하는 것으로 생각된다.

이러한 dopant의 거동을 단계별로 도식적으로 나타내 보았다. 그림10에서와 같이 As의 경우 Ti-silicide의 형성 반응이 진행되면서 계속적으로 Ti-silicide 내부로 확산하는 경향을 나타내지만, BF<sub>2</sub>의 경우 초기에 Ti-silicide 내부에 포함된 소량만이 Ti-silicide 내부를 확산하여 표면으로 빠져 나가고 대부분의 BF<sub>2</sub>은 Ti-silicide와 Si의 계면에 pile-up 하여 Ti-silicide 내부에는 거의 존재하지 않음을 보여주고 있다. 이와 같이 dopant들은 RTA 처리시 각각의 특

성적인 확산 계수와 고용도에 따라 재분포함을 알 수 있다.

이와 같은 관점에서 불 때 composite target을 사용하는 경우 Ti-silicide 형성시 기판 Si의 반응을 요구하지 않기 때문에, reactive 방식에서 발생한 vacancy 다발층이 생기지 않는다고 생각할 수 있다. 또한 composite target을 사용한 경우 기판 Si의 확산에 의한 불균일한 반응이 일어나지 않기 때문에 안정된 surface roughness를 유지할 것으로 예상된다. 그러므로 metal-Ti target을 사용한 Ti-silicide의 형성시 발생하는 dopant의 out-diffusion과 surface roughness에 대한 개선책으로 composite target를 사용한 Ti-silicide의 형성 방법이 사용되는 것이 적절하다고 판단되었다.

#### IV. 결 론

1. 700°C에서 dopant의 주입에 관계없이 안정한  $TiSi_2$ 가 형성되었다.
2. Poly-Si과 single-Si 기판에 주입된 대부분의 As들은 out-diffusion하여 Ti-silicides 내부에 존재하였다.
3.  $BF_2$ 는 out-diffusion하여 Ti-silicides와 Si의 계면에 pile-up된 형태로 분포하였다.
4. 약2000Å 정도의 두께로 Ti-silicides가 형성될 때는 surface roughness가 좋지 않았다.

#### 參 考 文 獻

- [1] S.M. SZE, "VLSI Technology," McGraw-hill book company, 1988.
- [2] T. Yachi, "Formation of a  $TiSi/n$  Poly-Si layer by rapid lamp heating and application to Mos device," *IEEE Electron Device Letters*, vol. EDL-5, 7,217, 1984.
- [3] B.L. Crowder and Stanley Zirinsky, "lum MOSFET VLSI technology: part VII-metal silicide interconnection technology-A future perspective," *IEEE* vol. ED-26, no. 4, p. 369, April 1979.
- [4] M.E. Alperin, etc., "Development of self-aligned titanium silicide process for VLSI application," *IEEE*. vol. ED-32, no. 2, pp. 141, 1985.
- [5] T. Yoshida, etc, "Self-aligned titanium silicided junction formed by rapid thermal annealing in vacuum," *J. Electrochem. Soc.* vol. 135, no. 2, pp. 481-486, February 1988.
- [6] G.V. Samsonov and I.M. Vinitzkii, "Handbook of refractory compound," IFI/Plenum Press New York, 1980.
- [7] Robert Beyers and Robert Sinclair, "Metastable phase formation in titanium-silicon thin films." *J. Appl. Phys.* 57(12), 5240 1985.
- [8] H.J. W. Vah Houtum, I.J.M.M.Raaijmakers. and T.J.M. Menting, "Influence of grain size on the transformation temperature of C49  $TiSi_2$  to C54  $TiSi_2$ ," *J. Appl. Phys.* 619\*0, 3116, 1987.
- [9] T.C. Chou, C.Y. Wong, and K.N. Tu "Lattic imaging of metastable  $TiSi_2$ " *J. Appl. Phys.* 62(6), 2275, 1987.
- [10] 백수현 "VLSI용 Titanium-based Process에 관한 연구" 산학과 제1차 최종 보고서, 삼성 전자 반도체연구소, 1991.
- [11] S.P. Murarka, D.S. Williams, "Dopant redistribution in silicide-silicon and silicide-polycrystalline silicon bilayered structures," *J. Vac. Sci. Technol.* B5(6), Nov/Dec. 1987.
- [12] Y.H. Ku, S.L. Lee, and D.L. Kwong, "The application of ion beam mixing, doped silicide, and rapid thermal processing to self-aligned silicide technology," *J. Electrochem* vol. 137, no. 2, February 1990.
- [13] A.H. Van Omnen, H.J. Van hovtum, and A.M.L. Theuhissen, "Diffusion of ion implanted As in  $TiSi_2$ ," *J. Appl. Phys* 60 (2), 15 July 1986.
- [14] P. Gas, V. Deline, F.M. D Heurle, A. Michel, and G. Scitta, "Boron, phosphorous, and arsenic diffusion in  $TiSi_2$ ," *J. Appl. Phys.* 60(5), 1634, 1986.

著者紹介

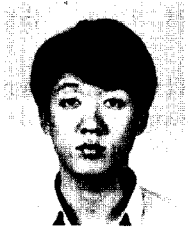
崔 珍 奭 (正會員) 第28卷 編 第10號 参照  
현재 한양대학교 재료공학과  
대학원 박사과정

文 桓 球 (正會員) 삼성전자 반도체부분 주임  
연구원



黄 有 商(正會員)  
1966年 7月 7日生. 1989年 2月  
한양대학교 재료공학과 졸업. 현  
재 한양대학교 대학원 재료공학  
과 재학. 주관심분야는 각종 반  
도체 소자개발 등임.

沈 泰 彦 (正會員) 삼성전자 반도체부분 수석  
연구원



姜 成 建(準會員)  
1968年 2月 26日生. 1990年 2月  
한양대학교 재료공학과 졸업. 현  
재 한양대학교 대학원 재료공학  
과 재학중. 주관심분야는 배선재  
료개발 등임

李 鍾 吉 (正會員) 삼성전자 반도체부분 상무이  
사

白 壽 鉉 (正會員) 第28卷 編 第10號 参照  
현재 한양대학교 재료공학과  
교수

金 洞 院 (正會員) 삼성전자 반도체부분 연구원