

# 半導體 DI Swiching素子の 試作과 特性에 관한 實驗的 考察

## Experimental Fabrication and Analysis on the Double Injection Semiconductor Switching Devices

성만영\*, 정세진\*, 임경문\*

(Man-Young Sung, Se-Jin Jeong, Kyoung-Moon Lim)

### 요 약

2重注入效果에 의한 高耐壓 半導體 스위칭素子の 設計 製作에 초점을 맞추어 Injection Gate構造와 MOS Gate 構造로 試料素子を 製作해 그 特性을 檢討하고 Electrical Switching 및 Oxide膜에서의 Breakdown現像에 의한 문제점을 해결해 보고자 Optical Gate 構造를 提案하여 이 optically Gated Semiconductor Switching素子の 動作特性을 研究하고 Injection Gate 및 MOS Gate 構造(Planar type, V-Groove type, Injection Gate mode, Optical Gate mode)로 設計 製作된 素子和 特性을 比較 分析하였다.

### ABSTRACT

Double Injection Switching Devices consist of  $p^+$  and  $n^+$  contact separated by a near intrinsic Semiconductor region containing deep trap. A V-Groove Double Injection Switching Devices were proposed for high voltage performance and optical gating scheme. The experimental result to demonstrate the feasibility of these devices (Planar type, V-Groove type, Injection Gate mode, Optical Gate mode) for practical application are described.

\*고려대학교 전기공학과

본 연구는 1989년도 문교부 학술연구조성비에 의하여 수행하였음.

## 1. 序 論

최근 MOS集積回路 공정기술의 발전은 4 Mega DRAM 및 16 Mega DRAM의 記憶素子를 실현함으로써 半導體産業이 비약적이고 급진적인 성장을 이룩하는데 중추적인 역할을 가져왔다. 이와같이 MOS IC 제조공정의 발전은 電力用半導體素子の 개발에도 영향을 미쳐 電力用 MOS FET라는 새로운 半導體素子が 출현하였으며 이 素子は IC 제조공정을 이용한 최초의 성공적인 電力用 半導體素子라 할 수 있다. 아울러 電力用 MOS FET는 바이폴라 電力 트랜지스터에 비해 驅童回路가 간단하고 스위칭速度가 빠르며 二次降伏이 일어나지 않는 장점을 가지고 있어 불과 15여년 전에 소개되었지만 80년대 부터 크게 각광을 받아가며 계속 研究 開發되고 있는 중이다.<sup>1)</sup>

특히 電力用 半導體 素子에서 가장 심각하게 작용하는 문제점 중 高耐壓化와 大容量化 및 高溫에서도 特性의 변화가 없는 安定性 문제는 앞으로 우선적으로 해결해야 할 과제라 思料된다.<sup>2)</sup>

현재 Power System에 주로 사용되고 있는 스위칭素子인 Thyristor의 최고 許容溫度는 150℃정도이며, 또 Radiation에 매우 약한 결점을 가지고 있다. 3~8) 그러므로 다른 차원의 스위칭 소자를 개발한다는 취지에서 Thyristor와 같은 PNP構造의 理論이외의 다른 메카니즘을 스위칭素子에 活用하기 위해 絶緣體 또는 高比抵抗 半導體에서의 2重注入(double injection: DI)에 관한 基礎研究가 많이 발표되고 있으며<sup>9)</sup> 특히 Deep Impurity Level을 형성하는 原子를 도핑한 試料에 2重注入이 발생하면 電流電壓의

特性에서 電流制御型 負性抵抗이 나타나기 때문에 實用上 많은 흥미를 불러일으키고 있다.<sup>9~11)</sup> 이와같은 半導體에서의 2重注入에 의한 負性抵抗 特性은 스위칭素子, 光檢出器, 周波數에 따른 電流振動 制御素子등에 많이 活用될 수 있어 현재 研究가 꾸준히 推進되면서 特性改善과 信賴性 向上에 대한 문제점의 解決 등 負性抵抗特性을 利用한 半導體素子の 개발에 있어서 物性的인 解析이 병행되고 있는 단계에 있다.<sup>12~14)</sup>

따라서 본 論文에서는 앞에서 언급한 바와 같이 電力用 半導體 素子에 관한 基礎研究와 새로운 素子の 개발이란 차원에서 高電壓 半導體 스위칭素子를 設計 提案하고 실험을 통해 製作하여 그 特性을 研究 檢討하므로써 새로운 電力 半導體 素子の 設計 및 製作에 관한 경험을 쌓고 당면하는 문제점을 해결해 나감으로써 기술적인 Know-how의 획득에 일익을 담당하고자 하였다. 그러므로 본 研究에서는 2重注入效果에 의한 高耐壓 半導體 스위칭 素子(Double Injection Semiconductor Switching Devices: DI 반도체 스위칭 소자)의 設計 製作에 초점을 맞추어 Injection Gate構造와 MOS Gate構造로 試料素子를 製作해 그 特性을 檢討하였고 최종적으로 Electrical Switching 및 Oxide膜에서의 Break-down現像에 의한 문제점을 해결해 보고자 Optical Gate構造를 提案하여 이 Optically Gated Semiconductor Switching素子를 設計 製作한 동시에 Optical Energy에 의해 制御할 수 있는 高電壓 스위칭 素子の 動作特性을 研究하고 Injection Gate 및 MOS Gate 構造로 設計 製作된 素子和 特性을 比較 分析하므로써 Power System에의 活用 가능성을 研究하였다.

2. Double Injection 負性抵抗에 의한 스위칭 特性

高電壓 半導體 스위칭 素子の 設計와 製作에 있어서 本 論文에서는 2重注入現像(Double Injection)을 利用한 Injection Gate, MOS Gate 및 Optical Gate 構造에 의한 스위칭 素子の 動作 特性을 製作 조건과 연계시켜 解析하였다. 그러므로 우선 Deep Level 不純物이 도핑된 半導體 및 絶緣體에 있어서 2重注入에 의한 電流 制御型 負性抵抗이 發生하는 現象을 이론적으로 考察하여 보면 다음과 같다.<sup>11, 12)</sup> 즉 禁止帶중에 1개의 깊은 受體(deep acceptor) 準位를 가진 再結合 中心을 단위 체적당  $N_R$ 만큼 포함하고 있는 半導體 또는 絶緣體에서 熱平衡狀態가 유지되면 再結合中心은 전부 電子를 捕獲하고 있어 負로 대전되어 있고  $N_D = N_R \text{cm}^{-3}$ 의 도우너 不純物이 존재하여 電氣의 中性 條件이 만족되고 있다. 이와같은 試料에 陽極으로 부터 正孔이 注入될 경우 再結合中心이 負로 대전되어 있기 때문에 正孔의 lifetime은 대단히 작게 나타나며 이것은 再結合中心의 正孔에 대한 捕獲斷面積(capture cross section)은 電子에 대한 것보다 아주 큰 것으로 考慮할 수 있다. 電子를 捕獲하고 있는 再結合中心의 正孔에 대한 捕獲斷面積을  $\sigma_p$ 이라 하고 빈 상태의 再結合中心이 電子에 대한 捕獲斷面積을  $\sigma_n$ 이라 하면  $\sigma_p \gg \sigma_n$ 의 관계가 성립한다. 이와같은 상태에서 再結合中心은 正孔의 Sink로서 動作하고 電子濃度  $n$ 과 正孔濃度  $p$ 와의 관계는  $n \gg p$ 로 된다.

따라서 흐르는 電流는 실질적으로 한종류 캐리어인 電子에 의해 구성되며 인가 電界를 더욱 높여 正孔의 lifetime이 길어지게 되고, 捕獲되기

전에 陰極에 도달하게 되어 電子와 正孔 2종류의 캐리어가 電流의 흐름에 관여하게 된다. 이와 같은 상태에서 실질적인 2重注入이 開始된다.

이상과 같은 定性的인 解析을 考察하여 다음과 같이 몇 가지 가정을 설정하므로써 2重注入에 관한 理論을 전개할 수 있다.

- 즉 i) 試料는 모든 점에서 電氣적으로 中性이다.
- ii) 電流는 벌크의 성질에 의해 결정되며 電極의 성질에는 관계되지 않는다.
- iii) 擴散 電流는 無視한다.
- v) 移動度는 電界에 따라 변화하지 않는다.
- vi) 再結合中心으로 부터의 캐리어의 熱的 再放出은 무시한다.
- vii) 熱적으로 勵起된 자유캐리어는 무시한다.

이들 조건을 考察하므로써 2重注入이 發生하는 Threshold電壓은

$$V_{th} = \frac{d^2}{2\mu_p \tau_{plow}} \dots \dots \dots (2-1)$$

으로 표현될 수 있다.

여기서  $\mu_p$ 는 正孔의 移動度,  $d$ 는 試料의 電極間 거리이며,  $\tau_{plow}$ 는 低注入레벨에서의 正孔의 lifetime으로서,

$$\tau_{plow} = \frac{1}{V_p \sigma_p N_R} \dots \dots \dots (2-2)$$

표현된다.<sup>9, 10)</sup>  $v_p$ 는 正孔의 熱運動狀態에서의 平均速度이다.

印加電壓이  $V_{th}$ 일때 正孔이 電極사이를 주행하는데 필요한 시간, 즉 천이 시간을

$$t_{pth} = \frac{d^2}{\mu_p V_{th}} \text{ 으로 표현하면 식 (2-1)로 부터}$$

$$t_{pth} = 2\tau_{plow} \dots\dots\dots (2-3)$$

을 얻을 수 있으며 식(2-3)으로부터 正孔의 천이시간(transit time)이 低注入 레벨에서의 正孔의 lifetime의 2배로 될 때 2重注入이 발생한다는 것을 알 수 있다. 電壓  $V_{th}$  부근에서 2重注入에 의한 電流가 작은 경우 電子濃度  $n$ 은 試料의 모든 점에서  $n < N_R$ 되며 注入이 증가하면 電極間 어떤 면을 경계로 하여 陽極側에서는  $n < N_R$  陰極側에서는  $n < N_R$ 로 되며 印加電壓의 대부분은  $n < N_R$ 의 高抵抗 領域에 걸리게 된다. 여기서 다시 電流를 증가시키면  $n > N_R$ 인 領域의 幅은 넓어지며  $n > N_R$ 의 領域의 幅은 감소하기 때문에 試料전체에 걸쳐있는 電壓은 감소한다.

따라서 電流制御型的의 微分 負性抵抗이 발생한다. 電流를 더욱 증가시켜 試料의 모든 점에서  $n > N_R$ 로 되면  $p \approx n$ 으로 되고 正孔과 電子는 거의같은 lifetime 즉,

$$\tau_{high} = \tau_{nhigh} = \tau_{phigh} = \frac{1}{(V_n \sigma_n N_R)} \dots\dots\dots (2-4)$$

으로 된다. 여기서  $V_n$ 은 電子의 熱運動 狀態에서의 平均 速度이다. 한편 이 高注入 레벨과 低注入 레벨에 대한 正孔의 lifetime을 비교하면

$$\frac{\tau_{phigh}}{\tau_{plow}} = \frac{V_p \sigma_p}{V_n \sigma_n} \approx \frac{\sigma_p}{\sigma_n} \dots\dots\dots (2-5)$$

로 된다. (단,  $V_n \approx V_p$ 로 가정) 再結合中心이 미리 억셉터 타입이라면  $\sigma_p \gg \sigma_n$ 이므로  $\tau_{phigh} \gg \tau_{plow}$ 로

된다.

이와같이 正孔의 注入레벨을 높이면 正孔의 lifetime이 길어지기 때문에 注入된 거의 모든 正孔은 陰極에 도달하기 쉽게 된다. 이것은 負抵抗의 발생 원인이다. 試料 全域에서  $n \approx p \gg N_R$ 으로 되면 微分抵抗은 正으로 되고 이때 電流-電壓 特性은

$$I = \frac{9e \tau_{high} \mu_n \mu_p N_R V^2}{8d^3} \dots\dots\dots (2-6)$$

으로되어 식(2-6)이 성립되는 最低 電壓을  $V_M$ 이라 하면  $V_{th}$ 와  $V_M$ 은  $V_{th}/V_M \approx \sigma_p/\sigma_n$ 의 관계가 있다. 그림 2-1에  $V_{th}$ 로 부터 식(2-6)로 표현되는 領域에서의 電流-電壓 特性을 實線으로 나타내었다. 電流를 더욱 증가시키면 空間 電荷의 影響이 현저하게 나타나 電氣의 中性條件은 성립하지 않게되고 이 領域에서의 電流-電壓-特性은

$$I = \frac{125K_0 \tau_{high} \mu_n \mu_p V^3}{18d^2} \dots\dots\dots (2-7)$$

으로 된다.<sup>9-10)</sup> 여기서  $K_0$ 는 誘電率이며 그림 2-1에서 點線으로 나타난 뒷부분이 (2-7)식의 關係를 關係를 표현한 것이다. 그리고 電壓이  $V_{th}$ 보다 낮은 領域에서는 注入된 電子에 의한 空間電荷 制限電流가 흐르며, 電氣의 中性條件이 성립되지 않고 再結合中心은 전부 電子를 捕獲하고 있기 때문에 트랩이 없는 경우에 상당하며 電壓의 2승에 비례하는 電流가 흐른다. (그림 2.1에서 點線으로 표시된 아래부분)

이상과 같이 깊은 不純物 準位를 형성하는 原子를 도핑할 경우 2重注入에 의한 負性抵抗

효과가 나타난다는 이론적인 발표는 이미 오래 전에 보고되었으나 아직 반도체素子로서의 활용성이란 측면에서의 연구는 미흡한 상태에 있다.<sup>9~20)</sup> 따라서 본 연구에서는 2重注入에 의한 負性抵抗의 발생현상을 Au로 도핑시킨 Si에 적용하여 그 實驗的인 特性을 分析하고 理論的인 結果와 比較 檢討하여 高電壓 半導體 스위칭素子로서의 實用성을 추구하고자 Injection Gate, MOS Gate 및 Optical Gate로 스위칭素子를 設計하여 그 特性을 分析하였으며 그중 optical Gate構造의 素子は 本 研究에서 새로이 設計 提案한 것이다.

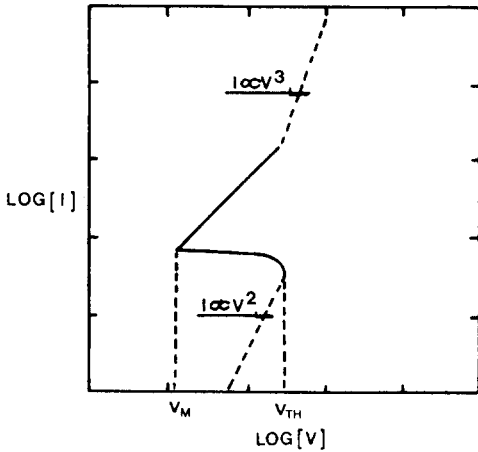


그림 2.1 2重注入에 의한 電流-電壓 特性  
(實線은 電氣의 中性條件이 나타나는 領域, 點線은 空間電荷를 고려한 領域)

Fig. 2.1 Theoretical I-V Characteristics for a Au-doped DI Switching Devices.

### 3. Double Injection 스위칭素子의 設計 및 製作

本 研究에서는 高電壓 半導體素子의 Break-down電壓과 ON抵抗 및 Epi층의 相關性<sup>21)</sup>과 V-Groove의 不純物 doping에 있어서 나타나는 分布 解析結果<sup>22)</sup>를 토대로하여 HVIC에 DI 스위칭素子가 활용될 수 있는 가능성을 두고 試問의 不純物 濃度 및 두께를 設定하여 resistivity가 5Ω-cm이고 두께가 0.0254cm인 Si(100) n형 wafer를 사용하여 素子를 Planar Type과 V-Groove Type으로 구분하여 製作하고 그 特性을 解析하였다.<sup>23,30)</sup>

#### 3-1. Planar type DI 스위칭素子의 設計 및 製作

Planar type은 그림 3.1과 같이 設計하여 製作하였으며 Anode와 Cathode사이의 距離는 일정하게 유지하고 Gate 領域을 Anode와 Cathode사이에서 變化시키면서 素子를 製作하여 I-V特性을 측정하였다. 素子는 게이트 위치를 각각 각 달리 設定하여 여러개로 製作하였으며 素子의 製作에 있어서 Anode와 Gate 그리고 Cathode를 형성하는 P', N<sup>+</sup>領域은 BN 및 POCl<sub>3</sub> 소오스에 의해 熱擴散하였으며 不純物 B, P가 실리콘에서 Au를 gettering하는 것을 방지하기 위해 擴散하는 동안 wafer의 뒤표면은 SiO<sub>2</sub>막을 형성하여 保護하였다. 그리고 P<sup>+</sup>와 N<sup>+</sup>의 擴散이 끝난 다음 SiO<sub>2</sub>를 에칭하고 wafer의 뒤표면으로부터 Au를 doping하였으며 Au doping후의 resistivity는 270KΩ-cm로서 Au의 濃度가  $\approx 1.1 \times 10^{15} \text{cm}^{-3}$ 임을 산출할 수 있었다.

이때 Au소오스는 Au실리카 필름을 사용하였다. Au의 doping이 완료된 素子는 Al을 E-Beam 증착하여 metallization시키고 Ohmic contact을 양호하게 하기 위해 400°C N<sub>2</sub> 분위기에서 5분간 sintering하여 素子의 製作을 완료하였다. 이렇

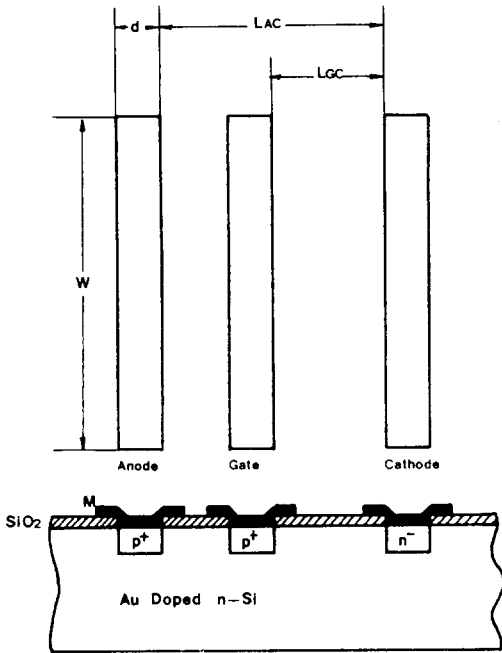


그림 3.1 Planar type DI 스위칭 素子の 構造  
Fig. 3.1 Structure of Planar type DI Switching Device.

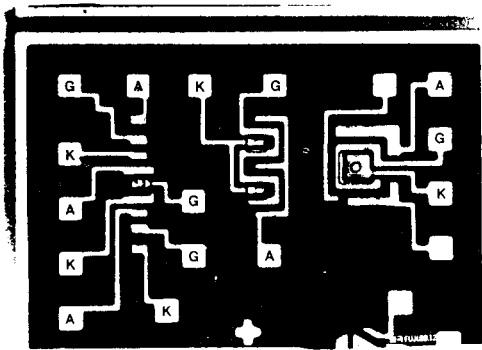


그림 3.2 DI 스위칭 素子の 사진  
(a) 基本 構造 모형  
(b) Anode, Gate, Cathode電極 形狀의 變化 패턴 (I)  
(c) Anode, Gate, Cathode電極 形狀의 變化 패턴 (II)

Fig. 3.2 Photograph of a experimental fabricated DI Switching Device.  
(a) Basic Model  
(b) Modified Model (I)  
(c) Modified Model (II)

계 완성된 素子の 사진을 그림 3.2에 나타내었 으며 이 사진에는 素子の 設計 製作에 있어 Anode, Gate, Cathode의 構造의 形狀에 따라 特性의 變化를 부수적으로 考察하기 위해 여러 가지 모형으로 素子を 製作하였으며 그림 3. 2 에는 基本 構造(a)로 設計된 素子和 함께 변형된 패턴(b), (c)도 나타나 있다.

### 3-2. V-Groove Type DI 스위칭 素子の 設計 및 製作

本 研究에서는 스위칭 電壓을 높이고 아울러 Injection Gate 모드나 MOS Gate 모드에서 야 기되고 있는 high power dissipation과 Gate oxide의 Braekdown 電壓등에 관한 문제점을 해결하고 스위칭 속도를 증가시킨다는 차원에서 Optical Gate DI 스위칭 素子を 시도하였다.<sup>31)</sup> 이 Optical Gate 모드에서는 앞에서 언급한 Planar Type DI 스위칭 素子보다 Anode와 Cathode사이의 실제적인 거리를 증가시킨다는 목 적아래 V-Groove 素子を 提案하였으며 V-Groove Type에서는 Injection Gate 및 MOS Gate모드를 함께 設計하여 그 特性을 비교하여 보았다. V-Groove Type DI 스위칭 素子の 設計 斷面圖는 그림 3.3와 같으며 Planar Type과 特性을 비교하기 위해 Anode와 Cathode사이의 수평거리는 같게 設定하였으며 V-Groove DI 스위칭 素子에서도 P' 및 N' 領域은 BN, POCl<sub>3</sub> 소오스에 의해 熱擴散시켰으며 擴散하는 동안 뒷면을 통해 不純物 B, P가 擴散되어 Au doping시 gettering 效果를 타나내는 것을 예방하 기 위해 뒷표면을 SiO<sub>2</sub>막을 형성하였으며 P' 및 N' 領域 形成시 뒷표면을 통한 不純物 注入을 방지하였다.

아울러 V-Groove 에칭은 anisotropic etching

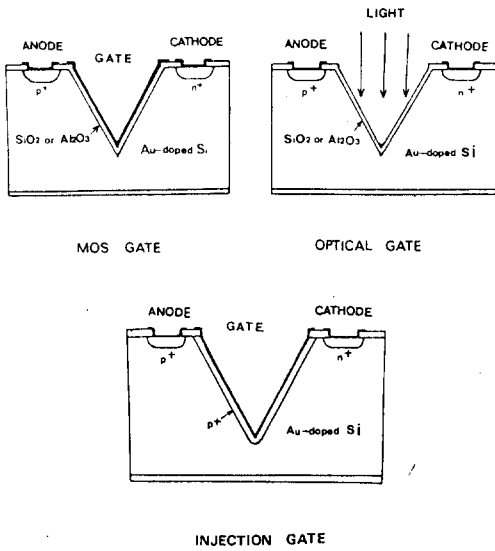


그림 3.3 V-Groove DI 스위칭 素子の 設計 斷面圖

Fig. 3.3 Cross-section a of V-Groove DI Switching Devices.

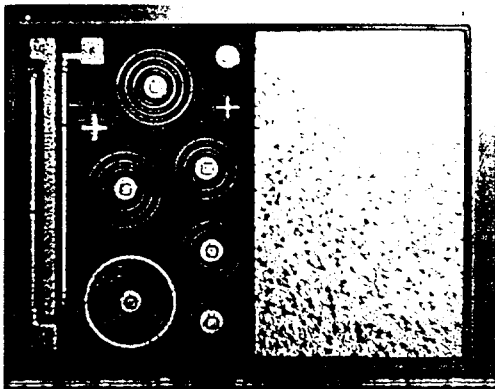


그림 3.4 V-Groove DI 스위칭 素子の 사진

Fig. 3.4 Photograph of V-Groove DI Switching Devices.

기술에 의하여 anisotropic etching액인 Potassium Hydroxide Solution(1 gram KOH : 1 ml DI water)의 에칭 특성을 이용하여 에칭하였고

여기서 사용한 마스크는  $4.5\mu\text{m} \times 234\mu\text{m}$ ,  $5\mu\text{m} \times 234\mu\text{m}$ ,  $5.5\mu\text{m} \times 234\mu\text{m}$ 이었으며 KOH Solution의 에칭속도는  $1\mu\text{m}/\text{min}$ 이었다. 완성된 V-Groove DI 스위칭 素子の 사진은 그림 3.4와 같으며 V-Groove 素子에서도 基本構造와 Gate 및 Anode, Cathode의 배열과 형상을 달리하여 부수적인 特性變化를 考察하였고 그림 3.4에는 이들 역시 함께 나타나 있다.

#### 4. 實驗結果 및 考察

本 研究에서는 個別素子로서의 활용뿐만 아니라 HVIC에서도 활용할 수 있는 高耐壓 스위칭素子の 개발에 관한 基礎研究라는 側面에서 Double Injection 현상을 이용한 DI(Double Injection) 스위칭素子を 設定하여 planar 및 V-Groove 構造로 設計 製作하고 그 特性을 측정하였다.

한편 Threshold 電壓을 높여 高電壓 特性을 살피 보고자 제안한 V-Groove 素子에서는 이를 Injection Gate 및 MOS Gate에서 나타나고 있는 電力損失과 酸化膜의 絶緣破壞 特性과 같은 문제점을 해결하고 아울러 光電子 工學에의 활용성을 모색한다는 차원에서 Optical Gate V-Groove DI 스위칭 素子を 提案하였다. 따라서 그 特性測定 結果를 素子別로 구분하여 나타내면 다음과 같다.

##### 4-1. Planar Type DI 스위칭 素子の I-V 特性

本 研究에서는 Planar Type으로 製作된 素子は 그림 3.1과 같이 제안된 構造에 Anode와 Cathode 사이의 거리를 일정하게 設定하고 Gate의 위치(즉 Cathode와 Gate사이의거리)를 변화시키면서 製作하였으며 素子別 設計 條件은 표 4.1과 같다.

표 4.1 Planar Type 스위칭 素子の 設計條件  
Table 4.1 Design condition of Planar Type Switching Devices.

parameter Device	$L_{ac}$ (mil)	$L_{GC}$ (mil)	W (mil)	d (mil)	Gate Type
P - 1	5	3	10	1	Injection
P - 2	5	3	10	1	Gate
P - 3	5	1	10	1	"
P MOS	5	2	10	1	MOS Gate

(parameter는 그림 3.1 참고)

표 4.1과 같은 條件으로 試作된 素子は SCR과 유사한 스위칭 特性을 나타내고 있었으며 이는 2장에서 언급한 2重注入效果에 기인된다는 이론적인 배경과도 일치하고 있었다. 이러한 DI 스위칭 素子の 스위칭 特性은 製作 條件에 따라 약간의 차이는 있었으나 거의 동일한 스위칭 特性曲線을 나타내었고 단지 Gate와 Cathode 사이의 거리의 변화에 따라 Threshold 電壓이 약간 다르게 나타나고 있었다.

즉 Gate가 Anode나 Cathode 어느 領域에 가깝게 設計된 p-1, p-3素子에서는 Gate를 개방시킨 상태에서 Threshold電壓이 Gate중앙 부근에 設定된 p-2素子보다 약 60~80[V]정도 낮게 관측되었고 이러한 현상은 電界分布의 변화로 기인되는 것으로 예상되지만 앞으로 computer simulation등을 통한 精밀한 解析이 있어야 할 것으로 생각된다. 그러므로 현재 Planar Type DI 스위칭 素子중 Threshold 電壓이 가장 높게 나타나고 있는 p-2모델의 出力特性을 나타내면 그림 4.1과 같으며 Threshold電壓은 약 400[V] 정도이었고 Holding 電壓은 30[V]정도로 나타났다.

한편 게이트에 바이어스를 인가한 경우도 그림 4.1(b)과 그림 4.1(c)에서 알 수 있듯이 게이트 電壓에 따라 SCR과 같이 완전한 스위칭

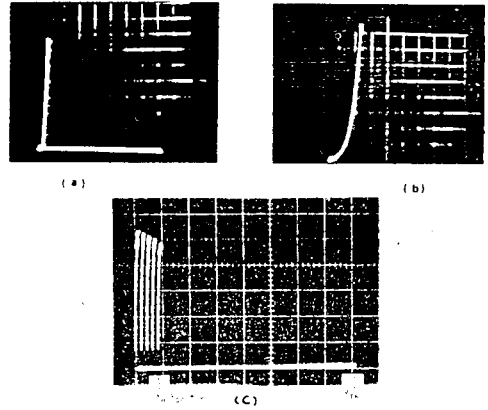


그림 4.1 Planar Type DI 스위칭 素子の 出力 特性(p-2모델)

(Vertical : 5mA/div., Horizontal : 50 V/div.)

(a) Anode-Cathode I-V 特性(Gate : open)

(b) Anode-Cathode 모델 特性(Gate Bias : 4volt)

(c) Anode-Cathode I-V 特性(Gate Bias : 1V/step)

Fig. 4.1 I-V Characteristics of Planar Type DI Switching Devices.

(Model : p-2) (Vertical : 5mA/div., Horizontal : 50V/div.)

(a) Anode-Cathode I-V Characteristics(Gate : open)

(b) Anode-Cathode Model Characteristics(Gate Bias : 4 volt)

(c) Anode-Cathode I-V Characteristics(Gate Bias : 1V/step)



特性이 관측되고 있으며 그림 4.1(c)에는 게이트 電壓을 parameter로 해서 각 게이트 電壓에 따른 스위칭 特性의 변화 양상을 나타낸 것이다. 아울러 Planar Type p-2모델과 같은 동일 設計條件으로 製作하고 Gate동작 모드만 MOS Gate로 設定한 MOS Gate DI 스위칭 素子인 P MOS 모델의 Anode-Cathode I-V特性은 Gate를 개방 시킨 상태에서 그림 4.2과 같으며 이는 p-2모델의 特性과 거의 같게 나타나고 있으나 Threshold電壓이 10~20Volt정도 높게 나타나고 있었으며 Holding 電壓 역시 50 Volt 정도로 높게 관측되었고 Gate 電壓에 의한 出力 特性의 制御도 Injection Gate 構造보다 다소 둔감하게 나타나고 있었다.

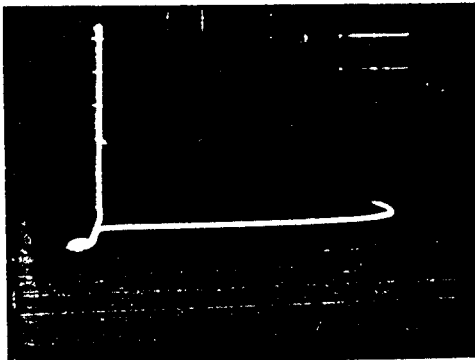


그림 4.2 Planar Type DI 스위칭 素子の 出力 特性(PMOS모델)  
(Vertical : 5mA/div., Horizontal : 50 V/div.)

Fig.4.2 I-V Characteristics of Planar Type DI Switching Devices(Model : 이상과 같은 Planar Type DI 스위칭 素子에 構造的인 변화를 주어 電極의 변화양상을 考察 하기 위해 그림 4.3과 같이 원형으로 Anode, Gate, Cathode를 設定하여 素子를 製作하였으며 그 出力特性은 그림 4.4와 같고 Threshold 電

壓이 p-2모델보다 60Volt정도 높게 나타나고 있어 이는 원형의전극 構造에서 오는 電界分布의 영향인 것으로 생각된다. 그러므로 앞으로 電極 形狀과 素子の 構造에 따른 特性變化의 定量的 解析이 이루어진다면 좋은 設計條件의 제시가 될 것으로 思料된다.

PMOS)  
(Vertical : 5mA/div., Horizontal : 50 /div.).

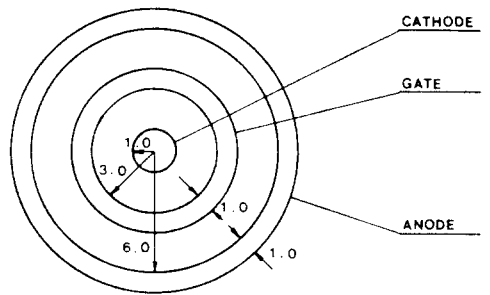


그림 4.3 Planar Type 圓形構造 DI 스위칭素子 (Dimension : mil)

Fig.4.3 Planar Type Circular DI Switching Device(Dimension : mil)

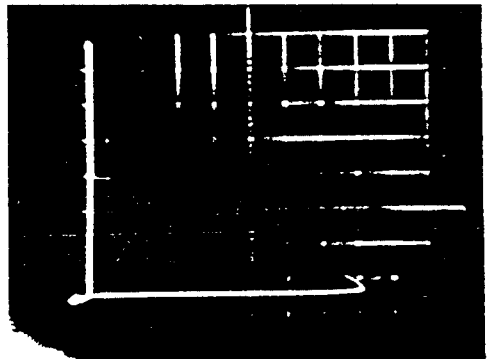


그림 4.4 Planar Type DI 스위칭 素子の 出力 特性  
(Vertical : 5mA/div., Horizontal : 50 V/div.)

Fig.4.4 I-V Characteristics of Planar Type Circular DI Switching Device (Vertical : 5mA/div., Horizontal : 50/div.).

#### 4-2. V-Groove DI 스위칭素子の I-V 特性

本 研究에서는 4.1절에서 考察한 Planar Type DI 스위칭 素子の Threshold 電壓을 높여 高耐壓化 및 大容量化를 추구한다는 목적으로 그림 3.3과 같은 構造의 V-Groove DI 스위칭 素子を 提案하였으며 특히 Injection Gate 및 MOS Gate모드에서 나타나고 있는 電力 損失과 Gate 酸化膜에서의 降伏 現象과 같은 문제점을 해결하고 아울러 space station에서의 활용과 光電子工學 分野에의 활용이관 측면에서 Optical Gate V-Groove DI 스위칭 素子を 提案하여 그 特性 그 特性을 살펴보았다.

V-Groove DI 스위칭 素子에서도 Planar Type 에서와 같이 스위칭 特性이 나타나고 있었으며 Planar Type p-2 모델과 같은 설계치수(단, V-Groove모델에서 Anode-Cathode사이의 거리는 실제거리가 아닌 Anode-Cathode사이의 수평거리임)를 가지고 製作한 V-Groove DI 素子の Injection Gate 모델에 대한 出力特性은 그림 4.5와 같다.

V-Groove DI 스위칭 素子は Injection Gate로 구성한 경우 Threshold電壓이 560~570[V]정도가 얻어졌고 Holding 電壓은 20[V]정도로 관측되었다.

이와같이 Planar Type과의 비교에서 Holding 電壓에는 큰 차이가 없으나 Threshold電壓에 크게 차이가 나타나고 있는 것은 V-Groove를 형성하므로써 Anode-Cathode사이의 실제적인 거리가 증가하기 때문에 解析되며 2장의 理論的 考察에서 살펴본 Aode-Cathode 電極間 거리의 제곱에 비례하는 내용과도 잘 부합되고 있었다. 한편 Gate 電壓을 크게 높여 Gate에 의한 電流 注入을 증가시켰을 경우에는 그림 4.6

과 같이 N형의 特性曲線이 나타나고 있었다.

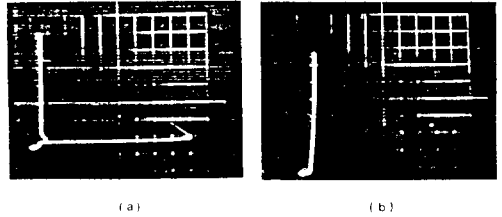


그림 4.5 V-Groove DI 스위칭 素子の 出力特性 (Injection Gate모드)

(Vertical : 1mA/div., Horizontal : 60 V/div.)

(a) Anode-Cathode I-V 特性(Gate : open)

(b) Anode-Cathode I-V 特性(Gate Bias : 4[V])

Fig.4.5 I-V Characteristics of V-Groove DI Switching Devices (Injection Gate Mode).

(Vertical : 1mA/div., Horizontal : 60 /div.)

(a) Anode-Cathode I-V Characteristics(Gate : open)

(b) Anode-Cathode I-V Characteristics(Gate Bias : 4[V])

#### 4-3. 研究 結果 考察

##### 4-3-1. DI 스위칭 素子の 스위칭 Mechanism

그리고 本 研究에서 그림 3.3과 같이 새로이 제안한 V-Groove Optical Gate DI 스위칭 素子の 出力 特性은 그림 4.7과 같이 Threshold 電壓이 560[V]로 Injection Gate와 같은 값이었으며 Gate부분에 빛을 照射하므로써 出力特性은 Injection Gate 바이어스를 印加한 경우와 같은 스위칭 特性이 나타나고 있었다. 이상과 같은 素子の 特性을 살펴볼때 V-Groove DI 스위칭 素子を Optical Gate로 구성할 경우 光에너지에

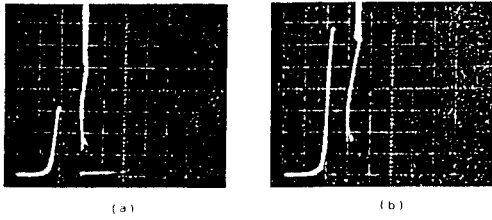


그림 4.6 V-Groove DI 스위칭 素子の 出力特性 (Injection Gate모드)

(Vertical : 10mA/div., Horizontal : 10V/div.)

(a) Anode-Cathode I-V 特性(Gate Bias : 15[V])

(b) Anode-Cathode I-V 特性(Gate Bias : 20[V])

Fig.4.6 I-V Characteristics of V-Groove DI Switching Devices (Injection Gate Mode).

(a) Anode-Cathode I-V Characteristics(Gate Bias : 15[V])

(b) Anode-Cathode I-V Characteristics (Gate Bias : 20[V])

의해 制御할수 있는 光스위칭 素子로서의 활용도 가능하리라 생각되며 Injection Gate 및 MOS Gate에서 나타나고 있는 電力 損失과 酸化膜의 絶緣破壞 特性에도 좀더 여유있는 設計를 할수 있다는 특징을 가지고 있다.

電力用 半導體 素子は 날로 그 활용 분야가 넓어지고 있으며 요구되는 特性 또한 점점 다양해지고 있다. 선진국에서 구상하고 있는 Space Station이나 달에 건설될 것으로 예상되는 Permanent Station에 사용될 부품으로서의 半導體 素子は 매우 안정된 特性이 요구되며 특히 원자로 등이 함께 사용될 경우 半導體 素

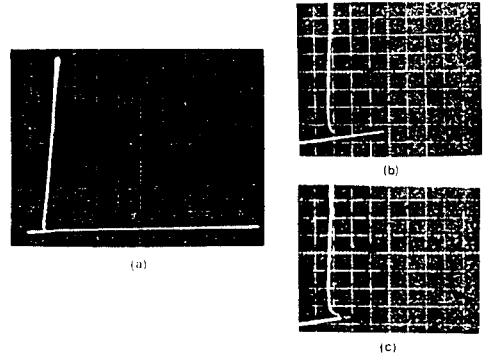


그림 4.7 V-Groove DI 스위칭 素子の 出力特性 (Optical Gate)

(Vertical : 100 $\mu$ A/div., Horizontal : 50V/div.)

(a) Anode-Gate I-V 特性(Gate : without light)

(b) Anode-Gate I-V 特性(Gate : with light, Photon energy : 0.4eV)

(c) Anode-Gate I-V 特性(Gate : with light, Photon energy : 0.5eV)

Fig.4.7 I-V Characteristics of V-Groove DI Switching Devices (Optical Gate) (Vertical : 100 $\mu$ A/div., Horizontal : 50V/div.)

(a) Anode-Gate I-V Characteristics (Gate : without light)

(b) Anode-Gate I-V Characteristics (Gate : with light, Photon energy : 0.4eV)

(c) Anode-Gate I-V Characteristics (Gate : with light, Photon energy : 0.5eV)

子는 High Level의 Radiation과 고온에 접할 가능성이 높아진다. 그리고 Space Station 등에서는 輻射現像만이 放熱 수단이 되고 있기 때문에 耐高溫性 문제는 가장 심각한 문제로 대두되고 있다. 그러나 현재 Power System에 많이 활용되고 있는 Thyristor의 최고 허용온도는 150 $^{\circ}$ C이하이며 Radiation에 매우 약한 결점을 갖고

있지만 이와는 대조적으로 2重注入效果를 이용한 素子は 400°C 정도에 견딜 수 있는 耐高溫 特性이 있어 高溫에서도 動作이 가능하며 100 Mega rads 이상의 Irradiation에서도 漏洩電流를 비롯한 I-V 特性의 변화가 10% 정도로 매우 적다는 보고도 발표<sup>9-14)</sup>되고 있어 2重注入效果를 이용한 素子は 일반 電力 應用 分野뿐만 아니라 軍사용 또는 우주항공산업에 크게 활용될 수 있고 또한 적합할 것으로 생각된다.

그러므로 本 研究에서는 스위칭 素子の 高耐壓化를 이룩한다는 첫째의 기본 목표아래 半導體의 2重注入效果를 이용한 DI 스위칭 素子を 設定하여 이를 Injection Gate, MOS Gate 및 Optical Gate로 구성하여 그 特性을 檢討하였다. 이 결과를 토대로 볼때 本 研究에서 試作한 DI 스위칭 素子は 매우 높은 Threshold 電壓과 낮은 Holding 電壓의 特性을 가지고 있어 2重 注入效果를 스위칭 素子이 개발에 활용할 수 있다는 확신을 얻을 수 있었으며 아울러 Au doping 濃度와 構造的 parameter에 따른 特性 變化를 정량적으로 分析한다면 안정된 DI 스위칭 素子が 실현될 것으로 判斷된다.

그리고 本 研究에서는 Planar Type 構造的인 寸수를 같게 設定하고 Anode와 Cathode사이를 V-Groove화 함으로서 실제적인 Anode-Cathode길이를 확장시켜 Planar Type보다 50% 이상의 높은 Threshold 電壓을 얻을 수 있었고 아울러 Injection Gate모드와 MOS Gate모드에서 야기되고 있는 전력손실과 酸化膜의 降伏特性에 의한 高耐壓化 및 大容量化의 장애 요인을 없애고 에너지 損失이 적은 스위칭 素子の 개발과 光電子工學에의 활용이란 차원에서 Optical V-Groove DI 스위칭 素子を 제안하여 그

特性을 살펴본 結果 역시 활용가능성이 있는 매우 우수한 特性이 얻어졌다.

本 研究에서 試作한 Planar Type 과 V-Groove Type의 電壓-電流 特性은 II장에서 설명한 理論的인 背景으로부터 Au는  $E_t = E_c - 0.56\text{eV}$  부근에 Acceptor level을 형성하며 이 Au Acceptor는 n형 不純物로 사용된 Donor(shallow donor)가 제공하는 電子에 의해 負로 이온화된 Au Acceptor는 큰 hole 捕獲 斷面積(Capture Cross-Section)을 가지게 되며 이러한 상태에서 Anode와 Cathode사이에서 電壓이 인가되면 Cathode-Anode로부터 電子와 hole이 각각 注入된다. 그러나 Anode로 부터 注入된 hole의 대부분은 Au Acceptor에 의해 捕獲되므로 低電壓 상태에서의 hole은 Cathode에 도달할 수가 없고 電子만 Anode에 도달해 電流흐름에 기여하게 되며 이때 DI 스위칭 素子에 흐르는 電流는 매우 작고 스위칭 OFF된 상태가 된다. 印加電壓을 더욱 증가시키면 Cathode와 Anode에서 더 많은 電子와 hole이 注入되므로 어느 臨界電壓 이상에서는 hole도 Cathode에 도달해 電流흐름에 기여하게 되며 이때 미분 콘덕턴스  $\partial I / \partial V$ 의 증가로 인하여 電流가 급증하게 되어 DI 스위칭 素子は ON 상태가 된다.

그러므로 DI 스위칭 素子は Anode-Cathode사이의 길이 즉 Channel길이  $L_{AC}$ 를 길게 하므로서  $L_{AC}^2$ 에 비례하는 Threshold 電壓을 얻을 수 있어 긴 채널를 갖는 DI 스위칭 素子が 높은 스위칭 電壓을 갖게 된다. 아울러 素子の channel길이  $L_{AC}$ 를 일정하게 設計하고 Cathode와 Gate모델에 있어서 Gate-Cathode Bias 電壓에 따른 Threshold電壓의 變化를 試作된 素子로부터 측정하여 그림 4.8에 나타내었다. 그림에서 알 수

있는 바와 같이 모든 모델의 DI 스위칭 素子는 Gate Bias 電壓이 4[V] 이상에서 최소 Threshold 電壓을 형성하였으며 이는 本 研究에서 試作한 DI 스위칭 素子가 Gate Bias에 따른 다양한 스위칭 特性을 갖고 있음을 더불어 기존의 SCR이 活用되고 있는 分野에까지 응용될 수 있음을 시준하여 주고 있다고 判斷된다.

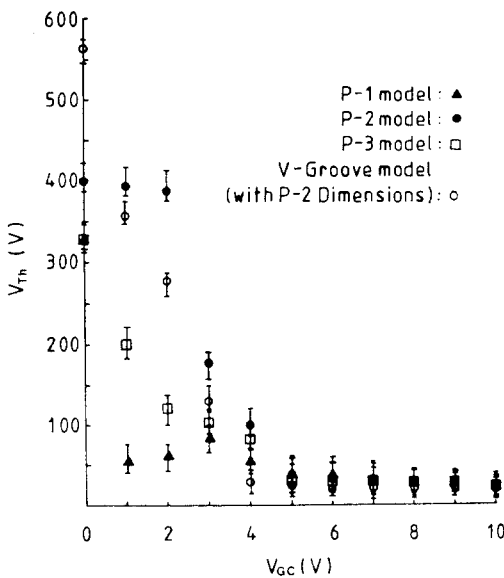


그림 4.8 DI 스위칭 素子의 Gate Bias 電壓에 따른 Threshold 電壓의 변화

Fig.4.8 Variations of Threshold Voltage as a function of Gate Bias.

한편 本 研究에서는 Injection Gate와 MOS Gate모드에서의 High Power Dissipation 및 Gate Oxide Breakdown등과 같은 문제점을 해결하여 特性을 개선하고자 제안한 V-Groove Optical Gate DI 스위칭 素子는 OFF상태로 바이어스 되어 있을 때 포톤에너지가  $h\nu \geq 0.56\text{eV}$ 인 빛을 Channel領域에 조사하면 Au Acceptor에 捕獲된 電子가 전도대로 放出하게 되고 hole의

注入을 방해하며 큰 捕獲 斷面積을 구성하여 Barrier역할을 하고 있던 負로 이온화된 Au Acceptor의 수가 감소하게 된다.

이러한 상태에서 hole의 注入은 용이해지므로 Cathode에 도달하는 hole의 수가 증가하게 되고 結果적으로 電流의 급격한 증가를 야기시켜 OFF상태에 있던 DI 스위칭 素子는 ON 상태로 천이하게 된다.

이와같은 Optical Gate에서 放出되는 캐리어의 수는 빛의 강도에 비례하므로 임의의 스위칭 電壓에서 Turn-On 시킬 수 있고 이때 광원으로서는 LED IRED, Laser 다이오드등이 사용 가능하다.

#### 4-3-2. DI 스위칭 素子의 스위칭 特性에 대한 周波數 依存性

本 研究에서 試作한 DI 스위칭 素子의 스위칭 特性을 Gate 펄스의 周波數에 따른 변화를 考察하여 실질적인 活用성을 살펴보기위해 그림 4.9과 같은 測定 回路를 구성하여 Gate 펄스가 트리거링되는 사이 Anode에 정현파를 인가하고 Gate電流와 Anode電流 각각을 측정하였다. 그림 4.9에서 電流는 負荷抵抗 R<sub>L</sub>을 통해 측정되며 Gate에 인가된 Gate 펄스 duration은 2μs이고 피크 電壓은 10[V]를 사용하였다. 그리고 Anode 電壓은 200[V(peak to peak)]인 400Hz 정현파이며 Gate신호기 550Hz까지는 素子의 스위칭 特性이 잘 나타나고 있었으나 550Hz 이상에서는 Threshold 電壓 이하에서 계속 ON 상태로 나타나 스위칭 特性을 상실하는 것으로 觀측되었다. 이와같은 현상은 Au trap level에서 스위칭 작용을 일으키기 위한 平衡 狀態에 도달하는 데는 일종의 遲延時間이 나타나는 것으로

로 解析되며 이는 캐리어의 壽命時間과 Anode와 Cathode사이의 走行時間에 의해 결정되는 것으로 判斷된다.

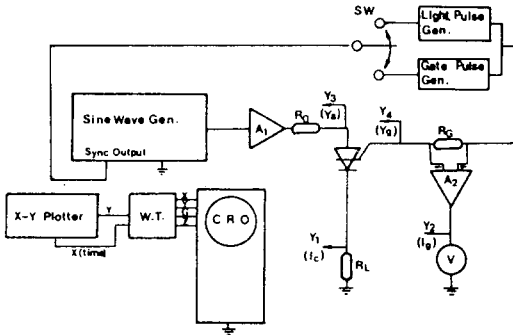


그림 4.9 DI 스위칭 素子の 周波數 特性 測定 다이어그램

Fig.4.9 Frequency Characteristics Measurement Diagram.

### 5. 結 論

本 研究에서는 電力用 半導體 素子에 관한 基礎研究과 새로운 素子の 개발이란 次元에서 2重注入效果를 이용한 스위칭 素子를 設計 製作하고 그 特性을 檢討하므로써 電力 半導體 素子の 設計 製作에 經驗을 쌓고 當面하는 問題점을 해결해 나감으로서 技術적인 Know-How의 획득에 일익을 담당하고자 하였다. 그러므로 2重注入效果에 의한 高耐壓 半導體 스위칭 素子の 試作에 초점을 맞추어 Planar Type으로 Injection Gate 모드와 MOS Gate 모드를 製作하고 아울러 스위칭 電壓을 더 높게 設定하고자 Channel 부분을 V-Groove로 提案하여 V-Groove DI 스위칭 素子를 製作하였다. 그리고 Injection Gate와 MOS Gate모드에서 야기되고 있는 Electrical Switching에 의한 遲

延時間, 酸化膜의 Breakdown 特性 및 電力 損失과 같은 問題점을 개선한다는 목표아래 V-Groove 素子の Optical Gate 모드를 製作하여 그 特性 측정을 통해 활용 가능성을 확인할 수 있었으며 本 研究에서 얻어진 結果를 요약하면 다음과 같다.

- 1) Planar Type 素子보다 V-Groove 素子에서 최대 Threshold 電壓을 얻을 수 있었으며 이것은 Anode와 Cathode 사이를 V-Groove화 하므로써 實제적인 Anode-Cathode 사이의 길이 가 증가되었기 때문에 나타나는 현상이라고 思料된다.
- 2) 本 研究을 수행하기 위해 製作한 素子중 Planar Type 에서는 400[V]의 Threshold 電壓을 얻을 수 있었고 V-Groove 素子에서는 560 [V] 정도 的 Threshold 電壓을 얻을 수 있었다.
- 3) Optical Gate V-Groove DI 스위칭 素子는 V-Groove내에서 빛이 반사와 흡수를 반복하므로 Planar Type 에 비해 양자 효율을 높일 수 있다.
- 4) V-Groove DI 스위칭 素子는 Channel이 Heat Sink에 가까울 뿐만 아니라 放熱 表面的이 넓기 때문에 大容量 素子(High Power Device)에도 適合한 構造이다.
- 5) V-Groove 자체가 Anode와 Cathode를 分離시킴으로서 Planar Type에서 보다 Surface Breakdown效果에 의한 特性의 저하 요인을 줄여 高耐壓化를 실현할 수 있다.
- 6) Optical Gate 모드로 구성할 경우 Injection Gate모드에서 나타나고 있는 Gate Power에 의한 Power Dissipation效果를 줄일 수 있고 素子の 設計가 간단해진다.

- 7) MOS Gate인 경우 Gate에 印加되는 電壓에 의해 Gate 酸化膜에서의 絶緣破壞가 設計上 고려해야할 문제점으로 나타나고 있으나 Optical Gate에서는 물리적인 Gate가 Channel領域에 형성되지 않으므로서 絶緣 破壞問題는 자연히 해결되며 더욱 특징적인 것은 얇은 Gate Oxide의 활용이 가능한 것이다.
- 8) Injection Gate와 MOS Gate 모드에서는 Power Circuit와 Trigger Circuit사이의 電氣的 分離가 불가능해 素子の Turn On Process에 여러가지 부정적 요인을 야기시킨다. 그러나 Optical Gate 모드에서는 Power Circuit와 Gate Trigger Circuit 사이의 완전한 電氣的 分離가 실현될 수 있어 이러한 문제점을 해결할 수 있다.

이상과 같은 本 研究를 수행하는 과정에서 얻은 結果를 살펴 볼때 Injection Gate 모드나 MOS Gate모드보다는 Optical Gate 모드가 特性의 안정화와 신뢰성의 확보 측면에서 바람직한 素子이며 아울러 Planar Type 보다는 本 研究에서 처음 시도하여 본 Channel 領域의 V-Groove화에의한 V-Groove DI 스위칭 素子是 실제적인 Anode-Cathode 사이의 길이를 증가시키는 效果로 인해 매우 높은 Threshold 電壓을 얻을 수 있다.

따라서 앞으로 Au doping 濃度の 변화에 따른 Threshold 및 Holding 電壓의 변화등을 포함해 Design Parameter에 의한 素子の Modeling과 試作된 素子の 特性 변화의 상관성을 定量的으로 解析한다면 V-Groove DI 스위칭 素子の 실용화는 가능할 것으로 判斷된다.

#### 참 고 문 헌

- 1) S.C.Sun : *Technical Report*, No.IDEE691-1, Stanford of University(1982)
- 2) R. Severns and J. Armijos : *MOSPOWER application handbook*, Siliconix inc., (1984)
- 3) H.W. Collins : *Electronic Design*, 36~40,(June 7, 1979)
- 4) *HEXFET data book*, Internation Rectifier Co., (1983)
- 5) B.J. Baliga : *IEEE. Trans. Electron Devices*, ED-31, 821~828(1984)
- 6) R.A. Blanchard : *Proc. of Electro 83 Paper*, 7/4, (1983)
- 7) B. Farzan and C.A.T. Salama : *Solid-St. Electron.*, 19, 297~306(1976)
- 8) C. Hu, et al. : *IEEE. Trans. Electron Device*, ED-31, 1693~1700(Dec.1984)
- 9) M.A. Lampert, A. Rose : *Phys. Rev.*, 121, 26(1961)
- 10) M.A. Lampert : *Phys. Rev.*, 125, 126(1962)
- 11) N. Holonyak : *Phy.Rev.Letters*, 8, 426(1962)
- 12) K.L. Ashley, A.G. Milnes : *J.Appl.Phys.*, 35, 369 (1964)
- 13) V.P. Sondaevskii, V.I. Starev : *Soviet Phy.,Solid State*. 6, 63(1964)
- 14) Nick Holonyak, Jr : *Proc.I.R.E.* 50, 2421, (1962)
- 15) B.M. Sze : *Physics of semiconductor devices*, John Wiley & Sons (1981)
- 16) A.M. Barnett, A.G. Milnes : *J.appl.Phys.* 37, 4215 (1966)
- 17) Rody. Severns : *MOS power application handbook*, Siliconix (1984)
- 18) A.N. Saxena : *Surface science*, 13, 151(1968)
- 19) R.D. Larrabee : *Phys.Rev.*, 121, 37(1961)
- 20) V.I. Stafeev : *Soviet Phy., Solid State*, 1, 763 (1959).

- 21) Y.I. Choe, M.Y.Sung : *ISRC Research Report*, (1989)
- 22) M.Y. Sung : *ISRC Report*, ISRC-90-E-SM-COO 1(1990)
- 23) Xing-bi Chen and Chening Hu : *IEEE Trans. Electron Dev.*, ED-29, (6),985~987(1982)
- 24) Victor A.K. Temple : *IEEE Trans. Electron Dev.*, ED-30, (6), 97629,(1983)
- 25) W. Fulop : *Solid-State Electron.*, 10,39~43(1966)
- 26) S.M. Sze and G. Gibbons : *Solid-State Electron.*, 9, 831~845(1966)
- 27) R.A. Kokosa and R.L. Davies : *IEEE Trans., Electron Dev.*, ED-13, (12),874~881(1966)
- 28) R. Van. Overstaeten and H.De Man : *Solid-State Electron.*, 13, 583~608(1970)
- 29) K.D. Suh, C.K. Kim : *KIEE Conference*, 75~79 (1990)
- 30) B. Jayant Baliga : *Modern Power Device*, John Wiely & Sons, Inc(1977)
- 31) M.Y. Sung : *TKIEE*, 33, 157~163(1984)
- 32) B. Jayant Baliga : *IEE. Proc.* 129, 173~179 (1982)
- 33) Chenming Hu : *IEEE. Trans. Electron Dev.*, ED-26, (3), 243~244(1979)  
(1991년 1월 3일 접수)