

VLSI 시험기법 소개

장 종 권

(울산대 공대 전산기공학과 조교수)

1. 서 론

I.C.(Integrated Circuit) Chip 기술은 70년대 이후, 집적도와 다이(die)면적의 확대 기술에 힘입어, 한개 Chip당 기억소자(memory part)는 매년 1.5배의 비율로, processor의 크기는 매년 1.35배의 비율로 신장을 거듭하면서 발전해 왔다.

ATPG(digital I.C. Chip 시험용 자동 입력 벡터 생산기)기법은 60년대 후반 Roth가 D-Algorithm을 개발한 이후, I.C. Chip 기술이 점진적으로 발전하여 감에따라 좀더 논리회로가 복잡해지고 대형화 되어 가는 I.C. Chip 시험에 사용될 수 있도록 Test Algorithm을 효율적으로 개선 하는데 주력해 왔다. 80년대에 개발된 PODEM, TOPS 그리고 SOCRATES기법들이 대표적인 예에 속한다. 하지만 이상에서 언급한 기존의 고전적인 ATPG기법들은 조합회로망(Combinational Networks)에서만 사용될 수 있고, 논리회로가 LSI 수준에서 VLSI 수준으로 커지고 복잡한 I.C. Chip 대하여서는, Computer 자원(CPU시간 및 memory용량)면에서 비용이 너무 많이 들고 최신 기술의 Computer 능력한계 이상을 요구하고 있다.

한편 고장 시뮬레이션(Fault Simulation)기법은 ATPG에서 생산한 시험용 입력 벡터의 질을 평가하는 도구로서 사용되는데, 고전적인 방법으로는 70년대 초기에 개발한 Deductive, Concurrent 및 Parallel 기법들이 있다. 이 고장 시뮬레이션 기법도

대형화 되어 가는 I.C. Chip에 적용할 수 있도록 개선되어 왔는데 80년대의 Critical Path Tracing, Hierarchical 및 Parallel Pattern 고장 시뮬레이션 기법들이 그 좋은 예에 속한다.

이상에서 언급한 ATPG와 고장 시뮬레이션기법은, VLSI Chip 설계 공정상 Computer자원면에서 비용이 가장 많이 소요되고 있어, 소위 병목현상의 주요 원인이 되고 있다. 왜냐하면 어떤 회로망이 N개의 논리 게이트로 구성되어 있다면, ATPG 및 고장 시뮬레이션공정에 요구되는 Computer run time 소요는 N^2 에 비례 증가하여 Chip이 대형화될수록 Computer run time 소요는 기하급수적으로 증가하기 때문이다.

VLSI 기술의 혁신은 Chip 시험을 또다른 차원에서 복잡하게 만들었다. 그 이유는 VLSI Chip 시험이 시험공정에 필요한 여러가지 부대비용을 고려하여 수행해야 되기 때문이다. Chip 시험에 필요한 부대비용은 ATPG 비용, 고장 시뮬레이션 비용, 시험장비 및 시험응용 비용(인건비)으로 구성되어 있다. Chip 시험면에서 VLSI 기술은 첫째, Chip의 집적도와 면적이 확장되어 감에 따라, 칩의 불량요소들이 그 비례로 증가하고 복잡한 VLSI 공정에 따른 Chip의 양산률(Yield : Y)이 감소하여, LSI 기술 수준의 DL(Defect Level)을 유지하려면 Chip 시험용 입력 벡터의 고장 색출도(Fault Coverage : T)를 현격히 높여 주어야 한다. 여기서 $DL = 1 - Y^{1/T}$ 의 관계가 있다는 것을 참고하기 바란다. 둘째 기존 ATPG기

법은 조합회로망에만 사용될 수 있고 기억 소자가 사용되는 순서회로망(Sequential Network)에는 적용될 수 없을 뿐만 아니라, 순서회로망 시험용 입력 벡터 숫자는 너무나 방대하여 엄청난 시험응용비가 필요하다. 시험용 입력 벡터의 고장 색출도를 향상시키고 일반 Random Logic(순서 회로망 포함)으로 구성된 VLSI 기술의 Chip을 고객이 만족할 수준으로 시험하기 위하여서는 기존 ATPG 및 고장 시뮬레이션기법으로는 비용이 너무 많이 들고 설계공정 회전(Design Cycle)이 너무 길다. 위의 문제점들은 근본적으로 순서 회로망의 시험가능도(Testability)가 나쁘기 때문에 발생한다는 것을 주지하기 바란다.

VLSI 기술 Chip의 시험을 경제적(공학적)으로 수행하기 위하여서는 Chip의 시험가능도를 향상 시켜야 되는데, 이는 곧 VLSI 기술 Chip의 시험 목적상, 순서 회로망을 조합 회로망으로 변환 시키는 것을 의미하며, 순서 회로망의 신호선 논리가에 대한 조정도 (Controllability)와 관측도(Observability)의 향상을 뜻한다. 지금까지 개발하여 온 DFT(Design For Testability)기법은 VLSI 기술 Chip의 시험가능도를 향상시키기 위하여 논리회로도를 부분적으로 변경하였으며 이에따른 Chip면적의 증가, 시험용 I/O pin의 별도소요 및 회로의 지연(Delay)증가를 공학적으로 고려하면서 발전하여 왔다. 또한 DFT 기법은 시험응용비를 없애는데 주력해 왔다. 즉 Chip 시험용 Random 입력벡터 발생기와 Signature분석을 수행할 수 있는 Hardware를 Chip 속에 내장시켜 자체 시험(Self-test)를 수행할 수 있는 기법을 개발해 왔다.

본 고에서는 먼저 Chip 기술의 발전 경향을 살펴본 후, 기존 ATPG의 개념과 기법을 알아보고 DL의 개념 및 용도를 소개한 후 DFT의 세가지 주요기법 : Ad-hoc기법, Structured기법 및 Self-test 기법에 대하여 기술하고자 한다.

2. Chip 기술의 발전경향

I.C. Chip의 집적도, 크기, 기술면에서 발전과정을 μ -processor를 예로 들어 설명하고자 한다. 그림1을 보면 반도체기술이 집적도와 크기면에서 미친 영향을 한눈으로 알 수가 있다. 좌측의 작은 그림은 4-bit 4004의 die를 보여 주고, 우측의 큰 그림은 32-bit 80386을 나타내고 있다. 표1을 참고로, 우리는 트랜지스터 숫자가 100배 이상 그리고 Chip 면적이 8배이상 커졌다는 것을 알 수가 있다. 오늘날 μ

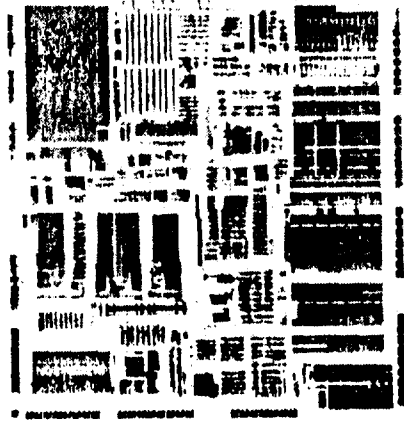


그림 1. 반도체 기술의 집적도와 크기면에서 미친 영향

표 1. Trends in Existing Processors

Processor	Year	Devices	Technology	Physical Address Range	Add Time(μ s)
4004	1971	2300	PMOS	4K	10.8 (4 bits)
8008	1972	3500	PMOS	16K	20.0 (8 bits)
8080	1974	5000	NMOS	64K	2.0 (8 bits)
8085	1976	6000	NMOS	64K	1.28 (8 bits)
8086	1978	29000	NMOS	1M	0.375(16 bits)
80286	1982	130000	NMOS	16M	0.25 (16 bits)
80386	1985	275000	CMOS	4096M	0.125(32 bits)

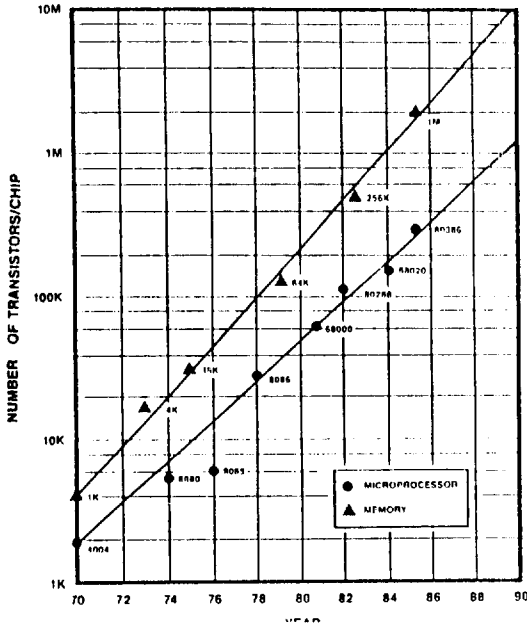


그림 2. 칩당 내장된 트랜지스터 숫자 증가

-processor는 대형 Computer CPU와 기능면에서 거의 같은데 이것은 Chip의 집적도와 die의 크기의 확대 기술에 의한 것이다.

그림2는 기억소자 Chip과 processor Chip의 매년 Chip당 내장된 트랜지스터 숫자 증가를 나타내고 있다. 우리는 이 그림에서 기억소자 Chip은 매년 1.5 배의 비율로, processor Chip은 매년 1.35배의 비율로 대형화 되어 왔다는 것을 알 수가 있고 이러한 경향은 향후 당분간 지속 될 것으로 생각된다.

3. ATPG 기법

I.C. Chip 설계상의 주요 공정에 속하는 ATPG와 고장 시뮬레이션은 공정상 상호보완 관계가 있다. 그림 3은 ATPG가 주어진 fault set에서 target fault를 선택하여 시험 입력 벡터를 생산하고 고장 시뮬레이션을 통하여 입력 벡터가 평가되고 있는 과정을 보여 주고 있다. 우리는 고장 시뮬레이션을 통하여 입력 벡터가 target fault외에도 수 많은 기타 fault들을 감지할 수 있다는 것을 알 수 있다. 이상과 같이 고장 시뮬레이션은 감지된 fault들을 주어진 fault set에서 제거함으로써 전체공정을 단축시킨다. 참고로 ATPG 기법들은 조합회로망 조차도 CPU시

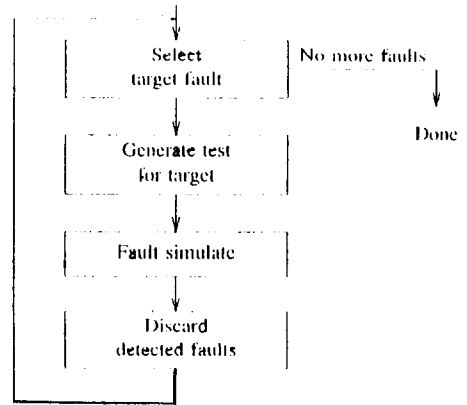


그림 3. Fault simulation used in the selection of target faults for test generation

간 요구면에서 NP-Compleet 문제에 속한다는 것을 주지하기 바란다.

먼저 ATPG의 개념을 gate-level의 조합회로에서 설명하고자 한다. 우선 ATPG의 기법들은 I.C. Chip에 단 한개의 stuck-at-0 또는 stuck-at-1 fault가 임의의 신호선(signal line)상에 존재한다고 가정하고 시험 입력 벡터를 만들어 낸다. 이 stuck-at-0 또는 stuck-at-1 fault 모형은 Chip 기술(switching소자, Bipolar MOS)의 발전에 관계없이 적용할 수 있는 장점이 있고, 단 한개의 fault가 Chip에 존재한다는 가정은 ATPG의 문제점을 시험목적상 단순화시켰음을 주지하기 바란다. 공학적인 면에서 우리는 다중 fault를 가정하여 시험 입력 벡터를 생산할 수가 없다. 왜냐하면 총 다중 fault 숫자는 3^p-1 이라는 천문학적인 수치이기 때문이다(여기서 p는 회로상의 총 신호선 숫자이다).

지난 60년대 후반 I.B.M.회사 연구원 Roth는 D-calculus 기법에 의거 고장 효과(fault effect)의 다중선 전달(multiple-path sensitization)을 실현하여 처음으로 완전한 Test Algorithm인 D-Algorithm을 개발하였다. 참고로 D-Calculus기법은 5개의 상이한 논리가 {0, 1, x, D, \bar{D} }를 사용하여 고장효과전달(fault effect sensitization)과 신호선의 논리가확인(line justification)을 수행할 수 있음을 주지하기 바란다. 여기서 x는 미지의 값(unknown logic value)을 나타내고 D는 고장이 없을때 신호선 논리가 1인 것이 어떤 고장으로 인하여 신호선 논리가 0이 된 것을 표현하며, \bar{D} 는 위와 도치현상을 나타낸다. D

-Algorithm은 다음 세가지 절차로 이루어진다.

첫째, target stuck-at-fault에 대하여, stuck-at fault의 논리값과 정반대 논리값이 해당 신호선에 나타나도록 Chip의 입력신호 논리값을 정한다. 이 과정을 고장 여기(fault excitation)라고 한다.

두번째, 고장여기로 나타난 D 또는 \bar{D} 논리값이 Chip의 출력신호 논리값에 나타나도록 고장효과 전달을 시도한다. 이과정을 고장효과 전달(fault propagation)이라고 한다.

마지막으로, 고장여기 또는 고장효과 전달 중에 주변 신호선에 임의로 지정한 논리값을 Chip입력 신호 논리값으로 나타낸다. 이 과정을 신호선의 논리값 확인(line Justification)이라고 한다. 하지만 D-Algorithm은 시험 입력 벡터 생성 기법상 search space가 Chip의 입력 신호선 숫자÷총 gate 숫자로 주어지고, 잘못 지정된 신호선의 논리값을 수정하거나 시험 입력 벡터가 없는 fault(redundant fault)를 확인하는 방법이 비합축적(exhaustive) 이어서 효율성이 크게 떨어진다.

80년 초에 Goel은 search space를 Chip의 입력 신호선 숫자로 한정시켰다. 그의 관점은 고장여기와 고장효과 전달시 해당 신호선의 논리값을 Chip의 입력신호선 논리값으로 나타내는데 있어서 한번에 단 한개의 입력신호선에만 논리값을 지정했고 그 입력신호선과 논리값을 stack으로 구현된 Decision List에 집어 넣었다. 이렇게 함으로써, 신호선의 논리값 수정 및 시험 입력 벡터가 없는 fault의 확인이라는 방법이 함축적(implicit)이어서 효율이 크게 향상되었다. 그 이후의 Test-Algorithm들은 preprocessing중에 회로도 특성을 분석, reconvergent fanout stem에 관한 정보를 가능한 한 많이 얻어 고장 효과 전달과정이나 시험 입력 벡터가 없는 fault를 확인하는데 효과적으로 사용한 기법들로 볼 수 있다.

4. DL의 개념 및 용도

80년초 Williams는 I.C. Chip의 선적 제품에 관한 품질의 측정도구로 DL의 개념을 제안하였다.

즉, Y가 제품의 양산률(manufacturing yield),

DL이 결손품을 선적할 확률,

T가 결손여부를 검사하는데 사용되는 시험용 입력벡터의 고장색출도를 각각 나타내면 이

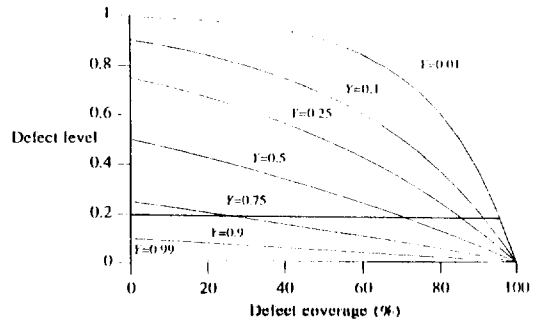


그림 4. Defect level as a function of yield and defect coverage.

변수들은

$DL = 1 - Y^{1-T}$ 의 관계식이 있다는 것을 유도하였다.

위 식은 다음과 같은 가정하에서 유도되었다는 것을 참고 하기 바란다.

- 가정 1. 단한개의 Stuck-at fault가 I.C. Chip에 발생한다.
- 가정 2. 각각의 Stuck-at fault는 서로 독립적으로 발생한다.
- 가정 3. 모든 Stuck-at fault의 발생 확률은 똑같다.

이 단순화된 DL은 지금까지 적용경험에 의하여 신뢰도가 매우 높다고 알려져있다. DL을 좀더 자세히 설명하기 위하여 그림 4을 보아 주기 바란다. 즉 DL=0.2점에서 수평선을 그르면 Y=0.75와 고장 색출도 37%, Y=0.5와 고장색출도 70%, Y=0.25와 고장색출도 87%, Y=0.1과 고장색출도 93% 점들에서 교차 한다는 것을 알 수 있다. 즉 제품의 양산률이 나쁠수록 고장 색출도가 커져야 일정수준의 DL을 유지할 수가 있다. 시험용 입력 벡터의 고장 색출도를 증가하기 위해서는 시험 생산비가 엄청나게 든다. 하지만 시험 비용의 십의 법칙(10's rule)에 의하면, 설계공정 중에 고장 색출도가 높은 시험용 입력 벡터를 생산하여 Chip의 시험에 적용한 후 양품을 선적하는 것이, 전체적인 비용을 감안하면 가장 경제적이란 것을 알 수 있다.

5. DFT 기법

DFT기법은 VLSI 기술로 대형화되어 가는 I.C.

Chip의 시험을 효율적으로 수행하기 위하여 개발되었다. VLSI Chip 시험비는 ATPG비용, 시험인가 비용, 고장 시뮬레이션 비용 및 시험 장비 비용으로 구성되어 있다. 이중 DFT기법은 Chip 시험 비용 중에서 가장 큰 비중을 차지하는 ATPG 비용 및 시험인가 비용 절감에 역점을 두고 있으며 궁극적으로 VLSI Chip의 DL을 낮추는데 기여하고 있다. ATPG 비용 및 시험인가 비용 절감은 논리회로의 시험가능도를 향상 시킴으로써 얻어질 수 있다. 참고로 시험가능도의 주요 특성은 논리회로의 신호선 논리가에 대한 조정도와 관측도로 이루어 진다는 것을 주지하기 바란다. 이장에서는 논리회로의 시험가능도 향상에 관한 세가지 기법에 대하여 기술한다.

5.1 Ad-hoc 방법

이 기법은 시험을 쉽게 하기 위하여 회로도의 한 부분과 다른 부분을 서로 격리 시키는 회로분배(partitioning) 방법, Board-level 시험에서 사용하는 별도의 시험점(test point) 첨가 방법, 논리회로망을 좀더 관리하기 쉽도록 더욱 작은 회로망(subnetwork)으로 나누는 BUS-Structured 방법 및 순서회로망의 상태변수를 조정 및 관측 할 수 있는 Signature 분석 방법으로 구성되어 있다. 특히 이중, BUS-Structured 기법에 관하여 논하고 한다. 이 기법은 Board-level에서 가장 많이 사용되고 있으며 μ -processor Chip와 boards에 그림 5과 같이 사용된다.

이 기법은 순서회로망의 거의 대부분 레지스터가 회로망의 BUS를 통하여 Set up되고 관측 된다는데 발상을 두었다. 이 레지스터들을 load하고 unload하는 방법은 각 레지스터마다 서로 다를 수 있다. 또한 모든 레치(latch)들이 쉽게 조정되거나 관측되지

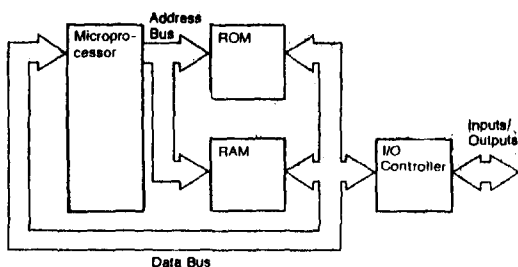


그림 5. Bus-structured microcomputer

않기 때문에 통상적인 ATPG를 위한 알고리즘은 없다. 일반적으로 논리모델을 알 수 없기 때문에 이 회로망은 고장 시뮬레이션을 하지 않고 비 자동적인 방법으로 생산한 입력 벡터만으로 수행한다.

5.2 Structured 방법

이 기법은 논리회로의 시험가능도를 향상시키기 위하여 레치를 특별하게 취급할 수 있는 회로설계에 중점을 두어 왔다. 이 기법의 발상은 만약 레치가 어떤 순위의 방법으로 제어되고 관측될 수 있다면, 순서회로망의 시험문제는 조합회로망의 race-free 시험문제로 전환될 수 있다는데 비롯되었다. 예를들어 그림 6(a)에 예시된 기억소자 또는 레치들이 race-free한 방법으로 제어 및 관측될 수 있다면 이 회로망의 시험은 그림 6(b)에서 보인 회로망 시험 문제로 간소화 시킬 수 있다. 따라서 순수 순서회로망에 비교하여 상대적으로 쉽게 ATPG 알고리즘들이 시험용 입력벡터들을 만들어 낼 수 있다는 것을 알 수 있다.

이 기법은 여러가지 방법으로 구현되어 왔고 그 방법도 다양하다. 오늘날 사용되고 있는 Scan 기법은 다음과 같이 불리어 지고 있다. IBM에서는 LSSD(Level Sensitive Scan Design); NEC에서는

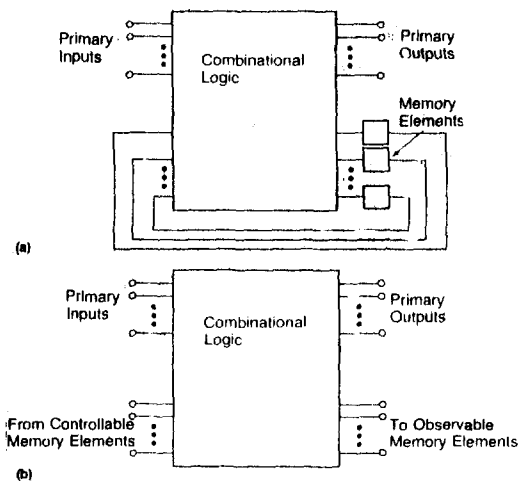
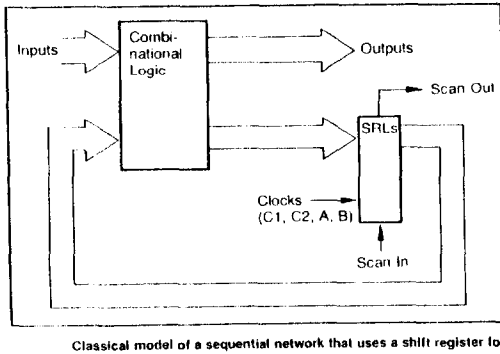


그림 6. The structured approach to design for testability : Huffman Model(a) and the network reduced for test generation and fault simulation(b)



Classical model of a sequential network that uses a shift register for

그림 7. Classical model of a sequential network that uses a shift register for storage.

Scan Path ; Fujitsu에서는 Random Access Scan ; Sperry Computer Systems에서는 Scan Set라고 부른다. 그림 7은 이 기법의 기본구조를 보여 준다.

여기서 SRL은 LSSD 방법에서 shift register latch를 의미한다. LSSD 방법은 Scan의특성에 race-free 특성을 결합시켰다. 참고로 SRL에 data 입출력을 위하여 Scan in Scan out용으로 Chip의 pin 두개가 별도로 필요하다는 것을 주지하기 바란다. 새로운 시험입력을 싣기위해서는 Scan path상에 있는 SRL의 숫자와 똑같은 수의 A, B clock cycle 이 필요하다. 여기서 A와 B는 shift 제어용 입력이다. 이 기법들을 적용한 결과 매우 큰 회로망에도 ATPG를 성공적으로 수행할 수 있었다. Structured 설계방법으로 내장된 기억소자들을 시험하는 것은 도전할 만한 문제이다. 다시 언급하면 LSSD 환경에서 내장된 기억소자들을 시험하는 기법은 내장된 기억소자와 공존하여 있는 조합회로주변에 SRL을 첨가시켜, 몇가지 제어 조건하에서, 조합논리 회로를 SRL을 통하여 관측할 수 있게 하는 것이다. 이렇게 하여 기억소자는 기억소자의 각면(입력, 출력)에 있는 조합논리 회로의 논리를 방해하지 않고 검사될 수 있다.

5.3 Self-test 방법

이 기법은 Structured 방법에서 사용했던 하드웨어보다 기능면에서 좀더 향상된 것을 I.C. Chip에 내장시켜 ATPG 및 고장 시뮬레이션 기법의 필요성을 Chip시험에서 최소화 시키거나 아주 없애는 방법이다. DFT에 사용되는 Self-test 기법에는 다음 세가

지 기본적인 형태가 있다. 첫째는 board level에서 사용되는 μ -processor 자체여기시험 (Self-stimulated test), 둘째는 in situ 자체시험, 마지막으로 ex situ 자체시험이 있다. 본 고에서는 이중 대표적인 방법인 in situ 자체시험 기법을 소개하고자 한다.

이 기법에서는 시스템 래치가 pseudo random 입력 벡터를 생산하고 그 결과를 축소시킨다. 정상운용중의 시스템 래치가 LFSR(linear feedback shift register : 그림 8을 참조하기 바란다)로 재편성 된다. 이 LFSR은 보통 여덟개 또는 그 이상의 래치로 구성되어 있다는 것을 주지하기 바란다. 이 LFSR은 매 shift clock cycle 마다 pseudo random 입력 벡터를 생산하고, LFSR에 저장되어 있는 내용과 시험 회로망의 결과를, 한 bit씩, EXOR 방법으로 논리연

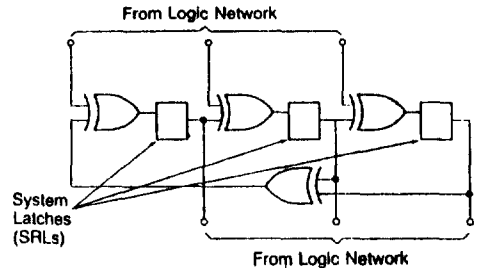


그림 8. System latches for in situ self-testing

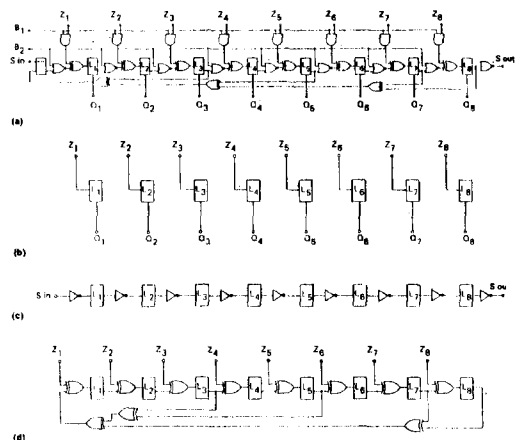


그림 9. BILBO and its different modes :
 General form of BILBO register (a) ;
 $B_1B_2=11$, system orientation mode (b) ;
 $B_1B_2=00$, linear shift-register mode (c) ;
 and $B_1B_2=10$, signature analysis register with multiple inputs ($Z_1, Z_2 \dots Z_8$) (d)

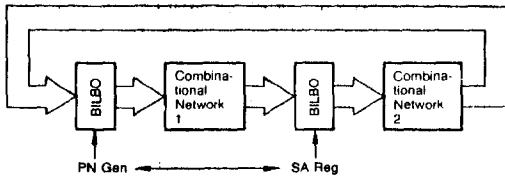


그림 10. Use of BILBO registers to test Combinational Network 1.

산한 후 얻어진 시험결과를 축소시킨다.

최신기법은 Scan path 기법과 LSSD 기법을 사용하고 있으며 이들의 개념을 Signature 분석 개념과 합성시켰다. 이 합성된 기법을 BILBO(Built-in Logic Block Observation)라고 한다.

그림 9(a)는 여덟개 bit로 구성된 BILBO 레지스터(register)를 보여 준다. $L_i (i=1, 2, 3, 4, 5, 6, 7, 8)$ 로 명칭된 block은 시스템 래치를 나타낸다. B1과 B2의 논리가를 사용하여 서로 다른 BILBO레지스터 기능을 구현할 수 있다. S_{in} 은 여덟개 bit 레지스터의 Scan-in용 입력신호선을, S_{out} 은 Scan-out용 출력신호선을 나타낸다. $Q_i (i=1, 2, \dots, 8)$ 는 여덟개 시스템 래치의 출력 논리가를 나타내며 $Z_i (i=1, 2, \dots, 8)$ 는 조합회로에서 나오는 입력을 나타낸다.

이 레지스터는 세가지 주 동작형태(primary mode of operation)와 한개의 이차 동작형태로 운용할 수 있다. 첫번째 주동작형태는 그림 9(b)에 예시되어 있다. 여기서 B1과 B2의 논리가는 모두 1임을 주지하기 바란다. 이 기본적인 시스템 운용 형태하에서, Z_i 논리가가 L_i 에 실려지고 출력논리가는 시스템 운영중(즉, 정상 레지스터 기능중)에 Q_i 에서 얻을 수 있다. B1과 B2의 논리가가 모두 0일때, BILBO 레지스터는 그림9(c)에서와 같이 LFSR 형태를 취한다. Scanning 입력이 왼쪽에서 들어와 몇개의 인버터(Inverrrter)를 통과한다. 여덟개의 레지스터가 단 한개의 Scan path를 이룬후 Scan-out에 도달한다. 이 형태는 Scan path와 LSSD의 것과 유사하다는 것을 주지하기 바란다.

세번째 주 동작형태는 B1 논리가가 1이고 B2 논리가가 0일때 나타난다. 이 형태에서는 BILBO레지스터가 다중선형입력(multiple linear inputs)을 수용할 수 있는 최장의 LFSR의 특성을 갖춘다. 이 형태는 하나의 입력대신 여덟개의 고유입력이 있다는 점을 제외하고, Signature 분석 레지스터와 유사하다.

BILBO 레지스터의 이차 운용형태(B_1, B_2 가 각각 0, 1일 때)는 레지스터를 초기화시킨다. 시스템 운영에서 BILBO는 그림 9(d)와 같이 편성된다. 기본적으로는 첫 BILBO 레지스터는 조합회로를 포함하고 두번째 BILBO 레지스터는 조합회로를 포함하는 것 외에도 이차 조합회로망의 출력이 첫 BILBO레지스터의 입력에 귀환되도록 하고 있다. BILBO 방법은 한가지 고려해야 할 점이 있다. 그것은 조합회로의 고장이 random 입력 벡터로 매우 높게 감지 되어야 한다는 점이다. BILBO 레지스터의 입력 즉, Z_1, Z_2, \dots, Z_8 가 BILBO 레지스터가 최대길이의 LFSR 형태를 갖출 수 있는 고정논리가로 지정될 수 있다면, BILBO는 random 입력 벡터에 가장 유사한 순서를 가진 벡터들을 만들어 낸다. 이 순서를 갖춘 벡터들은 PN(pseudo random pattern)이라고 부른다. 첫 운영시 그림 10의 왼쪽에 있는 BILBO 레지스터가 PN생성기로 사용되면 그 레지스터의 출력이 곧 random 입력 벡터가 된다.

조합회로망 1에 충분한 숫자의 시험입력 벡터가 인가되면, 적절한 시험이 수행될 수 있다. 이 시험의 결과는 오른쪽에 위치한 BILBO 레지스터에 다중입력을 제공하는 Signature 분석기를 사용하여 저장될 수 있다. 어떤양의 시험 입력벡터가 인가된 후, Signature가 우측의 BILBO 레지스터에서 밖으로 나오게 된다. Scan이 성공적으로 끝나면 이번에는 역할이 바뀌어 진다. 즉 우측 레지스터가 PN 순서생성기로 사용되고, 왼쪽 레지스터가 조합회로망 2에서 나오는 다중입력을 갖춘 Signature 분석용 레지스터로 사용된다. 이 운용 형태에서, 조합회로망 2는 random 입력벡터를, 그것의 입력 및 가장 왼쪽에 있는 BILBO 레지스터의 출력에 인가한다. 이렇게 하여 조합회로망 1과 2의 시험은, 두개의 BILBO 레지스터가 Signature 분석용 형태로 운용되고 있는 기간 중, shift clock을 인가함으로써, 매우 빠른 속도로 이루어 진다. 이 기법은, random 입력벡터를 사용하여 조합회로망의 고장 감지도가 좋으면, ATPG 및 고장 시뮬레이션이 갖고 있는 문제점을 해결한다고 생각된다.

6. 맺음말

이상으로 최신 VLSI 시험기법을 논의하였다. 기

존 시험기법은 VLSI Chip을 시험하기에는, Computer제원 및 시험인가비 면에서 부적당하다는 것을 알았다. 최근의 DFT기법은 VLSI Chip 내부에 적절한 하드웨어를 첨가하여, 시험목적상 순서회로망을 조합회로망으로 변환시켜 Chip의 시험가능도를 크게 향상시켰다. 또한 시험 생산비와 인가비를 절감하기 위하여 Chip 자체시험을 수행할 수 있도록, 하드웨어를 내장시키는 여러가지 기법도 언급하였다. 우리가 여기서 꼭 알아야할 사항은 DFT 기법은 시험 목적상 별도의 pin(2~3개)과 Chip 내부에 별도의 하드웨어를 필요로 하고있다는 것이다. 즉, DFT 기법은 VLSI Chip의 시험가능도를 향상시키고 시험비용을 절감하는 댓가로 그에 상당한 Overhead(별도의 pin, 하드웨어 및 Delay) 비용을 지불하고 있다. 향후 VLSI 시험에 관한 DFT 기법의 연구는 위에서 언급한 trade-off를 공학적인 면에서 고려하여 계속 발전할 것으로 생각된다.

참 고 문 헌

- [1] J.P. Roth, "Diagnosis of Automata Failures: A Calculus and a Mehold, IBM Journal of Research and Development, Vol. 10, No. 4, pp. 278-291, July, 1966.
- [2] T.W. Williams and N.C. Brwon, "Defect Level as a Function of Fault Coverage", IEEE Trans. on Computers, Vol. C-30, No. 12, pp. 987-988, December, 1981.
- [3] G.J. Myers and et al., "Microprocessor Technology Trends", Proceedings of the IEEE pp.1605-1622, December 1986.
- [4] T.W. Williams, "VLSI Testing", Computer, pp. 126-135, October, 1984.
- [5] B. Davis, "The Economics of Automatic Testing", McGraw-Hill, 1982.
- [6] P. Goel, "An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits", IEEE Trans. on Computers, Vol. C-30, No. 3, pp. 215-222, March, 1981.