

비정질 실리콘 박막 트랜지스터의 회로 분석을 위한 해석적 모델링

Analytical Modeling for Circuit Simulation of Amorphous Silicon Thin Film Transistors

崔 弘 錫* · 朴 珍 奭* · 吳 彰 浩** · 韓 喆 熙*** · 崔 然 益§ · 韓 民 九§§
 (Hong-Seok Choi · Jin-Seok Park · Chang-Ho Oh · Chul-Hi Han · Yearn-Ik Choi · Min-Koo Han)

Abstract- We develop an analytical model of the static and the dynamic characteristics of amorphous silicon thin film transistors (a-Si TFTs) in order to incorporate into a widely used circuit simulator such as SPICE. The critical parameters considered in our analytical model of a-Si TFT are the power factor (XN) of saturation source-drain current and the effective channel length (L') at saturation region. The power factor, XN must not always obey so-called "square law" of crystalline silicon (c-Si) MOSFET, while may be of 2 - 3 order due to the existence of localized gap states. Also, the consideration of the effective channel length, L' enables us to obtain more physically meaningful capacitance characteristics. Compared with the conventional c-Si MOSFET model, our a-Si TFT model has been in much better agreement with measured static and dynamic results. It may be also suggested that our a-Si TFT model is more suitable for circuit simulators.

1. 서 론

비정질 실리콘 박막 트랜지스터(amorphous silicon thin film transistor, a-Si TFT) [1]는 비교

적 높은 on/off 전류비($\sim 10^7$) 및 대면적의 박막화가 용이하고, 300°C 미만의 저온 공정이 가능하기 때문에, active 방식의 평판 액정 표시기(flat panel liquid crystal display) [2]의 중요한 구동 소자로 이용이 확대되고 있다. 비정질 실리콘 박막 트랜지스터를 이용한 평판 액정표시기 및 영상 감지 소자(image sensor) [3] 등의 집적화에 따른 회로 특성에 대한 엄밀한 분석이 요구되고 있으며, 그 기본이 되는 비정질 실리콘 박막 트랜지스터의 물성적 분석을 통한 보다 정확한 소자 특성의 고

*正 會 員 : 金星社 安養研究所 研究員
 **正 會 員 : 서울대 大學院 電氣工學科 博士課程
 ***正 會 員 : KAIST 電氣 및 電子工學科 助教授 · 工博
 §正 會 員 : 亞洲大 工大 電子工學科 副教授 · 工博
 §§正 會 員 : 서울대 工大 電氣工學科 副教授 · 工博
 接受日字 : 1991年 1月 30日
 1次修正 : 1991年 5月 2日

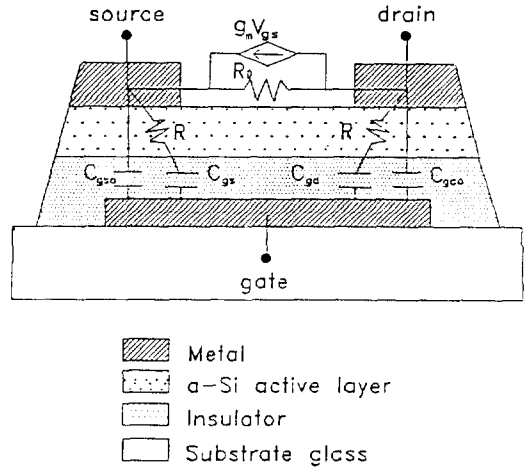
찰이 무엇보다도 중요시되고 있다. 그러나 회로 해석 및 설계에 널리 이용되고 있는 SPICE (Simulation Program with Integrated Circuits Emphasis) [4]에는 현재까지 비정질 실리콘 박막 트랜지스터의 소자 특성에 맞는 모델식이 없기 때문에 기존의 결정질 실리콘 MOSFET 모델을 이용할 수밖에 없었다. 비정질 실리콘은 밴드갭내에 존재하는 국부적 상태(localized states)로 인하여 기본적인 물성, 소자의 구조, 동작 원리 및 특성 등이 기존의 결정질 실리콘 MOSFET와는 많은 차이를 나타내기 때문에 결정질 실리콘 모델을 SPICE에 적용하면 많은 문제점을 야기할 수 있다.

본 연구의 목적은 비정질 실리콘 박막 트랜지스터 회로를 SPICE로 모의실험(simulation)하는데 있어서 기존의 결정질 실리콘 MOSFET 모델을 사용함으로써 발생하는 오차를 줄이고 비정질 실리콘 박막 트랜지스터의 특성에 맞는 새로운 직류 및 교류 특성 모델을 개발하여 본 모델을 사용한 SPICE 출력 결과를 실험적인 측정으로부터 얻어지는 결과와 비교하여 모델의 타당성을 검증하는데 있다. 본 연구에서는, 비정질 실리콘 박막의 국부적 상태밀도를 근사적으로 수식화하여 유도되는 전하 및 전계 분포를 구하고, 비정질 실리콘 박막 트랜지스터의 구조 및 동작 원리에 근거한 기본적인 전류와 전압의 관계식을 유도하였으며, 이를 토대로 직류 및 교류 모델식을 도출하여 그 결과를 기존의 결정질 실리콘 MOSFET 모델에 의한 결과 및 비정질 실리콘 박막 트랜지스터의 실험적인 측정치와 비교 검토하였다.

2. 비정질 실리콘 박막 트랜지스터의 구조 및 동작 원리

비정질 실리콘 박막 트랜지스터는 비정질 실리콘층, 게이트 절연층 및 전극층(소오스, 드레인, 게이트) 등의 증착 순서에 따라서 staggered, inverted-staggered, coplanar 및 inverted-coplanar형 등의 가능한 4가지의 구조로 분류된다.

[5] 그러나, staggered 형 구조는 비정질 실리콘층 위에 절연층이 증착되므로 계면에 손상이 초래되며, coplanar 및 inverted-coplanar형은 비정질 실리콘층과 절연층의 연속 공정이 불가능하고 이때 역시 식각 공정이 계면에 많은 결함을 생성시키는 문제가 있다. 따라서, 본 연구에서는 계면 특성이 양호하고 평판 액정 표시기에 가장 적합한 구조로 보고되고 있는 inverted-staggered형 비정



- g_m : transconductance
- g_d : output conductance
- C_{gs} : 게이트-소오스간의 비선형 캐패시턴스
- C_{gd} : 게이트-드레인간의 비선형 캐패시턴스
- C_{gso} : 게이트-소오스간의 overlap 캐패시턴스
- C_{gdo} : 게이트-드레인간의 overlap 캐패시턴스
- R : a-Si bulk 저항

그림 1 비정질 실리콘 박막 트랜지스터의 구조 및 등가 회로
 Fig. 1 The structure and equivalent circuit of a -Si TFT

질 실리콘 박막 트랜지스터를 해석 대상으로 채택하였으며, 그 구조 및 등가회로는 그림 1과 같다. [6]

Inverted-staggered형 비정질 실리콘 박막 트랜지스터는 그림 1과 같이 결정질 실리콘 MOSFET과 달리 3단자 소자로서 소오스, 드레인 및 게이트의 인가 전압에 의하여 게이트 절연층과 비정질 실리콘과의 계면에 밴드의 휨(band bending)이 발생하고 이로 인한 전하의 축적과 소오스-드레인 사이의 전압차에 의하여 전류가 흐르게 된다.

비정질 실리콘 박막 트랜지스터에서의 에너지 밴드 다이어그램 및 전위 분포를 그림 2에 도시하였다. 특히, 비정질 실리콘 박막 트랜지스터에서는 게이트의 전압이 충분히 큰 경우에도 대부분의 전하는 밴드갭내의 국부 상태에 포획(trapping)되고, 일부분이 전도대(conduction band)위로 전이되어 자유 전하가 생성되므로 결정질 실리콘 MOSFET에서와는 달리 전자의 이동도(mobility)가 게이트 전압에 대하여 일정하지 않고 어느 정

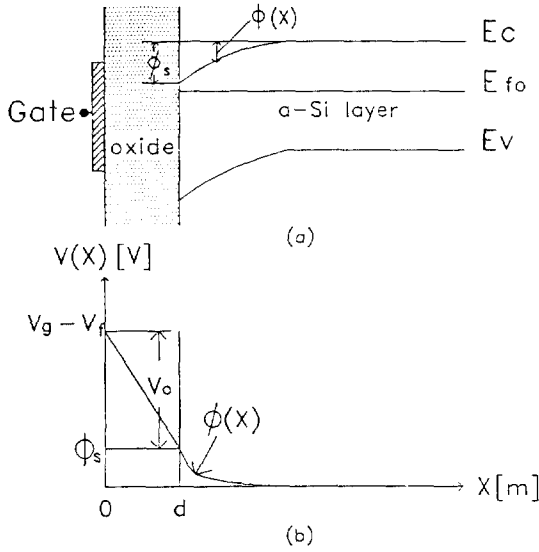


그림 2 게이트 전극/절연층/a-Si 간의 거리에 따른 (a) 에너지 밴드 다이어그램과 (b) 전위 분포

Fig. 2 The energy band diagram (a) and the potential distribution (b) as a function of distance along gate/insulator/a-Si

도의 의존성을 갖게 되는 소위 전계 효과 이동도 (field-effect mobility)를 갖게 된다.

3. 비정질 실리콘 박막 트랜지스터의 해석적 모델링

3.1 유도 전하와 전압과의 관계식

상기한 바와 같이 비정질 실리콘 박막 트랜지스터와 결정질 실리콘 MOSFET와의 근본적인 차이점은, 비정질 실리콘의 경우 밴드갭내에 연속적으로 분포하는 국부적 상태밀도 (density of states, DOS)가 존재한다는 것이다. 따라서, 비정질 실리콘 박막트랜지스터의 특성을 회로 해석기에 입력시키기 위해서는 이러한 상태밀도와 페르미함수를 이용하여 밴드의 휨에 따른 유도 전하를 산출하고, Poisson's 방정식의 결과와 절연층에서의 표면 전위 (ϕ_s)의 관계로부터 전하 밀도를 단지 전압의 함수로 나타내어 직류 및 교류 특성에 대한 모델식을 유도하여야 한다.

본 연구에서는, 비정질 실리콘의 밴드갭내에 존재하는 상태 밀도를 그림 3과 같이 비대칭 U형으

로 근사하고, 이 때의 acceptor-like states와 donor-like states를 수식으로 모델링하면 다음과 같다.

$$g_{dt}(E) = g_{do} \exp\left(-\frac{E - E_v}{kT_a}\right) \quad (1)$$

$$g_{df}(E) = g_{do} \sqrt{-(E - E_v)} \quad (2)$$

$$g_{at}(E) = g_{ao} \exp\left(\frac{E - E_c}{kT_a}\right) \quad (3)$$

$$g_{af}(E) = g_{ao} \sqrt{(E - E_c)} \quad (4)$$

여기서, g_{dt} , g_{df} 는 trap영역의 donor-like 및 acceptor-like 상태밀도 [$eV^{-1}m^{-3}$], g_{df} , g_{af} 는 가 전자대 (valence band, E_v) 아래 및 전도대 (conduction band, E_c) 위 영역에서의 상태 밀도 [$eV^{-1}m^{-3}$], g_{do} , g_{ao} 는 E_v 및 E_c 에서의 상태 밀도 [$eV^{-1}m^{-3}$], T_a , T_a 는 donor-like 및 acceptor-like 상태 밀도의 특성 온도 [K]를 나타내며, k 는 Boltzmann상수이다. 이 때, n -채널 모드로 동작하는 비정질 실리콘 박막 트랜지스터에서는 순방향 전압 ($V_g < 0$)에 따른 실질적인 페르미 준위의 위치는 그림 3에서 E_{fo} 의 윗 부분에 위치하고, 역방향 전압 ($V_g < 0$)에 따른 정공(hole)의 주입 효과는 전자에 비해 무시될 정도로 적으므로, 전자에 의한 전하량만을 고려하고, 페르미 함수를 Zero Kelvin으로 근사하면, 이로 인한 오차를 g_{ao}' 로 보정할 때 포획 전하량, ρ_{te} 및 자유전하량 ρ_{fe} 을 표현 전위, ϕ_s 로 표현하면 다음과 같다. [7]

$$\rho_{te}(\phi(X)) = qg_{ao}'kT_a \exp\left(\frac{E_{fo} - E_c}{kT_a}\right) \left(\exp\left(\frac{q\phi(X)}{kT_a}\right) - 1\right) \quad (5)$$

$$\rho_{fe}(\phi(X)) = \rho_{fo} \left(\exp\left(\frac{q\phi(X)}{kT}\right) - 1\right) \quad (6)$$

$$\rho_{fo} = qN_c \exp\left(\frac{E_{fo} - E_c}{kT}\right) \quad (7)$$

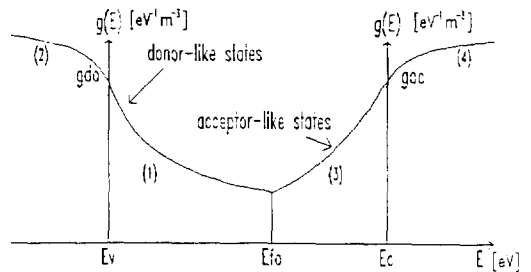


그림 3 a-Si의 상태 밀도에 대한 모델링
Fig. 3 The modeling of DOS (density of states) for a-Si

여기서, N_c 는 E_c 에서의 effective density of states [m^{-3}]이며, ρ_{fo} 는 열적 평형 상태에서의 자유 전하 밀도를 나타낸다. 또한 비정질 실리콘 박막 트랜지스터에서는 $\rho_{ie} \gg \rho_{fe}$ 이므로, [7] 총 전하 밀도(ρ_{tot})는 다음과 같이 표현할 수 있다.

$$\begin{aligned} \rho_{tot}(\phi(X)) &\cong \rho_{ie}(\phi(X)) + \rho_{fe}(\phi(X)) \\ &\cong \rho_{ie}(\phi(X)) \end{aligned} \quad (8)$$

식 (8)로부터 Poisson's 방정식은 다음과 같다.

$$\begin{aligned} \frac{d^2\phi(X)}{dX^2} &= \frac{q\rho_{tot}(\phi(X))}{\epsilon_s\epsilon_0} \\ &\cong \frac{q\rho_{ie}(\phi(X))}{\epsilon_s\epsilon_0} \end{aligned} \quad (9)$$

$$\frac{d^2\phi(X)}{dX^2} = \frac{1}{2} \left[\frac{d\phi(X)}{dX} \right]^2 \quad (10)$$

$$dX = \sqrt{\frac{\epsilon_s\epsilon_0}{2q\rho_{ie}(\phi(X))}} d\phi \quad (11)$$

여기서, ϵ_s 는 비정질 실리콘 박막의 비유전율, ϵ_0 는 진공에서의 유전 상수 [$F m^{-1}$]이고, $X=0, \infty$ 일때 각각 $\phi(X)=\phi_s, 0$ 인 경계조건을 쓰면, $\phi_s \gg kT_a$ ($\sim 0.08eV$)일때 단위 면적당 잉여(excess) 포획 전하 밀도, Q_t [Coulomb m^{-2}]는 다음과 같다.

$$\begin{aligned} Q_t &= \int_0^\infty \rho_{ie}(\phi(X)) dX \\ &= \sqrt{2\epsilon_s\epsilon_0 q g_{ao}} \left[\frac{kT_a}{q} \right] \exp \left[\frac{E_{fo} - E_c + q\phi_s}{2kT_a} \right] \end{aligned} \quad (12)$$

같은 방법으로 단위 면적당 잉여 자유 전하 밀도, Q_f [Coulomb m^{-2}]는 다음과 같다.

$$\begin{aligned} Q_f &= \int_0^\infty \rho_{fe}(\phi(X)) dX \\ &= \frac{2T}{2T_a - T} q N_c \frac{\epsilon_s\epsilon_0}{2g_{ao}' q^2} \\ &\quad \exp \left[\frac{(2T_a - T)(E_{fo} - E_c + q\phi_s)}{2kTT_a} \right] \end{aligned} \quad (13)$$

식 (12)에서 유도한 Q_t 와 그림 2의 전위 관계로부터 게이트 전압을 ϕ_s 의 함수로 표현할 수 있다.

$$\begin{aligned} Q_t + Q_f &\cong Q_t \\ &\cong C_o V_o \\ &= \frac{\epsilon_i\epsilon_0 V_o}{2} \\ V_g &= V_o + \phi_s + V_f \\ &= \frac{1}{C_o} \sqrt{2\epsilon_s\epsilon_0 q g_{ao}} \left[\frac{kT_a}{q} \right] \exp \left[\frac{F_{fo} - E_c + q\phi_s}{2kT_a} \right] \\ &\quad + \phi_s + V_f \end{aligned} \quad (14)$$

여기서, V_o 는 절연층에 걸리는 전압, V_g 는 게이트 전압, V_f 는 평탄 전위 (flat band potential) [V]이며, C_o 는 절연층의 캐패시턴스 [F], ϵ_i 는 절연층

의 비유전율, d 는 절연층의 두께 [m]이다.

3.2 직류 모델식

단위 면적당 conductance, σ [$\Omega^{-1} m^{-2}$]는 식 (12), (13), (14)로부터 식 (16)과 같이 표현되므로(단, 여기서 μ 는 밴드 이동도), 소오스-드레인 전류 I_{ds} 는 식 (17)로서 나타낼 수 있다.

$$\begin{aligned} \sigma &= \mu Q_f \\ &= \mu \rho_{fo} \frac{2T}{2T_a - T} \sqrt{\frac{\epsilon_s\epsilon_0}{2g_{ao}' q^2}} \\ &\quad \left[\frac{\epsilon_s^2 \epsilon_0}{2\epsilon_s d^2 g_{ao}' k^2 T_a^2} \right]^{(2T_a/T - 0.5)} \times V_o^{(2T_a/T - 1)} \end{aligned} \quad (16)$$

$$I_{ds} = \sigma WE \quad (W = \text{소자의 폭 [m]}) \quad (17)$$

Y방향의 전계 E 는 gradual channel approximation [8]를 이용하면

$$E = \frac{d}{dY} (V_g - V_o) \quad (18)$$

와 같이 표현되며 V_o 는 채널 방향(Y방향)의 절연층에 걸리는 전위로 $V_o(Y=0) = V_{gs} - V_f - \phi_s$, $V_o(Y=L) = V_{gd} - V_f - \phi_s$ 의 값을 갖으며, 식 (16), (17), (18)을 이용하여 $Y=0$ 에서 L 까지 적분하여 전류 I_{ds} 를 구하면

$$\begin{aligned} I_{ds} &= -\frac{W}{L} \int_{V_o(Y=0)}^{V_o(Y=L)} \sigma dV_o \\ &= -\frac{\alpha W}{L} \int_{V_o(Y=0)}^{V_o(Y=L)} V_o^{2T_a/T - 1} dV_o \\ &= \frac{T}{2T_a} \frac{\alpha W}{L} ((V_{gs} - V_f - \phi_s)^{2T_a/T} \\ &\quad - (V_{gd} - V_f - \phi_s)^{2T_a/T}) \end{aligned} \quad (19)$$

와 같이 표현되며 이를 subthreshold, linear, saturation 영역별로 나누어 표현하면 다음과 같다.

a) subthreshold 영역 ($V_{gs} < V_t$)

$$I_{ds} = \beta_1 (1 + \lambda V_{ds}) \exp((V_{gs} - V_f)^{XN}) \quad (20)$$

$$I_{ds} = 0 \quad (c-Si \text{ MOSFET 모델}) \quad (21)$$

b) linear 영역 ($V_{gs} > V_{ds} + V_t$)

$$\begin{aligned} I_{ds} &= \beta_2 (1 + \lambda V_{ds}) ((V_{gs} - V_t)^{XN} \\ &\quad - (V_{gd} - V_t)^{XN}) + I_{dst} \end{aligned} \quad (22)$$

$$\begin{aligned} I_{ds} &= \beta V_{ds} (1 + \lambda V_{ds}) (V_{gs} - V_t - 0.5 \times V_{ds}) \\ &\quad (c-Si \text{ MOSFET 모델}) \end{aligned} \quad (23)$$

c) saturation 영역 ($V_t < V_{gs} < V_{ds} + V_t$)

$$I_{ds} = \beta_2 (1 + \lambda V_{ds}) (V_{gs} - V_t)^{XN} + I_{dst} \quad (24)$$

$$\begin{aligned} I_{ds} &= 0.5 \times \beta (1 + \lambda V_{ds}) (V_{gs} - V_t)^2 \\ &\quad (c-Si \text{ MOSFET 모델}) \end{aligned} \quad (25)$$

여기서, β 는 transconductance [$A V^{-1}$], β_1 은 subthreshold transconductance [$A \exp - (V^{XN})$], β_2 는 above threshold transconductance [$A V^{-XN}$], λ 는 channel length modulation factor [V^{-1}], XN 은 power factor, V_t 는 문턱 전압 [V], I_{dst} 는 subthreshold 전류 [A]이다. 식 (20) ~ (25)에서 $\beta_2 = \alpha(W/L)(T/2T_a)$, $XN = 2T_a/T$ 이고 λ 는 포화 영역에서의 V_{ds} 에 따른 I_{ds} 의 변화량을 나타내는 변수이며 c-SiMOSFET 모델이란 SPICE에 내장되어 있는 LEVEL=1에 해당하는 MOS 모델식이다.

3.3 교류 모델식

상기한 바와 같이, 단자전압에 따라 유도되는 전하는 하나의 해석적인 수식으로 표현하기 힘들며, 또한 게이트 전압과 드레인 전압의 영향이 상호적으로 나타나기 때문에 게이트 전압의 영향을 드레인 전압에 보정한 전압, V_{dseff} 를 구간별 (subthreshold, linear, saturation 영역)로 가정하였으며 [9] 그 전위 분포는 그림 4와 같다.

a) subthreshold 영역 ($V_{gs} < V_t$)

Subthreshold 영역은 측정치와 가장 근접한 \tan^{-1} 함수로 표현하였으며 캐패시턴스 수식은 다음과 같다.

$$C_{gs} = WLC_o(V_{gs} - V_f)(\tan^{-1} \left(\rho_3 \frac{V_{gs} - V_f}{V_t - V_f} \right) + 0.5\pi) \quad (26)$$

$$C_{gd} = WLC_o(V_{gs} - V_f)(\tan^{-1} \left(\rho_3 \frac{V_{gs} - V_f}{V_t - V_f} \right) + 0.5\pi) \quad (27)$$

여기서, ρ_3 는 보정 상수이다.

b) linear 영역 ($V_{gs} \geq V_t + V_{ds}$)

Linear 영역에서는 $V_{gs} \geq V_t + V_{ds}$ 이므로 게이트 전위에 의해 유도되는 channel 길이, L 의 변화는 없으며 V_{dseff} 는 다음과 같이 표현하였다.

$$V_{dseff}(Y) = aY^2 + bY \quad (28)$$

$$a = \frac{\rho_1 V_{ds}}{L^2} \left[\frac{V_{ds}}{V_{gst}} \right]^{m_1} \quad (29)$$

$$b = (V_{ds} - \rho_1 V_{ds} \left[\frac{V_{ds}}{V_{gst}} \right]^{m_1}) \div L \quad (30)$$

이때, 채널에 형성되는 총전위, V_{tot} 는 다음과 같이 표현된다.

$$V_{tot}(Y) = V_{gst} - V_{dseff}(Y) \quad (31)$$

$$V_{gst} = V_{gs} - V_t \quad (32)$$

따라서, 총전하, Q_{tot} 는 다음과 같이 얻어진다.

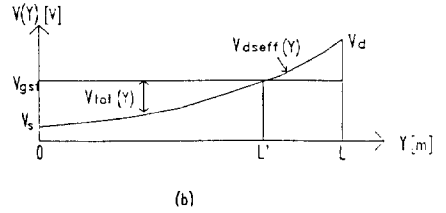
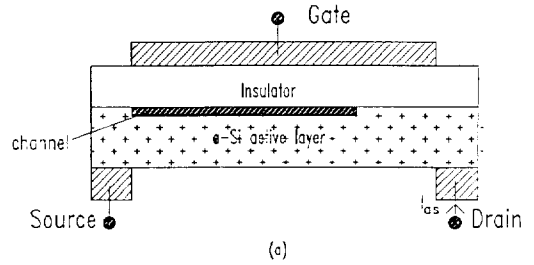


그림 4 채널 방향에 따른 $V_{dseff}(Y)$ 와 유효 채널 길이 L' 의 분포도

Fig. 4 The potential distribution at a-Si TFT channel as a function of channel length

$$Q_{tot} = WC_o \int_0^L V_{tot}(Y) dY \quad (33)$$

식 (33)의 전하를 단자전압으로 편미분하면 다음의 식과 같다.

$$C_{gs} = - \frac{\partial Q_{tot}}{\partial V_s} \Big|_{V_{gd}} = \text{일정} \\ = WLC_o \left(\frac{1}{2} + \frac{\rho_1}{6} \left[\frac{V_{ds}}{V_{gst}} \right]^{m_1} \left(1 + \frac{m_1(V_{gst} - V_{ds})}{V_{gst}} \right) \right) \quad (34)$$

$$C_{gd} = - \frac{\partial Q_{tot}}{\partial V_d} \Big|_{V_{gs}} = \text{일정} \\ = WLC_o \left(\frac{1}{2} + \frac{\rho_1}{6} \left[\frac{V_{ds}}{V_{gst}} \right]^{m_1} (1 + m_1) \right) \quad (35)$$

여기서, ρ_1 , m_1 는 보정 상수이다.

c) saturation 영역 ($V_t \leq V_{gs} < V_t + V_{ds}$)

Saturation 영역에서는, linear 영역에서와 달리 채널 길이, L 이 게이트와 드레인 전압에 따라 L' 로 변하게 되며, $Y=L'$ 에서의 전위가 $V_{ds} = V_{gst}$ 이고 $V_{dseff}(L') = V_{gst}$ 인 조건을 이용하면 V_{dseff} 와 총 전위 V_{tot} 를 다음과 같이 얻을 수 있다.

$$V_{dseff}(Y) = \frac{\rho_1 V_{gst}}{L^2} Y^2 + \frac{(1 - \rho_1 A^2) V_{gst}}{L} Y, \\ V_{tot}(Y) = V_{gst} - V_{dseff}(Y) \quad (36)$$

여기서 L' 는 다음과 같이 가정하였다.

$$L' = ((1 - p_2) \left(\frac{V_{gst}}{V_{ds}} \right)^{m_2} + p_2) L = AL \quad (37)$$

Linear영역에서와 마찬가지로 $Y=0$ 에서 L' 까지 적분하면 캐패시턴스를 구하면 다음과 같다.

$$\begin{aligned} C_{gs} &= - \left. \frac{\partial Q_{tot}}{\partial V_s} \right|_{V_{gd} = \text{일정}} \\ &= MLC_o \left(A_s V_{gst} \left(1 - \frac{(1 - p_1) A^2}{2} \right) \right. \\ &\quad \left. + \frac{A}{2} + \frac{p_1 A^3}{6} \right) \end{aligned} \quad (38)$$

$$\begin{aligned} C_{gd} &= \left. \frac{\partial Q_{tot}}{\partial V_d} \right|_{V_{gs} = \text{일정}} \\ &= WLC_o A_d V_{gst} \left(\frac{1}{2} + \frac{p_1}{2} A^2 \right) \end{aligned} \quad (39)$$

$$A_s = \frac{\partial A}{\partial V_s} \quad A_d = \frac{\partial A}{\partial V_d} \quad (40)$$

여기서, p_1, m_1 는 보정 상수이다.

4. 모델 변수 추출 방법

4.1 직류 모델 변수($\beta_1, \beta_2, \lambda, XN, V_t, I_{dst}$) 추출 방법

그림 5와 같이, 전압 지수 XN 과 문턱전압 V_t 는 출력 특성의 포화 영역에서 V_{ds} 가 일정할 때 V_{gs} 에 따른 세점 $I_{ds1}, I_{ds2}, I_{ds3}$ 으로부터 식 (24)와 $I_{ds} \gg I_{dst}$ 인 조건을 이용하여 다음과 같이 구할 수 있다.

$$\begin{aligned} XN &= \ln \left(\frac{I_{ds1}}{I_{ds2}} \right) \div \frac{V_{gst1} - V_t}{V_{gst2} - V_t} \\ &= \ln \left(\frac{I_{ds2}}{I_{ds3}} \right) \div \frac{V_{gst2} - V_t}{V_{gst3} - V_t} \end{aligned} \quad (41)$$

여기서, λ 와 β_2 는 V_{ds} 에 따른 두점 I_{ds4}, I_{ds2} 로 부

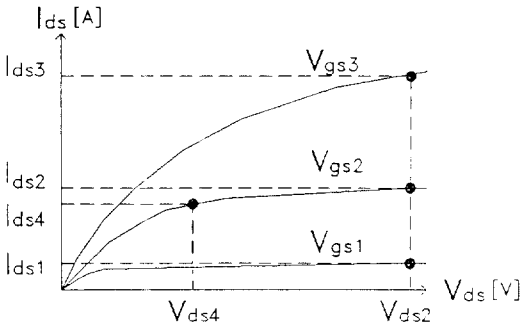


그림 5 직류 모델 변수의 추출을 위한 출력 특성
Fig. 5 The output characteristics for extracting the static parameters

터 식 (24)를 이용하여 구할 수 있다.

$$\lambda = \left(\frac{I_{ds4}}{I_{ds2}} - 1 \right) \div \left(V_{ds4} - \frac{I_{ds4}}{I_{ds2}} V_{ds2} \right) \quad (42)$$

$$\beta_2 = I_{ds2} \div ((1 - \lambda V_{ds2})(V_{gst2} - V_t)^{XN}) \quad (43)$$

또한, I_{dst} 는 전이 특성의 V_t 에 대응하는 전류값이 되며 β_1 은 식 (20), (22)의 연속 조건으로부터 구한다.

4.2 교류 모델 변수(p_1, p_2, p_3, m_1, m_2) 추출 방법

그림 6에서, C_{gs} 와 V_{gs} 특성의 선형 영역에서의 두점, C_{gs1}, C_{gs2} 와 식 (34)를 이용하면,

$$\begin{aligned} &\left(\frac{C_{gs1}}{WLC_o} - 0.5 \right) \div \left(\left[\frac{V_{ds1}}{V_{gst1}} \right]^{m_1} \right. \\ &\quad \left. \left(1 + \frac{m_1(V_{gst1} - V_{ds1})}{V_{gst1}} \right) \right) \\ &= \left(\frac{C_{gs2}}{WLC_o} - 0.5 \right) \div \left(\left[\frac{V_{ds2}}{V_{gst2}} \right]^{m_1} \right. \end{aligned}$$

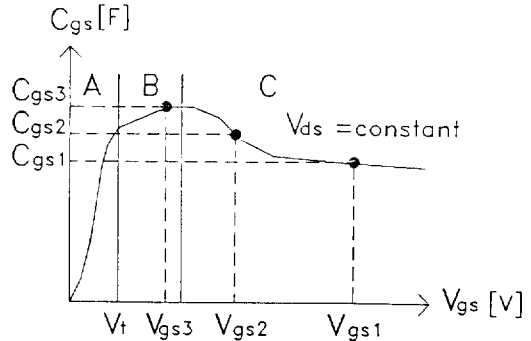


그림 6 교류 모델 변수의 추출을 위한 C-V 특성
Fig. 6 The C-V characteristics for extracting the transient parameters

$$\left(1 + \frac{(V_{gst2} - V_{ds2})}{V_{gst2}} \right) \quad (44)$$

$$V_{gst} = V_{gs1} - V_t \quad (45)$$

와 같이 표현되므로, 이 수식을 bisection방법으로 m_1 을 구하여 식 (34)로부터 p_1 을 구하면

$$\begin{aligned} p_1 &= 6 \left(\frac{C_{gs1}}{WLC_o} - 0.5 \right) \div \left(\left[\frac{V_{ds1}}{V_{gst1}} \right]^{m_1} \right. \\ &\quad \left. \left(1 + \frac{m_1(V_{gst1} - V_{ds1})}{V_{gst1}} \right) \right) \end{aligned} \quad (46)$$

로서 얻어진다. 여기서, m_2 와 p_2 는 식 (35)와 (39)의 $V_{gst} = V_{ds}$ 에서의 연속조건으로부터

$$m_2(1 - p_2) \left(\frac{1}{2} + \frac{1}{2} p_1 \right) = \frac{1}{2} - \frac{p_1}{6} (1 + m_1) \quad (47)$$

가 유도되며, 식 (47)과 포화 영역에서의 한점, C_{gs3} 를 식 (38)에 대입한 식을 연립한다. 또한, p_3 는 subthreshold영역과 포화 영역에서 $V_{gs} = V_t$ 일 때의 연속조건으로부터 구한다. 이상과 같은 방법으로 얻어진 직류 모델 변수와 교류 모델 변수의 추출값을 표 1에 정리하였다.

표 1 모델 변수 추출값
Table 1 Parameters used in the current-voltage and capacitance-voltage characteristics of a-Si TFT and c-Si MOSFET.

c-Si 직류 모델	a-Si 직류 모델	a-Si 교류 모델	
$\beta [AV^{-2}]$	$8.02E^{-8}$	β_1 $6.50E^{-13}$	p_1 0.818
$\lambda [V^{-1}]$	$7.81E^{-3}$	β_2 $1.95E^{-8}$	p_2 0.971
$V_t [V]$	1.70	$\lambda [V^{-1}]$ $0.86E^{-3}$	p_3 $2.7E^{-3}$
		$V_t [V]$ 1.800	m_1 2.08
		$I_{dst} [A]$ $1.10E^{-9}$	m_2 3.00
		XN 2.460	

5. 모델식의 결과와 실험값의 비교

5.1 직류 특성 결과

그림 7은 PECVD(plasma-enhanced chemical vapor deposition)방법으로 제작된 비정질 실리콘 박막 트랜지스터의 실험적 전이 특성을 본 연구에

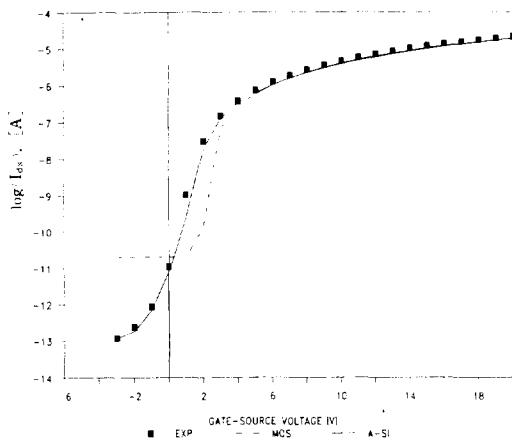


그림 7 a-Si TFT의 전이특성 (■ : 측정치, -- : c-Si MOSFET모델, — : a-Si모델)

Fig. 7 The transfer characteristics of a-Si TFT (■ : measured, -- : c-Si MOSFET model, — : a-Si model)

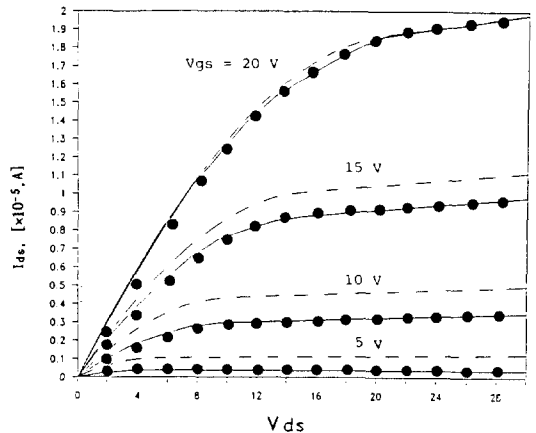


그림 8 a-Si TFT의 출력특성 (● : 측정치, -- : c-Si MOSFET모델, — : a-Si모델)

Fig. 8 The output characteristics of a-Si TFT (● : measured, -- : c-Si MOSFET model, — : a-Si model)

서 개발된 a-Si 모델의 결과 및 기존의 c-Si 모델과 비교하여 나타낸 것이다. 여기서, c-Si MOSFET 모델은 subthreshold 영역이 고려된 LEVEL=2를 사용하였다. Subthreshold 영역에서 본 연구의 a-Si 모델이 측정치에 보다 근접함을 알 수 있는데, 이는 비정질 실리콘 박막에 존재하는 연속적인 국부 상태로 인한 subthreshold 영역에서의 포화 전하량이 고려되었기 때문이다. 그림 8은 동일한 a-Si TFT의 출력 특성으로서, 포화 영역에서 c-Si MOSFET 모델의 경우에는 I_{ds} 가 게이트 전압의 제곱에 비례하는데 비하여, 비정질 실리콘 박막 트랜지스터에서는 소위 "square law"를 만족하기보다는 $XN=2.46$ 으로서, 기존의 c-Si MOSFET 모델은 큰 오차를 보임을 알 수 있다. 일반적으로, 실험적인 측정으로부터 보고되고 있는 전압 지수 XN 은 비정질 실리콘 박막의 물성 및 비정질 실리콘과 게이트 절연층과의 계면 특성에 따라서 차이는 있으나, 대부분 약 2.5 정도의 값을 갖는 것으로 보고되고 있다. [10]

5.2 교류 특성 결과

3.2절에서 유도된 단자전압에 따른 캐패시턴스 식을 이용하여 얻어진 결과와 제작된 비정질 실리콘 박막 트랜지스터의 측정치 및 기존의 c-Si MOSFET 모델의 결과를 그림 9, 10에 나타내었다. 그림 9에서 알 수 있는 바와 같이, V_{ds} 에 따른 C_{gs} 의 변화폭이 본 연구에서 제시된 a-Si 모델이 측정치에 더 근사함을 알 수 있는데 이는 c-Si MOSFET 캐패시턴스 모델에는 포화 영역 ($V_{gst} <$

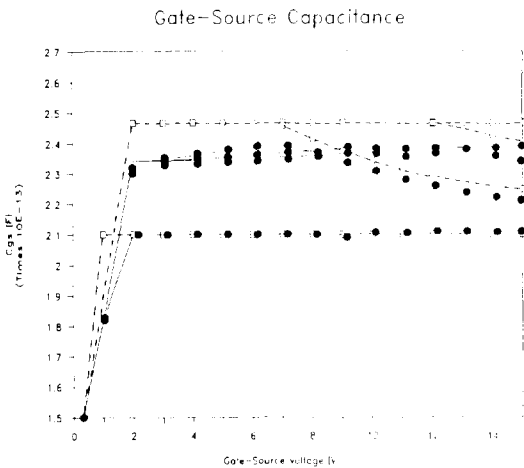


그림 9 a-Si TFT의 V_{GS} 에 따른 C_{gs} (●: 측정치, □: c-Si MOSFET 모델 —: a-Si 모델)

Fig. 9 V_{GS} - C_{gs} characteristics of a-Si TFT (●: measured, □: c-Si MOSFET model, —: a-Si model)

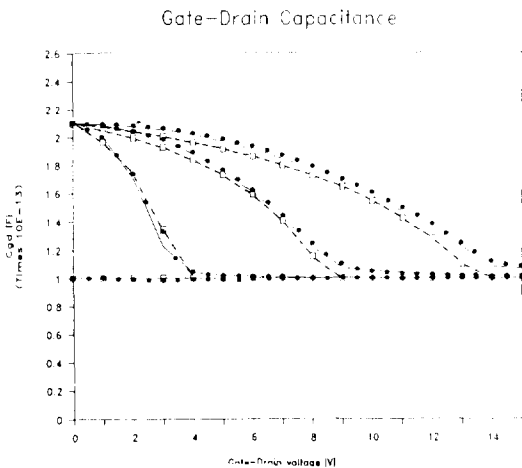


그림 10 a-Si TFT의 V_{ds} 에 따른 C_{gd} (●: 측정치, □: c-Si MOSFET 모델 —: a-Si 모델)

Fig. 10 V_{ds} - C_{gd} characteristics of a-Si TFT (●: measured, □: c-Si MOSFET model, —: a-Si model)

V_{ds} 에서의 C_{gs} 값을 단순히 $(2/3)C_o$ 으로 근사했기 때문이다. 그림 10은 V_{ds} 에 따른 C_{gd} 의 변화를 나타낸 것으로서, 기존의 c-Si MOSFET 모델과는 달리 a-Si 모델에서는 포화 영역에서의 드레인, 게이트 전압에 따른 채널 길이의 변화를 나타

내는 L' 을 고려하였기 때문에 측정치와 보다 유사하게 물리적으로 의미를 갖는 변화를 나타낼 수 있었다.

6. 결 론

비정질 실리콘 박막 트랜지스터(a-Si TFT)는 평판 액정 표시기(flat panel liquid crystal display) 및 영상 감지 소자 등의 스위칭 회로에 널리 사용되는 소자로 집적화에 따라 회로 출력 특성의 정확한 분석이 요구되는 바, 본 연구에서는 a-Si TFT의 물성적 특성에 맞는 직류 특성은 물론, 교류 특성 모델식을 회로 분석에 널리 사용되는 SPICE(Simulation Program with Integrated Circuit Emphasis)에 내장하였으며, 그 결과를 실제로 제작된 비정질 실리콘 박막 트랜지스터의 측정치 및 기존의 결정질실리콘 MOSFET모델의 결과와 비교하였다.

직류모델의 경우, 고려한 중요한 변수로는 게이트 전압에 의한 드레인-소오스 전류 증가의 지수를 나타내는 KN 으로 기존의 결정질 실리콘 MOSFET의 경우 그 값이 2("square law")인데 비하여 비정질 실리콘 박막 트랜지스터에서는 국부적 상태의 존재로 인하여 2 이상의 값을 가지므로 기존의 c-Si MOSFET 모델을 사용하는 경우에는 측정치와 큰 오차를 보이게 되어 본 연구에서 제시한 a-Si 직류모델의 타당성을 확인하였다. 또한, 교류모델에서 고려한 중요한 변수로는 유효 채널 길이 L' 으로서, 포화 영역에서 인가 전압에 따라서 변화하는 실질적인 채널 길이를 나타낸다. 기존의 c-Si MOSFET모델에서는 이 영향을 무시하였기 때문에 선형 영역과 포화 영역사이의 캐패시턴스 특성의 변화가 측정값과 차이를 보이며 수렴이 어려워지는 문제점이 있었으나, 본 연구에서는 이러한 영향을 고려하였기 때문에 실측치에 보다 근사한 결과를 얻을 수 있었다.

본 연구에서 제시한 비정질 실리콘 박막 트랜지스터의 직류 및 교류 특성에 대한 해석적 모델식은 비정질 실리콘에 내재적으로 존재하는 국부적 상태(localized gap states)를 고려하여 정립하였기 때문에 널리 사용되고 있는 회로 분석기에 효과적으로 내장되어 평판 액정 표시기 및 다양한 회로의 정확한 분석이 가능하다.

본 논문은 신소재 박막가공 및 결정성장 연구센터(RETCAM)의 협조로 한국과학재단(KOSEF)의 지원을 받아 수행되었다.

참 고 문 헌

- [1] M.J. Tompson, N.M. Johnson, M.D. Moyer, and R. Lujan, "Thin-film transistor of a-Si : H", IEEE Electron Devices, ED-29(10), pp. 1643~1646, 1982
- [2] Y. Kanego, A. Sasano, T. Tsukada, "Analysis and design of a-Si TFT/LCD panels with a pixel model", IEEE Electron Devices ED-36(12), p. 2953, 1989
- [3] Toshihisa Tsukada, "Amorphous Silicon Linear Image Sensors", TARECT Vol. 16 Amorphous Semiconductor Technologies & Devices(1984), Y. Hamakawa(ed.)OHM-SHA, LTD. and North Holland Publishing Co.
- [4] Paul W. Tuinenga, SPICE : A guide Circuit simulation & Analysis Using Pspice, Prentice Hall, New Jersey, 1988.
- [5] Michael Shul, Michael Hack and John G. Shaw, "A New Analytic Model for Amorphous Silicon Thin Film Transistors", J. Appl. Phys. 66(7), 1989.
- [6] M.J. Powell, "The Physics of amorphous silicon thin-film transistors", IEEE Electron Devices, ED-36(12), pp. 2753~2763, 1989.
- [7] Masakiyo Mastumura, "Theoretical Analysis of Amorphous-Silicon Field-Effect Transistors", J.J. Appl. Phys. Vol. 22, No. 3, March, 1983.
- [8] S.M. Sze "Physics of semiconductor Device", 2nd ed., John Wiley, 1981.
- [9] 최홍석, 박진석, 최연익, 한민구, "비정질 실리콘 박막 트랜지스터의 회로 해석 모델링", 대한 전기 학회 추계 학술 대회 논문집, 1990.
- [10] M. Shur and M. Hack, "Physics of amorphous silicon based alloy field-effect transistors", J. Appl. Phys. 55(10), 1984.