

論文 90-27-10-11

## BICMOS 버퍼의 면적 최적 설계

## (Area-Optimized Design of BICMOS Buffers)

李 熙 德\*, 韓 喆 熙\*\*

(Heui Deok Lee and Chul Hi Han)

## 要 約

동작 속도와 용량성 부하에 따른 최적소자크기를 결정할 수 있는 bipolar-CMOS 버퍼 모델을 제안한다. 면적 최적화를 위한 해석적 결과를 바이폴라의 고주입 효과 및 MOS의 채널 속도제한영역을 가정하여 구했다. BICMOS 버퍼의 면적은 용량성 부하에 거의 비례하는 에미터 길이와 채널 폭을 정함으로써 최적화된다는 것을 보이고, 회로 시뮬레이션 결과와 비교하여 확인하였다.

## Abstract

A model for bipolar-CMOS buffer design is presented which offers a guideline for determining device sizes based on speed and capacitive load. Closed-form solutions for area optimization are obtained assuming high level injection and channel velocity limitation. The solutions and circuit simulations show that the areas of BICMOS buffers are optimized by scaling the emitter length and the channel width approximately in proportion with capacitive load.

## I. 서 론

BICMOS는 MOS기술의 고집적과 바이폴라소자의 전류 구동 능력을 결합한 형태로, 정적 전력소모가 거의 없고, 큰 부하용량을 구동할 수 있기 때문에 고속 SRAM, 고속 gate array 등에 사용되고 있다.<sup>[1][2]</sup>

BICMOS 게이트는 MOS와 바이폴라소자가 결합되었기 때문에 여러가지 요인이 동작에 영향을 준다. 따라서 지연시간도 바이폴라 트랜지스터의 고주입영역, MOS 트랜지스터의 선형 및 포화영역 등 동작영역에 따라 각기 다른 형태로 나타난다.<sup>[3][4]</sup>

이 논문에서는 MOS 트랜지스터의 짧은 채널 효과인 속도제한영역과 바이폴라 트랜지스터의 고주입영역을 고려하여 BICMOS 버퍼의 지연시간 모델을 만들고 해석적으로 분석한다. 이 모델을 근거로 일정부하용량에서 최소화지연시간을 얻기위한 에미터 길이를 얻고, 또한 일정부하용량에서 일정지연시간을 얻기위한 MOS 및 바이폴라 트랜지스터의 크기를 최적화한다. 이 모델은 부하 용량에 대한 BICMOS 버퍼 구성 트랜지스터들의 크기 최적설계에 지침이 될 것이다.

\*學生會員, \*\*正會員, 韓國科學技術院 電氣 및 電子工學科

(Dept. of Electrical Eng., KAIST)

接受日字: 1990年 6月 9日

(※ 본 연구는 1989년도 문교부 지원 학술진흥재단 학술연구조성비에 의한 반도체 공동연구소 과제외 소과제로 연구되었음.)

II. BICMOS 버퍼 동작 분석

1. Pull-up 동작

그림 1에 BICMOS 버퍼의 등가회로를 보인다. 이 회로의 출력이 낮은 전압에서 높은 전압으로 바뀔때 즉 pull-up 동작할때의 등가회로를 그림2에 나타냈다. 비슷한 방법으로 pull-down 동작은 그림 3과 같이 표시할 수 있다. Pull-up 동작을 그림 4에 보인 바와 같이 세가지 부분으로 구분하여 설명한다. 입력전압이 높은 전압에서 0V로 되었을때 PMOS는 초기에 포화 영역에서 동작을 하지만 Q1은  $V_{BE1} = V_D$  될때까지 cut-off 영역에 남게 된다. 즉 Q1이 cut-off 영역에서 활성영역으로 변화할때까지 걸리는 시간이  $T_1$ 이며, 이때의 등가회로는 그림 2와 같이 나타내어지고,  $T_1$ 은 식(1)과 같이 구해진다.

$$T_1 = \frac{(C_{BE1} + C_{BC1} + C_{BE1} \cdot C_{BC1} / C_{TU})}{I_{DS}} f_0 V_D \quad (1)$$

$f_0$ 는 입력이 "1"일때 출력전압이  $V_D$ 에서 얼마만큼 낮은 상태로 있는가를 나타내는 인자로 0과 1사이의 값을 갖고,  $V_{0,low} = (1-f_0)V_D$ 이다.  $T_1$  시간이 지난 후 Q1은 활성 영역에서 동작하게 되며,  $M_1$ 은 이후  $T_2$  동안 포화 영역에서 동작한다. 이시간 동안의 등가회로를 그림 5와 같이 나타내었고,  $T_2$ 는 식(2)로 표시할 수 있다.

$$T_2 = \frac{\{(\beta_1 + 1)C_{BC1} + C_{TU}\} |V_{TP}| - (1 + f_1)V_D}{(\beta_1 + 1)I_{DS}} \quad (2)$$

$f_1$ 는  $T_1$ 이 지난후의  $V_0$ 의 값을 나타내는 인자로  $T_1$

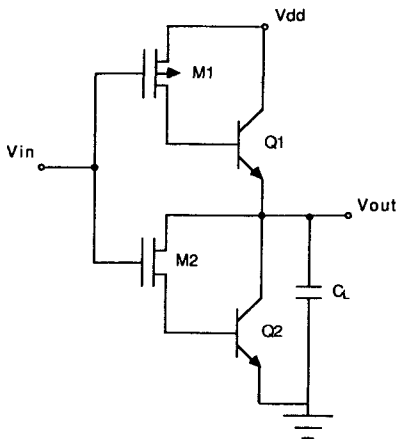


그림 1. BICMOS 버퍼 회로도  
Fig. 1. Circuit diagram of BICMOS buffer.

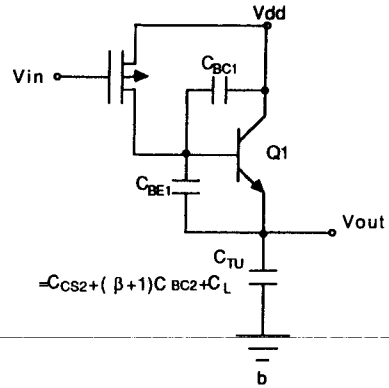


그림 2. Pull-up 동작시 등가회로  
Fig. 2. Equivalent pull-up circuit.

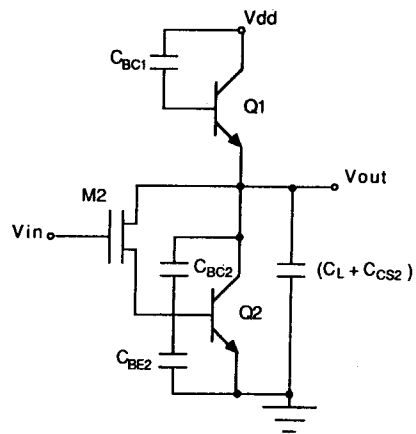


그림 3. Pull-down 동작시 등가회로  
Fig. 3. Equivalent pull-down circuit.

동안  $V_0$ 는  $(1-f_0)V_D$ 에서  $f_1V_D$ 로 증가되며 그림2의 회로에서 구하면  $f_1 = 1 - (1 - C_{BE1}/C_{TU})f_0$ 이다.  $T_1 + T_2$ 가 지난후의  $V_0 = |V_{TP}| - V_D$ 이다.  $T_1 + T_2$  이후의 Q1은 활성,  $M_1$ 은 선형 영역에서 동작하는데, 이때의 등가회로를 그림 6에 나타냈다.  $M_1$ 의 드레인전류는 포화 전류( $I_{DS}$ )부터 감소하므로 다음과 같이 근사화하였다. 즉, 포화영역 및 선형 영역의 전류가 다음식으로 표시되면,

$$I_{DS} = K(V_{GS} - V_T)^2$$

$$I_D = K(2(V_{GS} - V_T)V_{DS} - V_{DS}^2),$$

평균 드레인 전류는,

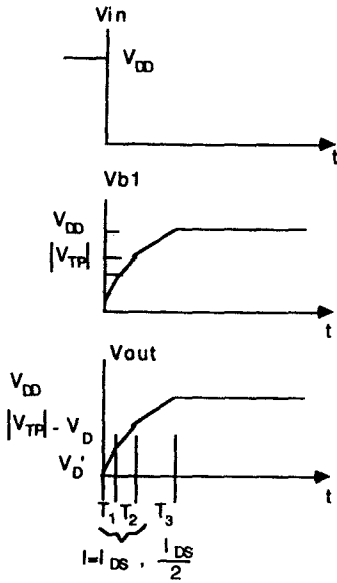


그림 4. Pull-up 동작 구분 및 파형  
 Fig. 4. Classification of the three different regions during pull-up operation.

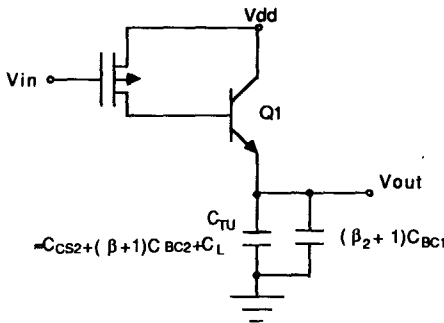


그림 5. MOS 트랜지스터가 포화영역에 있을때의 등가회로  
 Fig. 5. Equivalent circuit when MOS transistor is in saturation region.

$$I_{D,ave} = \frac{\int_{V_{GS}-V_T}^0 I_D^a V_{DS}}{V_{GS}-V_T} = \frac{2}{3} I_{DS}$$

따라서,  $T_3$ 는 식(3)과 같이 표시할 수 있다.

$$T_3 = \frac{3\{(\beta_2+1)C_{BC1}+C_{TU}\}\{V_{DD}-|V_{TP}|+f_0V_D\}}{2(\beta_2+1)I_{DS}} \quad (3)$$

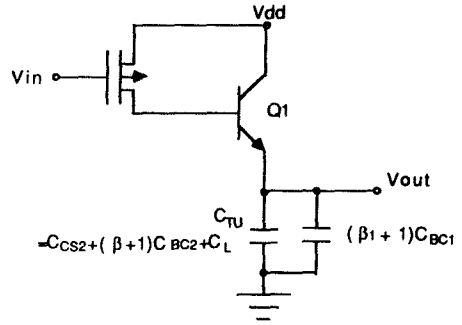


그림 6. MOS 트랜지스터가 선형영역에 있을때의 등가회로  
 Fig. 6. Equivalent circuit when MOS transistor is in linear region.

Pull-up 동작시의 전체 지연 시간  $T_{DU}$ 는  $T_1+T_2+T_3$ 이며,  $\beta_1, \beta_2 \gg 1$  조건에서  $C_{BE1}$ 이 무시되고  $C_{CS} \ll C_L$ 의 경우  $C_{CS}$  항을 무시하면 식(4)와 같이 근사값을 구할 수 있다.

$$T_{DU} = \frac{C_{BC1}+C_{BC2}}{I_{DS}} V_1 + \frac{C_L}{\beta_1 I_{DS}} V_2 \quad (4a)$$

이때  $V_1, V_2$ 는 다음식으로 표시된다.

$$V_1 = \frac{3}{2} V_{DD} - \frac{1}{2} |V_{TP}| + \frac{1}{2} [3f_0 - 2(1+f_1)] V_D$$

$$V_2 = \frac{\sqrt{6}}{2} V_{DD} - \left(\frac{\sqrt{6}}{2} - 1\right) |V_{TP}| + \frac{1}{2} [\sqrt{6} f_0 - 2(1+f_1)] V_D$$

$I_{DS}$ 는 짧은 채널 효과를 고려해 다음식으로 표시된다.<sup>[5]</sup>

$$I_{DS} = k v_L C_0' W V_G$$

여기서  $k$ 는 다음과 같이 근사화시킬 수 있다.

$$k = 1 + \frac{E_c \cdot L}{V_G} \left(1 - \sqrt{1 + \frac{2V_G}{E_c \cdot L}}\right)$$

여기서  $E_c$ 는 임계 전기장을,  $L$ 은 채널 길이,  $v_L$ 은 포화 속도,  $V_G$ 는  $V_{GS} - V_T$ 를 나타낸다. 전류이득  $\beta_1$ 은 베이스 전류가  $I_{DS}$  일때의 바이폴라 트랜지스터의 전류이득을 의미하며, 베이스 전류에 따른 전류이득은 고주입 조건을 고려하면 다음과 같이 표시된다.<sup>[5]</sup>

$$\beta_1 = \sqrt{\beta_0 I_k / I_B}$$

여기서  $I_k$ 는 고주입 knee 전류,  $\beta_0$ 는 보통 전류 영역에서의 전류이득을 나타낸다.

2. Pull-down 동작

Pull-down 동작은 pull-up 동작과 유사한 분석으로 각 영역별 지연시간을 계산하고 근사화 시키면 식(4b)와 같은 지연시간을 얻게된다. pull-up 동작과 다른점은 PMOS와 NMOS의 차이에서  $I_{DS}$ 의 값이 바뀌고 따라서  $\beta$ 도 다른 값을 갖게 된다.  $V_1, V_2$ 도 다른 값이 되지만,  $V_{DD} \gg V_D$ 라면 같은 값을 갖게된다.

$$T_{Dd} = \frac{C_{BC1} + C_{BC2}}{I_{DS}'} V_1 + \frac{C_L}{\beta' I_{DS}'} V_2 \quad (4b)$$

III. BICMOS 버퍼의 면적 최적화

1.  $T_{DU}$ 의 계산

지연시간을  $L_E$  및  $W$ 의 함수로 나타내기 위하여  $C_{BC1} = C_{BC1}' \cdot L_E, C_{BC2} = C_{BC2}' \cdot L_E, I_k = I_k' \cdot L_E, I_B = I_{DS}$  로 근사화 하면,  $T_{DU}$ 는 식(5)와 같이 나타낼 수 있다.

$$T_{DU} = \frac{(C_{BC1}' + C_{BC2}')V_1}{kV_L C_0' V_G} \cdot \frac{L_E}{W} + \frac{C_L \cdot V_2}{\sqrt{\beta_0 I_k'} kV_L C_0' V_G} \cdot \frac{1}{\sqrt{W L_E}} \\ = a\gamma \frac{L_E}{W} + \frac{bC_L}{\sqrt{W L_E}} \quad (5)$$

$\gamma$ 는  $C_{BC}$ 의 전압에 따른 변화와  $C_L$ 에 따른  $\beta$ 의 변화를 고려한 상수이다. 우선  $C_{BC}$ 의 전압에 따른 크기 변화를 고려하여 등가용량  $C_{BCeq}$ 을 다음식과 같이 표시할 수 있다.<sup>6)</sup>

$$C_{BCeq} = \frac{\Delta Q}{\Delta V} = - \frac{C_{J0} \phi_0}{(V_b - V_a)(1-m)} \left[ \left(1 - \frac{V_b}{\phi_0}\right)^{1-m} - \left(1 - \frac{V_a}{\phi_0}\right)^{1-m} \right]$$

여기서,  $\phi_0$ 는 내장전위,  $m$ 은 접합 그레이딩 상수,  $C_{J0}$ 는 영 바이어스 접합용량이다.  $\phi_0 = 0.8V, m = 1/2, V_b = (V_{0,low} + V_D) - V_{DD}, V_a = (V_{0,high} + V_D) - V_{DD}$ 의 조건에서  $V_b$ 에서  $V_a$ 로 베이스-콜렉터간 전압이 바뀔때 등가용량은 대략 0.56  $C_{J0}$ 가 된다.  $\beta$ 는  $C_L < \beta C_{BC2}$  조건에서,  $C_{BC1}$ 과  $C_{BC2}$ 에 같은 영향을 주게된다. 따라서, 위의 조건에서  $\gamma$ 은 대략 0.5의 값을 갖게 된다.

식(5)에서  $W$ 가 증가하면  $T_{DU}$ 는 감소하고,  $L_E$ 에 따라서는 증가하는 부분과 감소하는 부분이 존재한다. 따라서 일정  $W$ 에 대해  $T_{DU}$ 를 최소로하는  $L_E$ 와 그때의  $T_{DU}$ 를 구하면 식(6), (7)과 같다.

$$L_E = \left( \frac{C_L}{C_{BC1}' + C_{BC2}'} \right)^{2/3} \left( \frac{V_2}{V_1} \right)^{2/3} \left( \frac{I_{DS}}{4\beta_0 I_k'} \right)^{1/3} \quad (6)$$

$$T_{DU,min} = 2.26 \left( \frac{C_{BC1}' + C_{BC2}'}{\beta_0 I_k'} \right)^{1/3} (V_1^{1/3} \cdot V_2^{2/3}) \left( \frac{C_L}{I_{DS}} \right)^{2/3} \quad (7)$$

식(6), (7)은 참고문헌[4]에서 구한 식과는 상이하나 부하용량( $C_L$ )에 대한 의존성이 같다.

2. 면적 최적화

MOS와 Bipolar의 면적은 각각  $L$ 과  $W, L_E$ 와  $W_E$ 의 함수로 나타내지는데,  $L$ 과  $W_E$ 가 일정하다고 보면 BICMOS 버퍼의 면적  $A$ 는  $W + \alpha L_E$ 에 비례하는 것으로 나타내어질 수 있다( $\alpha$ 는 bipolar와 MOS의 layout에 따른 면적비). 식(5)에서 일정  $T_{DU}$ 에 대해  $W$ 를  $L_E$ 의 함수로 표시하여  $A$ 를  $L_E$ 만의 함수로 만들 수 있다.  $dA/dL_E = 0$ 이 되는  $L_{E,OPT}$ 과  $W_{OPT} = f(L_{E,OPT})$ 을 구하면 식(8), (9)와 같다.  $L_{E,OPT}$ 과  $W_{OPT}$ 은  $L_{E,OPT}$ 에서  $d^2 A/dL_E^2 > 0$ 에서 BICMOS의 면적을 최소화함을 보여준다.

$$L_{E,OPT} = \frac{b \cdot C_L}{\sqrt{8a\gamma T(\alpha T + a\gamma)}} \left[ 3a\gamma - \alpha T + \sqrt{(\alpha T + a\gamma)(\alpha T + 9a\gamma)} \right]^{1/2} \quad (8)$$

$$W_{OPT} = \frac{(2a\gamma T L_E^2 + b^2 C_L^2) + \sqrt{4a\gamma b^2 C_L^2 T L_E^2 + b^4 C_L^4}}{2T^2 L_E} \quad (9)$$

그림 7에  $C_L$ 에 따른  $L_{E,OPT}$ 과  $W_{OPT}$ 의 계산결과를 나타냈는데,  $L_{E,OPT}, W_{OPT}$ 는  $C_L$ 에 거의 비례하여 증가함을 알 수 있다.

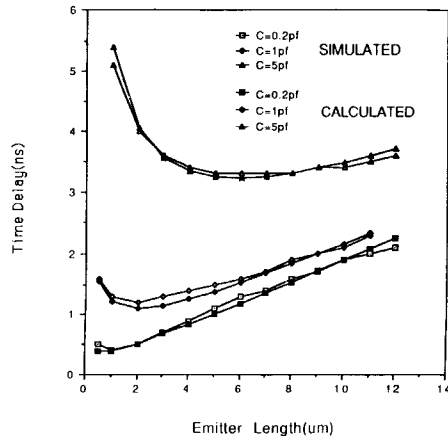


그림 7. 부하 용량( $C_L$ )에 따른  $W_{OPT}, L_{E,OPT}$   
Fig. 7.  $W_{OPT}, L_{E,OPT}$  versus load capacitance.

IV. 이론치와 시뮬레이션 결과와의 비교

표 1에 있는 각 변수의 값을 식(5)에 대입하면 식(10)이 구해진다. ( $W_E = L = 2\mu m$ )

표 1. 소자 파라미터

Table 1. Device parameters.

$C_{bc}' = C_{be}' = 0.01 \text{ pF}/\mu\text{m}$
$\beta_o = 100$
$I_k = 0.5 \text{ mA}/\mu\text{m}$
$T_{ox} = 30\text{nm} \rightarrow C_o' = 115 \text{ nF}/\text{cm}^2$
$ V_{TP}  = 1.2 \rightarrow V_G = 3.8 \text{ (V)}$
$v_L = 10^7 \text{ cm/s}$
$E_c(\text{PMOS}) = 50\text{kV}/\text{cm}$
$E_c(\text{NMOS}) = 20\text{kV}/\text{cm}$

$$T_{Du} = 2.04\gamma \frac{L_E}{W_p} + 3.19 \frac{C_L}{\sqrt{W_p L_E}} \text{ [ns]} \quad (10a)$$

$$T_{Da} = 1.68\gamma \frac{L_E}{W_n} + 2.89 \frac{C_L}{\sqrt{W_n L_E}} \text{ [ns]} \quad (10b)$$

여기서  $C_L$ 과  $W, L_E$ 의 단위는 pF과  $\mu\text{m}$ 이다.

$W_p$ 가  $6\mu\text{m}$  일때 식(10)에서의 계산치를 그림8에 보이고, 표2, 표3의 소자 파라미터를 사용하여 회로 시뮬레이션을 수행하여 그림 8에서 비교하였다. 이때  $\gamma = 0.52$ 이다. 그림 8에 보면 넓은 범위의 부하용량 영역에서 이론치와 시뮬레이션 결과가 일치함을 알 수 있다. 즉, 그림 8에서 이론치와 시뮬레이션 결과가 일치하므로 고안한 모델을 이용하여 구한  $L_{E,OPT}$ 과  $W_{OPT}$ 에서 면적최적화를 나타낸다. 그림 9은 일정  $T_{Du}$ 선을  $W-L_E$  좌표위에 나타내었는데, 역시 이론치와 시뮬레이션 결과가 일치한다. 그림 9의 등고선의

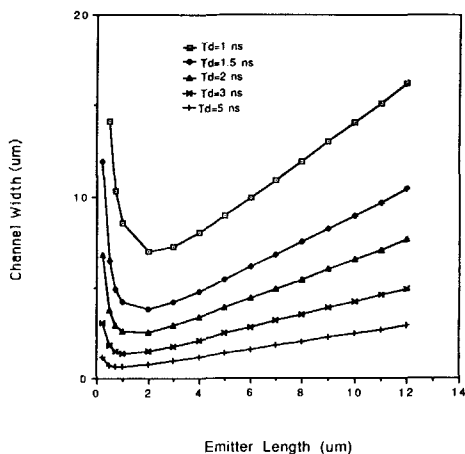


그림 8. 에미터 길이( $L_E$ )에 따른 지연시간  
Fig. 8. Time delay versus emitter length( $L_E$ ).

표 2. MOS의 소자 파라미터

Table 2. Device parameters of MOS transistors.

Parameter	NMOS	PMOS
VTO(V)	1.2	-1.2
KP(AV <sup>-2</sup> )	5.75E-5	2.3E-5
GAMMA(V <sup>-0.5</sup> )	0.354	0.354
PHI(V)	0.66	0.66
PB(V)	0.8	0.8
CJ(Fm <sup>-2</sup> )	1.94e-4	1.94e-4
MJ	0.5	0.5
CJSW(Fm <sup>-1</sup> )	4.0E-11	3.5E-11
MJSW	0.44	0.44
JS(Am <sup>-2</sup> )	1E-9	1E-9
TOX(nm)	30	30
NSUB(cm <sup>-3</sup> )	5.E15	5.E15
XJ( $\mu\text{m}$ )	0.3	0.3
UO(cm <sup>2</sup> /V-s)	500	200
UCRIT(kV/cm)	20	50
VMAX(kms <sup>-1</sup> )	100	100

표 3. Bipolar의 소자 파라미터

Table 3. Device parameters of bipolar transistors.

Parameter	NPN
IS(A)	2E-7
$\beta_F$	100
NF	1
IKF(A)	2E-7
NE	1.5
$\beta_R$	1
NR	1
NC	1.5
$R_B(\Omega)$	50
$R_E(\Omega)$	10
$R_C(\Omega)$	200
VJE(V)	0.7
MJE	0.44
TF(s)	1E-1
VJC(V)	0.75
MJC	0.5
VJS(V)	0.7
MJS	0.5
EG(eV)	1.11
CJC(pF)	0.04
CJE(pF)	0.04
CJS(pF)	0.04

접선에서 면적을 최소화하는  $W_{OPT}$ 와  $L_{E,OPT}$ 을 얻을 수 있다.

단순 BICMOS 버퍼를 개선시킨 BICMOS 버퍼 회

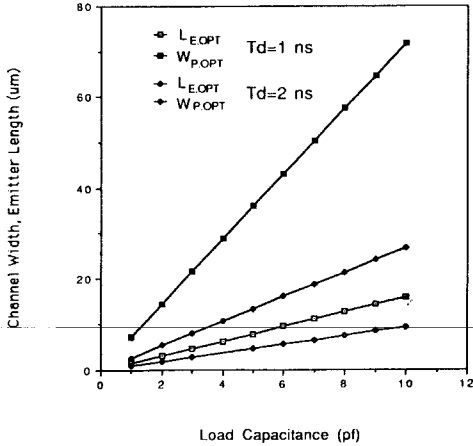


그림 9. 채널폭과 에미터 길이 좌표상의 일정지연 시간 contour  
 Fig. 9. Constant time-delay contour on the coordinates of channel width and emitter length.

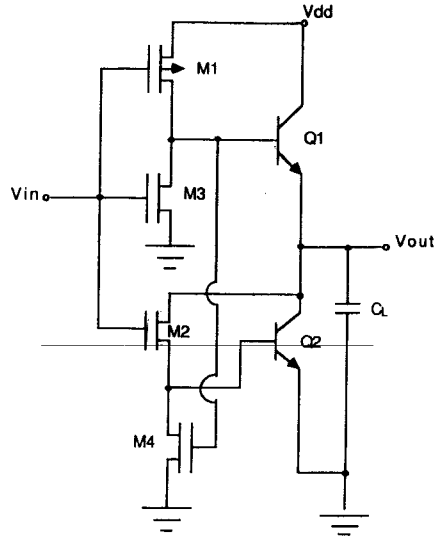


그림 11. 에미터 길이에 따른 지연시간  
 Fig. 11. Time delay versus emitter length.

로를 그림10에 나타냈다.  $M_3, M_4$ 는 각각  $Q_1, Q_2$ 의 베이스 전하와  $C_{BC1}, C_{BC2}$ 에 의해 소비되는 전류를 줄이기 위한 것이다. 이 회로에서의 SPICE 시뮬레이션을 한 값을 그림11에 나타내었다. 이 모델의  $T_{DU}$ 에 관한 식도 식(10)과 같이 표시되는데, 이때 유효  $C_{BC}$  값이 단순 BICMOS 버퍼의 경우보다 감소하게 되며  $\gamma$ 의 값도 작아지며 SPICE 시뮬레이션 값과 비교했

을때  $\gamma=0.44$ 에서 이론치와 잘 일치하였다. (8), (9)식에서 보면  $\gamma$ 가 작아질 경우  $L_{E,opt}$ 과  $W_{P,opt}$ 도 감소함을 알 수 있다.

V. 결 론

고속으로 큰 부하용량을 구동할 수 있는 BICMOS 버퍼의 동작을 해석적으로 분석했다. 그 분석을 이용하여 일정부하에서 최소 지연시간을 얻기 위한 최적 에미터길이 및 일정부하에서 일정지연시간을 얻기 위한 최적의 에미터길이, 채널폭을 구했다. 지연시간은 채널폭이 클수록 감소하는 경향을 보이고, 일정 지연시간을 얻기 위해서는 부하용량의 크기에 거의 비례하는 채널 폭 및 에미터길이가 요구됨을 알 수 있다. 해석적방법은 SPICE 시뮬레이션에 의한 값과 잘 일치함을 보여주었다. 따라서 이 최적화 방법은 BICMOS 버퍼의 크기를 설계하는데 지침이 될 수 있을 것이다.

감사의 글

본 논문을 위해 많은 토의를 하여 주신 전자통신 연구소 송원철씨에게 진심으로 감사를 드립니다.

參 考 文 獻

[1] K. Ogiue et al., "A 13ns/500mW 64Kb ECL RAM," in *Proc. IEEE ISSCC*, pp. 212-213, Feb. 1987.

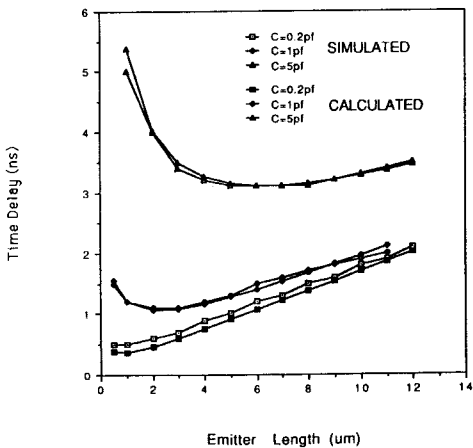


그림 10. MOS 트랜지스터가 추가된 BICMOS 회로도  
 Fig. 10. Conventional BICMOS gate with additional MOS transistors.

- [2] Y. Nishio et al., "A subnanosecond low power advanced bipolar-CMOS gate array," in *Proc. ICCD*, pp. 428-433, Oct. 1984.
- [3] G.P. Rosseel et al., "Delay analysis for BICMOS drivers," in *Proc. IEEE BCTM*, pp. 220-222, 1988.
- [4] H. De Los Santos and B. Hoefflinger, "Optimization and scaling of CMOS-bipolar drivers for VLSI interconnects," *IEEE Trans. Electron Devices*, vol. ED-33, no. 11, pp. 1722-1730, Nov. 1986.
- [5] R.S. Muller and T.T. Kamins, *Device Electronics for Integrated Circuits*, 2nd ed, John Wiley & Sons, 1986.
- [6] D.A. Hodges and H.G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2nd ed. McGraw-Hill, New York, p. 125, 1988.

---

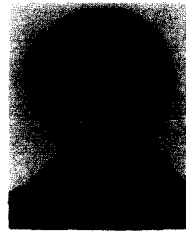
 著 者 紹 介
 

---



韓 喆 熙 (正會員)

1954年 8月 12日生. 1977年 2月 서울대학교 전기공학과 졸업. 1979年 8月 한국과학기술원 전기·전자공학과 졸업(공학석사). 1983年 8月 한국과학기술원 전기·전자공학과 졸업(공학박사). 1983年 8月 ~1987年 8月 금성사 중앙연구소 책임연구원. 1987年 8月 ~현재 한국과학기술대학 및 한국과학기술원 조교수. 주관심분야는 고속반도체 소자 설계 및 회로 설계, 박막소자 등임.



李 熙 德 (準會員)

1967年 4月 15日生. 1990年 2月 한국과학기술원 과학기술대학 전기·전자공학과 졸업(공학사). 1990年 3月 ~현재 한국과학기술원 전기·전자공학과 석사과정 재학중. 주관심분야는 BICMOS 회로 설계 등임.