

# HAN-LALA : 한양 레이아웃 언어

## (HAN-LALA : Hanyang-Layout Language)

金 鉉 坤\* 李 丙 鎬\* 鄭 正 和\*

(Hyun Gon Kim, Byung Ho Rhee, and Jong Wha Chong)

### 要 約

본 논문에서는 LSI/VLSI 레이아웃 설계 자동화를 위한 새로운 레이아웃 설계언어 HAN-LALA를 제안한다. HAN-LALA는 C언어를 확장하여 사용함으로써 레이아웃 기술이 용이하고 preprocessor없이 컴파일되므로 디버깅이 쉽고 설계 시간이 단축된다. 기술 독립적인 레이아웃 설계를 가능하게 하기 위하여 설계 규칙과 공정기술을 독립된 모듈로 구성한다. 또한 관련된 오브젝트들을 그룹으로 정의하여 그룹간 배치를 행하고, river routing, 금지 영역을 고려한 배선 등의 다양한 배선 모듈을 제공하여 세부적인 레이아웃 기술이 없어도 오류 없는 설계가 가능하다.

### Abstract

This paper presents a new layout language, HAN-LALA (HANyang LAYout LAnguage), to automate the LSI/VLSI layout design.

HAN-LALA is a C extension, which is easy to describe the layout. As HAN-LALA is directly compiled with no preprocessor, it renders easy debugging and short design time. For the technology independent layout design, the design rules and the process technologies are organized into the separate modules.

The related objects are grouped and the placement is performed on the groups. Also the various routing modules including a river routing module and the one which can consider the forbidden regions make the layout design error-free without detailed descriptions of the layout.

### I. 서 론

반도체 공정기술이 급속히 발달되어 현재 단일 칩 당 100만개 이상의 회로소자를 갖는 VLSI가 실용화 단계에 이르자 이와같은 고밀도 집적 회로의 설계를

도와주는 CAD 도구 또한 꾸준히 발달하였다. 그러나, 칩당 100만개 이상의 복잡도를 처리하기 위해서는 단순히 많은 데이터를 저장, 처리하는 CAD 도구는 불가능하게 되었다. 따라서, 집적회로의 복잡도는 회로 설계시 극복하여야 할 가장 큰 문제점이 되었으며, VLSI의 저가격과 높은 성능을 충분히 활용하기 위해서는 복잡도에 대한 분명한 이해와 이를 처리할 수 있는 방법론이 필요하게 되었다.<sup>1)</sup>

복잡도를 효율적으로 처리하는 방법중의 하나로 설계를 표준화시켜 설계 자동화를 꾀하였으나 이는 실리콘 면적과 회로 성능에 심각한 제한을 가져오게

\*正會員, 漢陽大學校 電子工學科  
(Dept. of Elec. Eng., Hanyang Univ.)

接受日字 : 1989年 6月 13日

(※ 본 연구는 1989년도 한국과학재단의 연구비 지원에 의해 수행되었음.)

되어, 설계 표준화를 벗어난 full custom 방식의 CAD 도구의 개발이 필요하게 되었다.

Full custom 방식의 설계는 크게 2가지의 방법으로 구성된다. 이는 대화형 그래픽 시스템<sup>12-4)</sup>을 이용하여 설계하는 방법과 레이아웃 기술언어인 레이아웃 언어<sup>12-5)</sup>를 이용하는 방법이다. 대화형 그래픽 시스템은 레이아웃의 기본 성분들을 그래픽 오브젝트로 하고, 일련의 명령어들을 이용하여 이들 그래픽 오브젝트들을 배치함으로써 레이아웃 설계를 행하는 방법이다. 이는 설계자가 자신의 작업 과정과 그 결과를 보면서 설계를 행하기 때문에 설계자의 직관력이 설계에 중요한 역할을 하고 디버깅(debugging)이 용이하다는 장점이 있다. 그러나, 그래픽 오브젝트들은 서로 독립적으로 배치되므로 설계가 지루하고 단순한 작업이 되는 단점이 있다. 또한, 가장 큰 단점으로는 설계규칙이나 공정기술이 변하게 되면 재설계가 필요하다는 것이다.

이러한 문제점들은 대화형 그래픽 시스템에서의 설계에는 programmability가 없기 때문에 발생하는 것으로, 설계에 programmability를 증대시키기 위해서는 프로그래밍 언어의 표현력과 능력을 이용하여 설계를 행하는 것이 가장 적절하다.<sup>10)</sup> 즉, 절차형 프로그래밍 언어의 파라미터, 조건 분기, label, loop 등을 이용하여 설계를 행하는 경우 설계를 알고리즘적으로 기술할 수 있고, 설계규칙과 공정기술을 파라미터화하여 설계규칙과 공정기술에 독립적인 설계를 행할 수 있다.

레이아웃 언어는 new layout language와 embedded layout language의 2가지로 분류된다. New layout language로는 ICEWATER<sup>5)6)</sup> 등이 있으며 이는 집적회로 설계에 적합하도록 고안한 언어로서 설계상의 여러 특성을 세부적으로 기술할 수 있다는 장점은 있으나, 구문의 어려움으로 설계자가 이용하기 어렵다는 단점이 있다. 반면에 Pascal을 확장한 ALI<sup>7)</sup>, Layla<sup>8)</sup>와 C언어를 확장한 CHISEL<sup>9)</sup>과 같은 embedded layout language는 프로그래밍 언어를 레이아웃 설계에 적합하도록 확장한 언어로서 설계자가 이미 언어의 구문을 잘 알고 있으므로 배워서 이용하기 쉬우며 확장이 용이하다는 장점이 있다. 그러나, 이들은 preprocessor에 의해 중간 소스화일을 생성한 후 컴파일러를 거쳐 mask data를 생성하는 coding-preprocessor-compiler의 설계 cycle에 의해 설계가 행해진다. 따라서 디버깅이 어렵고 설계시간이 길어지는 단점이 있다.

본 논문에서는 프로그래밍 언어인 C언어<sup>11,12)</sup>를 이용하여 사용하기 쉬우며 preprocessor가 필요

없이 직접 컴파일러에 의해 mask data를 생성하고 설계규칙과 공정기술에 독립적인 레이아웃을 설계하는 새로운 레이아웃 언어 HAN-LALA를 제안한다.

## II. HAN-LALA (Hanyang-Layout-Language)

HAN-LALA는 VLSI 설계 자동화를 위해 프로그램 언어인 C언어를 이용하여 레이아웃 설계를 효율적으로 기술하도록 하는 레이아웃 설계언어이다.

HAN-LALA는 다음과 같은 특징을 갖는다.

1) 셀 설계가 쉽고 라이브러리 셀을 효율적으로 관리할 수 있다.

VLSI 설계시 cell based 설계방식에 의해 설계를 행하는 경우 설계시간을 단축할 수 있다. Cell based 설계방식의 대표적인 예로는 표준 셀 방식으로 이는 표준 셀 라이브러리를 이용하여 설계를 행하게 된다. 그러나, 표준 셀 라이브러리는 공정상의 작은 변화에도 새로운 라이브러리 셀을 설계, 검증하여야 하는 문제점과 설계시 실제로 이용되는 셀의 수가 적으나 모든 라이브러리 셀들을 가지고 있어야 하므로 셀 라이브러리의 효율적 이용이라는 측면에서 문제점이 있다. 이러한 문제점을 해결하기 위해서는 라이브러리 셀들을 파라미터화시키는 것이 필요하므로 HAN-LALA를 이용하여 파라미터화된 셀을 설계한다.

2) 사용하기 편리하다.

HAN-LALA는 C언어를 이용한 레이아웃 언어로 설계자는 새로이 구문을 기억할 필요가 없기 때문에 빠른 시간내에 익힐 수 있으며 사용하기 편리하다. C언어가 저급언어인 동시에 고급언어이므로<sup>11,12)</sup> 레이아웃의 세부적인 기술도 충분히 할 수 있기 때문에 레이아웃 언어로 적절하다.

3) Open ended 도구의 성격을 갖는다.

레이아웃 언어를 이용하지 않는 CAD도구는 closed 도구의 성격을 가지고 있으므로 초기에 허용되는 시스템 이외의 설계는 자동화하기 어려운 제한조건을 갖는다. HAN-LALA는 C언어를 이용한 절차형 레이아웃 언어이므로 확장성을 제공할 수 있어 설계 자동화를 위해 개발된 다른 CAD 도구와의 결합이 가능하다.

4) 계층설계가 가능하다.

HAN-LALA는 이미 설계된 셀을 이용하여 설계를 행하는 경우, 셀을 bounding box로 간주하고 셀들간의 연결을 고려하여 셀을 계층구조로 설계함으로써 설계자의 부담을 줄일 수 있다.

5) 공정기술에 독립적이다.

설계규칙과 공정기술을 독립된 모듈로 구성하여 설계규칙과 공정기술로부터 독립된 셀의 설계가 가

능하다. 즉, 소수의 leaf cell들을 제외한 나머지 복합 셀들은 주어진 설계규칙과 공정기술 모듈과 링크 시켜 재컴파일함으로써 새로운 설계규칙과 공정기술에 따르는 mask data를 생성한다. 따라서, 재설계와 검증의 필요성이 없어 재설계와 검증의 비용을 줄인다.

6) 표준 C 라이브러리를 사용한다.

C언어에서의 다양하고 세부적인 여러 연산자와 화일 I/O utility를 이용할 수 있도록 함으로써 레이아웃 언어의 표현력을 극대화하였다. 예로서, 공정기술상의 mask layer 들을 bit-mask로 표현함으로써 mask layer의 선택은 표준 C 연산자인 '||'(OR)를 이용한다.

7) Default 값을 사용한다.

레이아웃 설계를 위한 HAN-LALA의 라이브러리들은 다수의 파라미터를 갖게 되는데 이들 파라미터들을 예약어(keyword)파라미터화하여 설계자가 필요치 않은 파라미터들은 자동적으로 default 값을 갖도록 하여 간편하고 편리하게 레이아웃을 기술하도록 한다.

8) Preprocessor가 필요없다.

HAN-LALA는 중간소스 화일의 생성을 위한 preprocessor를 거치지 않고 직접 C 컴파일러에 의해 최종 출력인 mask data를 생성하므로 preprocessor에 의한 지연시간을 제거한다.

다음은 설계시 사용되는 HAN-LALA 라이브러리에 대한 설명이다.

1. 레이아웃의 기본 구성요소 생성

1) Box

Box는 layer와 크기, 좌표점을 파라미터로 한다. 다음은 polysilicon과 diffusion box를 셀 c의 구성요소로 정의하는 예이다(그림 1(a)).

```
b1 = CreBox(POLY, 2, 5, 0, 0);
b2 = CreBox(DIFF, 5, 2, 0, 0);
DefBox(c, b1, b2);
```

2) Wire

Wire는 layer, 폭, 끝점(end point)의 기본 파라미터와 배선방식에 따라 다른 파라미터를 필요로 한다.

HAN-LALA는 wire를 여러개의 segment box들로 분할하여 설계자가 특정 segment를 선택하여 배치, 배선을 할 수 있도록 한다. 그림 1(b)는 끝점을 갖는 wire를 나타낸다.

Bus는 wire의 특수한 형태로 이름, type(수평, 수직), layer, 폭을 파라미터로 한다. 다음은 Vdd 이름의 폭 4인 metal bus를 생성하는 예이다(그림 1(c)).

```
Bus("Vdd", H, MEATL, 4);
```

3) Port

Port는 이름, 외부 연결시 허용되는 방향과 layer, 크기, 좌표를 파라미터로 한다. Port는 계층설계의 연결점에 해당되는 것으로 개별적으로 설계된 셀들을 서로 연결시 중요한 역할을 하게 된다. 다음은 셀 c에 in1과 in2의 port를 정의하는 예이다(그림 1(d)).

```
p1 = CrePort("in1", E | S | N, POLY, 2, 2, 0, 0);
p2 = CrePort("in2", E | S | N, POLY, 2, 2, 0, 5);
DefPort(c, p1, p2);
```

4) 셀

셀은 이름과 셀 파라미터 리스트를 파라미터로 한다. HAN-LALA는 동일 이름과 파라미터로 생성된 셀이 있는 경우에는 새로운 셀을 생성하지 않고 복사된 셀을 이용하여 기억공간과 시간을 절약한다.

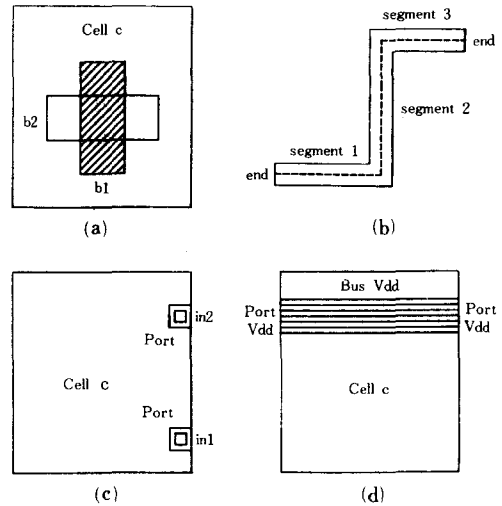


그림 1. 기본 구성요소  
Fig. 1. Primitive component element.

2. 기본 소자

1) Contact

Contact은 type(P-DEV, N-DEV등)을 파라미터로 하는 가장 간단한 셀로 계층구조에서 leaf cell에 해당된다. 다음은 polysilicon contact을 생성하는 예로 polysilicon과 metal, contact layer로 구성되며 전체 셀이 port가 된다(그림 2(a)).

```
contact(POLY);
```

2) 트랜지스터

트랜지스터는 type과 채널의 폭대 길이의 비를 파라미터로 한다. 트랜지스터는 수직 polysilicon gate와

우측에 source, 좌측에 drain의 3단자를 갖는다. 또한, 채널의 폭대 길이의 비가 1.0인 트랜지스터를 단위 트랜지스터로 정의하여 설계규칙에 의해 polysilicon gate와 diffusion의 크기를 자동적으로 계산한다. 다음은 p-mos 또는 load type의 단위 트랜지스터를 생성하는 예이다(그림 2(b)).

transistor(P\_DEV, 1.0);

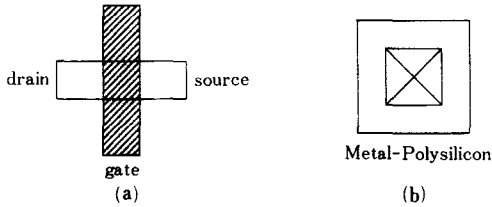


그림 2. 기본 소자  
Fig. 2. Primitive device.

3. 배치

대부분의 레이아웃 언어는 2개 오브젝트간의 상대적인 배치만을 행함으로써 이전에 배치, 배선된 오브젝트들을 고려할 수 없으므로 설계규칙이나 파라미터가 변경되는 경우 설계오류가 발생하게 된다. 그림 3은 한 예로 초기 배치 결과인 (a)가 설계규칙, 또는 파라미터가 변경됨에 따라 (b)와 같은 설계오류가 발생하게 된다.

HAN-LALA는 관련된 오브젝트들을 그룹으로 정의하고 그룹간 배치를 행하여 이와같은 설계오류를 제거한다. 그림 4는 한 예로 A, B, C(그룹 1)과 D, E, F(그룹 2)의 2개 그룹에서 C 우측에 F를 배치하고자 하는 경우 그룹 1의 우측에 그룹 2를 배치하고자 하는 경우 그룹 1과 2는 동일 그룹으로 정의한다.

HAN-LALA는 다음의 3가지 방식으로 배치를 행한다.

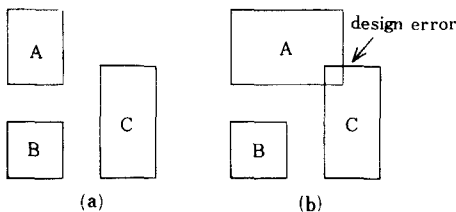


그림 3. 설계 오류  
Fig. 3. Design error.

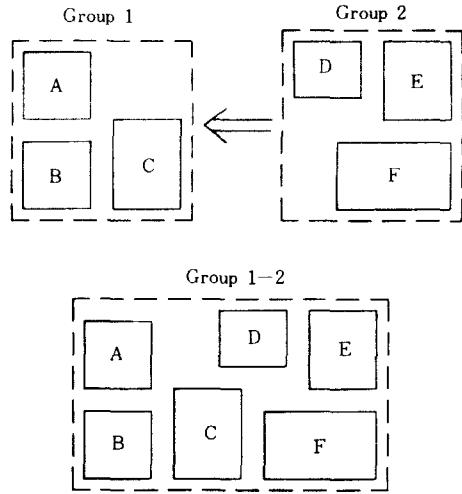


그림 4. 그룹 배치  
Fig. 4. Group placement.

1) 4방향에 대한 배치

기준 오브젝트의 상, 하단 또는 좌, 우측에 배치하는 것으로 다음과 같이 기술한다.

PlaceUp(A, B, S |E, N |E, sep);

이는 A의 우측 하단과 B의 우측 상단을 기준으로 A를 sep 간격만큼 B의 상단에 배치한다(그림 5(a)). sep가 설계규칙에 어긋나거나 기술되지 않은 경우에는 자동적으로 설계규칙에 의해 계산된다.

2) 기준점에 의한 배치

2개 오브젝트의 기준점에 대해 배치하는 것으로

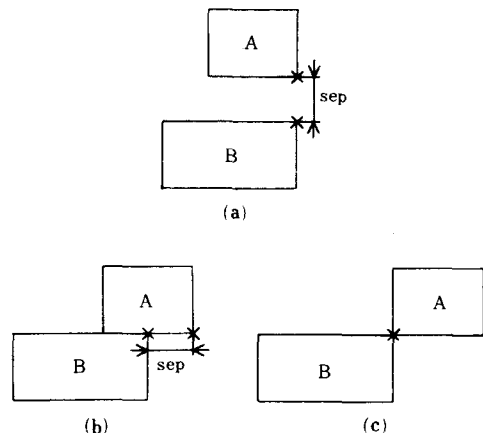


그림 5. 배치  
Fig. 5. Placement.

다음과 같이 기술한다.

PlaceRef (A, B, S | E, N | E, sep);

이는 A의 우측 하단점을 B의 우측 상단점에서 sep 간격만큼 이동 배치한다(그림 5(b)).

3) 절대 위치에 의한 배치

절대 좌표계 상에서 주어진 좌표점에 의해 배치하는 것으로 다음과 같이 기술한다.

PlaceXY (A, B, X (B, E), Y (B, N));

이는 B의 우측 상단에 A를 배치한다(그림 5(c)).

4. 배선

배선은 wire를 이용하여 전기적으로 2개 오브젝트 사이를 연결하는 것으로 레이아웃 언어에서는 단순하나, 어떠한 경우에도 적용할 수 있는 일반적인 배선방식이 필요하다.

HAN-LALA는 다음의 3 가지 방식으로 배선을 행한다.

1) 경로에 의한 배선

가장 단순하고 최단 경로의 배선을 행할 수 있는 배선방식으로 다음과 같이 기술한다.

PathConnect(path, 6, METAL, MinWidth(METAL));

이는 path로 주어진 6개 점의 경로에 metal 최소폭으로 metal wire를 생성한다(그림 6(a)).

2) 금지영역에 의한 배선

경로에 의한 배선은 단순하고 최단경로의 배선을 행할 수는 있으나 배선경로를 설계자가 기술하여야 하는 단점과 설계규칙이나 파라미터가 변경됨에 따라 설계오류가 발생하게 된다. 그림 7은 한 예로 초기 설계 결과인(a)가 설계규칙이나 파라미터의 변경에 의해 (b)와 같은 설계오류가 발생하게 된다.

HAN-LALA는 이와같은 문제점을 해결하기 위하여 설계규칙에 의해 계산된 금지영역을 설정한 후 이 영역주변을 경로로 하여 배선하는 방식을 제공한다. 금지 영역을 이용한 배선방식의 기술은 다음과 같다.

r=Region(obj1, POLY);

RegConnect(obj2, obj1, r, POLY, ...);

이는 obj1에서 polysilicon 과의 설계규칙에 따르는 최소 bounding box를 금지영역 r로 설정한 후, obj2와 obj1을 polysilicon wire로 연결한다(그림 6(b)).

3) River Routing<sup>(13)</sup>

River routing은 다음과 같은 제약 조건을 갖는 배선방식이다.

a) 단일 layer를 이용하며, wire 들은 서로 교차할 수 없다.

b) 각 net는 상, 하열, 또는 좌, 우측열의 2개

port 열로 구성된다.

c) 각 net는 순서적으로 되어 있다.

다음은 river routing을 기술하는 예로 상, 하에 각각 10개의 port 열인 P, Q를 polysilicon 레이어로 배선한다(그림 6(c)).

RiverUp(P, Q, 10, POLY, MinWidth(POLY));

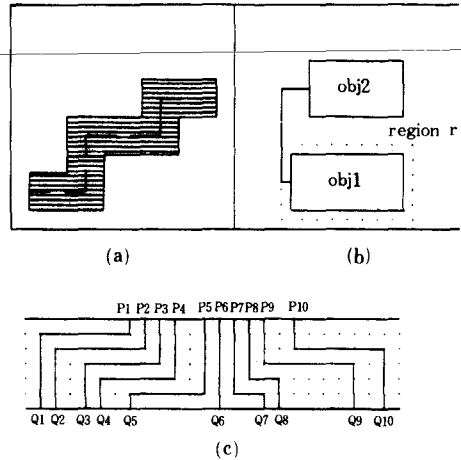


그림 6. 배선  
Fig. 6. Routing.

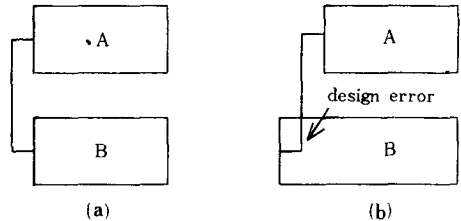


그림 7. 설계오류  
Fig. 7. Design error.

5. 이동

이미 정의된 셀을 이동 배치하는 것으로 HAN-LALA는 셀 내부의 모든 오브젝트들의 좌표값을 변경하지 않고 3\*3의 천이행렬(transform matrix)을 이용하여 각 오브젝트의 좌표값을 계산할 수 있도록한다.

III. 실험 및 고찰

본 논문에서 제안하는 HAN-LALA는 IBM/PC AT MS-DOS상에서 C 프로그래밍 언어로 실현하였다.

다음은 pullup과 pulldown 셀의 비를 파라미터로 하는 inverter의 기술 예이다. Inverter 회로는 pullup과 pulldown의 서브셀로 구성되며, 이는 transistor와 contact의 leaf cell로 구성된다. 본 실험은 Orbit Semiconductor Inc. design rule<sup>1)</sup>과  $2\mu\text{m}$  polysilicon double metal p-well process를 이용하였다.

```
Cell *inverter (z)
float z;
|
Cell *c, *pu, *pd, *cut;
Port *pu-drain, *pd-drain, *pu-gate, *pd-gate;
Wire *w;
Box *r;
/*이전에 동일 inverter cell이 정의되었는가 조사 */
if((c = SameCell("inverter","%f",z)) != NULL)
    ReturnCell(c);
/*새로운 inverter cell 정의 */
c = BeginCell("inverter","%f",z);
/*subcell인 pullup과 pulldown cell 생성 */
pu=pullup(z); pd=pulldown(1.0);
/* pullup cell을 pulldown cell 상단에 배치 */
PlaceUp(pu, pd);
/* 각 cell의 drain을 연결 */
pu-drain=d(pu); pd-drain=d(pd);
w=RegConnect(pu-drain, pd-drain);
NameWire(w, "out");
/* 각 cell의 gate를 연결 */
pu-gate=g(pu); pd-gate=g(pd);
r=Region(POLY, pu);
RegConnect(pu-gate, pd-gate, W, W, r, CCW);
NameWire(w, "in");
/* Vdd와 Vss bus 생성 */
w=Bus("Vdd",HOR, METAL, MinWidth(VDD));
PlaceRef(w, FindPort(pu, "Vdd"));
w=Bus("Vss",HOR, METAL, MinWidth(VSS));
PlaceRef(w, FindPort(pu, "Vss"));
/* pulldown cell을 P-WELL로 cover */
DefWell(N-DEV, P-WELL, pd);
|
EndCell(c, pu);/* inverter cell 정의를 끝냄 */
ReturnCell(c);
|
```

그림 8은 inverter (2.0)의 결과를 그래픽으로 출력한 최종 결과이다.

#### IV. 결 과

본 논문에서는 LSI/VLSI 레이아웃 설계 자동화를 위한 레이아웃 설계언어 HAN-LALA를 제안하였다.

HAN-LALA는 프로그래밍 언어인 C언어를 확장

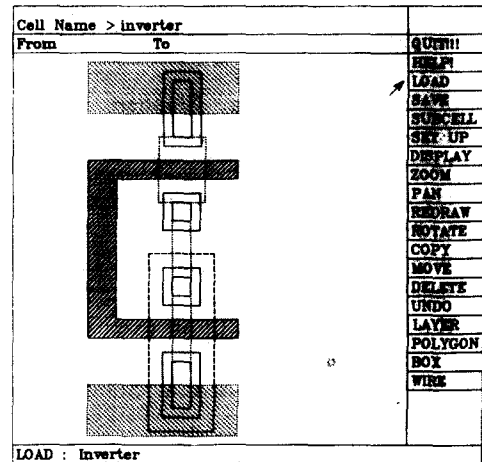


그림 8. inverter (2.0)

Fig. 8. inverter (2.0).

한 설계언어로 확장성이 뛰어나 cell generator, silicon compiler의 개발에 중요한 역할을 하여 CAD 도구의 개발에 큰 도움이 될 것으로 기대된다.

앞으로의 연구과제로는 2차원의 레이아웃을 1차원의 레이아웃 설계언어로 기술하는 과정에 수반되는 어려움을 해결하는 것이다. 이러한 문제점은 레이아웃의 2차원성을 표현하는 대화형 그래픽 시스템과의 결합<sup>15)16)</sup>으로 처리할 수 있을 것으로 기대된다.

#### 參 考 文 獻

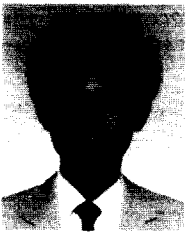
- [1] Carlo H. Sequin, "Managing VLSI complexity: An outlook," *Proceeding of the IEEE*, vol. 71, no. 1, pp. 149-166, January 1983.
- [2] D.G. Fairbairn and J.H. Rowson, "ICARUS: An interactive integrated circuits layout program," in *Proc. 15th D.A.C.*, pp. 188-192, 1978.
- [3] B. Infante et al., "An interactive graphics system for the design of integrated circuits," in *Proc. 15th D.A.C.*, pp. 182-187, 1978.
- [4] Ousterhout, J., "The user interface and implementation of an IC Layout Editor," *IEEE Trans. CAD*, vol. 3, no. 3, pp. 242-249, 1984.
- [5] Patrick A.D. Powell and Mohamed I. Elmasry, "The ICEWATER silicon compiler," *1983 IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 526-529, 1983.

- [6] P.A.D. Powell, M.I. Elmasry, "ICEWATER language and interpreter," 21th D.A.C., pp. 98-102, June 1984.
- [7] Richard J. Lipton, Stephen C. North, Robert Sedwick, Jacobo Valdes and Gopalkrishnan Vijayan, "ALI: a procedure layout language to describe VLSI layouts," in Proc. 19th D.A.C., 1982.
- [8] Warren E. Cory, "Layla: A VLSI Layout language," in Proc. 22nd D.A.C., 1985.
- [9] Karplus, K. "CHISEL: an extension to the programming language C for VLSI layout," Ph.D. thesis, Dept. of C.S., Stanford Univ., Stanford, CA.
- [10] Steven M. Rubin, Computer Aids for VLSI Design, Addison-Wesley Publishing Company, 1982.
- [11] Brian W. Kernighan, Dennis M. Ritch, The C Programming Languages, Prentice-Hall, Inc., 1983.
- [12] L. Rosler, "The evolution of C-past and future," Technical Journal, vol. 63, no. 8, Part 2, pp. 1685-1699, 1984.
- [13] Dolev, D., K. Korplus, A. Siegel, A. Strong and J.D. Ullman, "Optimal wiring between rectangles," in Proc. 13th Annual ACM Symposium of Theory of Computing, pp. 312-317, May 1981.
- [14] D.A. Pucknell, K. Eshraghian, Basic VLSI Design and System, Prentice-Hall, 1988.
- [15] Trimberger, Stephen, "Combining graphics and A layout language in a single interactive system," in Proc. 18th D.A.C., pp. 234-239, June 1986.
- [16] Clarke, Edmund and Feng, Yulin, "Escher-A geometrical layout system for recursively refined circuits," in Proc. 23rd D.A.C., pp. 650-653, 1986.

---

 著 者 紹 介
 

---



金 鉉 坤 (正會員)  
 1964年 4月 30日生. 1986年 한양  
 대학교 전자공학과 졸업. 1989年  
 한양 대학교 전자공학과 졸업. 석  
 사학위 취득. 주관심분야는 VLSI  
 특히 Layout 등임.

李 丙 鎬 (正會員) 第26卷 第1號 參照  
 현재 한양대학교 전자공학과  
 부교수

●

鄭 正 和 (正會員) 第27卷 第3號 參照  
 현재 한양대학교 전자공학과  
 교수