論文 90-27-3-10

LDD 소자 최적화의 실험적 고찰

(An Experimental Investigation of LDD Device Optimization)

姜 大 官*, 金 達 洙*, 金 賢 哲*, 宋 洛 雲**

(Dae Gwan Kang, Dal Soo Kim, Hyun Chul Kim, and Nag Un Song)

要 約

본 논문에서는 LDD 소자의 최적화의 물리적 의미를 수치 씨뮬레이션을 통해 다루었으며 관련 실험을 통하여 최적화된 LDD 구조를 해석해 보았다.

첫째, 수치해석에 의하면 최적화 조건시에 드레인 n-영역에서의 전계는 고르며 낮은 분포를 보이고 있고, 전류는 이 영역에서 넓게 퍼져 흘렀다. 아울러 이때 최적점은 모든 공정 및 전기조건을 고려하여 총체적으로 최적화하여 얻어져야함이 발견되었다.

둘째, 실험에 의하면 최적 조건의 경우 기판전류와 드레인 전류비에 의해 n-영역의 최대전계는 극소화되었다. 이때 소자의 수명은 최대가 되었으며 n-영역의 저항은 channel 저항에서 n^+ 접합 저항으로 유연하게 변환이 되었다.

Abstract

In this paper, the physical meanings of LDD optimization are treated by numerical simulation and related experiments are attempted to analyzed the optimized LDD structure.

Firstly, according to the numerical analysis, the electric field under the n-region near drain is low and uniformly distributed and the current flow is widely distributed in this region under the optimized conditions. It is also found that this optimized point should be achieved by globally optimizing all the process and electrical conditions.

Secondly, the maximum electric field, which is obtained from the substrate current to the drain current ratio, is minimized under the optimized condition according to the experiment. Further, the device lifetime is maximized and the n-resistance is changed smoothly from the channel resistance to the n+ junction resistance.

I. 서 론

트랜지스터 소자의 크기가 micrometer 수준으로 작아짐에 따라 scaling law에 어긋나는 여러가지 현상에 대한 물리적인 해석이 필요하게 되었다. 특히 게이트 길이가 줄어듦에 따라 일어나는 hot electron문제는 소자의 breakdown 및 reliability들의 문제에 심각한 영향을 주게되어 이의 개선을 위하여 게이트, 드레인간의 최대 전계치를 감소시키는 LDD(Lightly Doped Drain) 소자가 제안되게 되었다. 이로인해 hot-electron 문제는 어느 정도 개선이 되었으나, 동작 전

*正會員, 金星 일렉트론 株式會社
(GoldStar Electron Co. Ltd.)
**正會員, 弘益大學校 電子工學科
(Dept. of Elec. Eng., Hongik Univ.)
接受日字 : 1989年 2月 27日

류의 감소, 전극간의 중첩 용량 증가 등의 영향으로 인해 소자의 속도는 감소하는 경향을 보이므로 이들 간에 tradeoff가 필요하게 되며 최적 LDD구조가 결정되게 된다.

따라서 이러한 모든 요구 조건들을 최적화하는 것이 바람직하나 실제로는 이것이 불가능하므로 가중치를 두어 고려를 하게 된다. 본 논문에서는 최적화의 가장 중요한 조건을 게이트-드레인 간의 영역의 최대 전계치를 극소화하는 것으로 정하였다. 이 최적점을 정하는 데는 n-이온주입 도우스 양 이외에도, 유효 게이트 길이, sidewall 길이, 인가전압 등의 변수가 영향을 미치게 되어 실제로는 이들 변수들로 부터 globally optimized된 점을 찾는 것이 중요하게 된다.

많은 연구들이 이러한 최적점을 찾아가는 과정에서 1차원 및 2차원 해석[1-4] 등을 통해 n-영역에서의 최대 전계 E_m의 최소화를 구하였으나 이는 주로 제한된 단일 변수 (n-dose)에 의해서만 고찰되었으며 이때 타 변수의 영향의 고려는 매우 부족하였으며 아울러 이의 실험적인 검증은 매우 미흡하였다. 본 논문에서는 이를 개선하기 위해 이러한 globally optimized점을 찾는 과정을 2-D (2차원) 씨뮬레이션을 통해 물리적으로 고찰하였으며, 아울러 관련 실험을 통해 확인하였다.

Ⅱ. 이 론

본 장에서는 LDD 구조에서의 드레인 n- 영역에서의 전계 분포와 전류 흐름을 2차원 수치 해석 방법을 통해 구함으로써 LDD 최적화의 물리적 의미를 고찰하였다.

1. 최적화의 물리적 의미

그림 1. a과 같은 LDD구조의 소자를 고려해보자. 다음 그림 1.b에는 우리가 conventional로 부르는 소자(그림 1.a와 동일하나 n-implant 생략)를 나타내었다. 그림 1.a에서 드레인 부근에서 n-영역의 implantation dose(이하 "도우스") 값이 낮아질수록 이는 conventional p-n^+ 접합에 근사하게 되어 전위변화는 드레인 쪽으로 이동, E_m의 피크점이 생기게 된다. 이 경우 게이트 밑은 n-영역에 전자 축적 현상으로 인해 소위 채널 연장이 생기게 된다. 한편 n-영역의 도우스 값이 높아질수록 이또한 conventional p-n^+접합에 근사하게 되고 대부분의 전위 변화가 이 경계면 좌측으로 이동하게 되어 채널 감소 현상이 생기게 된다. 이 경우 E_m 피크치는 n-좌측쪽으로 이동하게 된다. n-도우스 값이 이들의 중간인 경우 E_m 피크치는 n-영역 내에 존재하며 전계는 n-영역에 고르게 퍼지는 경향이 나타난다.[5] 이를 간단히 도식화하면 그림 2와 같다. 이에 대한 구체적 결과를 다음 절에서 고찰하였다.

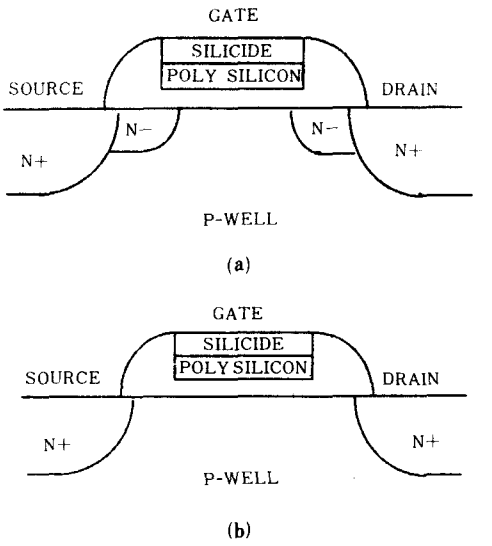

그림 1. (a) LDD MOSFET
(b) 수정된 convenentional MOSFET (sidewall 첨가. 본 연구에서는 이 구조를 conv. MOSFET로 지칭)

Fig. 1. (a) LDD MOSFET.
(b) Modified conventional MOSFET (sidewall added., This type of MOSFET is called "conv. MOSFET"in this work)

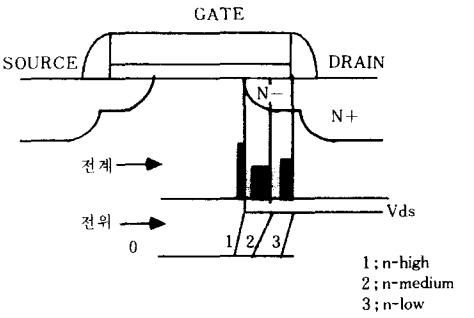

그림 2. n-농도를 바꾸었을때 경우 드레인 근사 전위와 전계 분포(1;n-고, 2;n-중, 3;n-저)

Fig. 2. Approximate pontential, electric field distribution near drain edge when n-doping is varied(1;n-high, 2;n-medium, 3;n-low).

2. 2-D 씨뮬레이터에 의한 고찰

여기에서는 2-D 씨뮬레이터를 통해 LDD 소자를 해석해 보았다. 그림 1.a의 n-영역의 표면 도우핑 농도를 바꾸어가며 전위와 전계 및 전자농도분포를 구해 그림 3-5에 도식화 하였다.

(n^+ junction depth ; 0.3 μm, n^- junction depth ; 0.15 μm, lateral diffusion ratio ; 0.8, n^+ 표면전자농도 ; 1.9E19cm^{-3}, gate oxide 두께 ; 250Å, side-wall length ; 3000Å, L mask ; 1.2 μm) 이때 n^- 표면농도는 0 (a), 1E17(b), 1E18(c)로 변화하였는데 0인 경우는 n^- implantation 과정을 생략한 것으로 side-wall 만 있는 conventional 소자로 볼 수가 있다. (이하 conv. 으로 표시, 그림 1.b 참조)

그림 4 에 전계분포(여기서는 절대치)를 도식화 하였는데 피크 전계는 n^- 도핑이 중간, 즉 조건 b일때 대체로 가장 낮았다. 그림 5 의 전자농도의 경우 1E 18/cm^3를 기준으로 전류 흐름을 볼때 그림 b에 비해

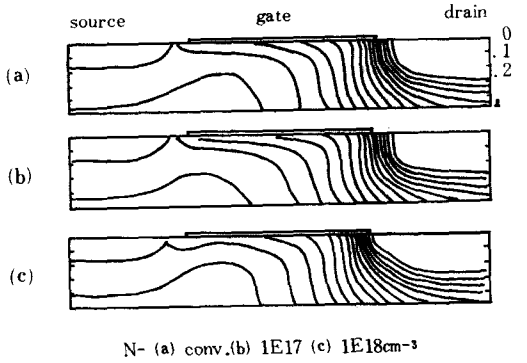

그림 3. 전위 분포
(Vgs=3V, Vds=7V, 0.5V/div)
Fig. 3. Pontential distribution
(Vgs=3V, Vds=7V, 0.5V/div).

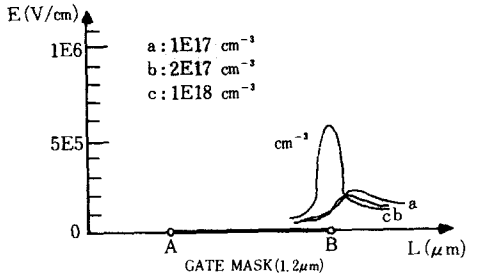

그림 4. 전계분포(Vgs=3V, Vds=7V)
Fig. 4. Electric field distribution
(Vgs=3V, Vds=7V).

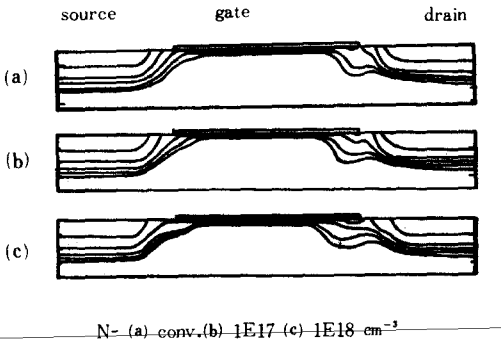

그림 5. 전자 밀도 분포(1E15~1E19/CM^3, dec/div)
Fig. 5. Electron density distribution
(1E15~1E19/CM^3, dec/dev).

그림 a (1E17), 그림 c (1E18)에서는 표면으로 전류가 집중됨을 알수 있으며, 그림 b의 경우 1E17-1E 18/cm^3의 전자 농도의 전류 채널 폭이 커짐을 알 수 있다.

이를 확인하기 위해 주어진 게이트, 드레인바이어스 조건에서 n^- 표면 도우핑 농도를 1E16/cm^3 정도의 매우 낮은 경우와 이 농도를 1E18/cm^3이상으로 증가시키면 n-영역의 전자와 전위 분포를 살펴보면 게이트 밑의 n- 영역의 표면 부위에서 전자의 축적, 공핍, 반전 여부를 알 수 있다. 한 예로 n- 농도가 1E16/cm^3 oqder인 경우 최대 전위 변화(즉 최대 전계)가 드레인 쪽으로 이동하게 되어 n- 표면은 전하 축적이 생기며 1E17/cm^3 order로 가면 최대 전계는 드레인 근방에서 n- 근방 쪽으로 이동하게 되고 n- 영역에서 좌측은 축적, 우측은 공핍되는(나아가서는 반전) 경향이 생긴다. 한편 n-농도가 1E18/cm^3 order가 되면 반전 전압은 증가하게 되어 계속 축적 현상이 일어나게 된다. 실제로 1E17 /cm^3 order에서는 n- 영역에 약한 전하 축적이 형상이 되어 전위변화가 균일하게 증가하는 현상을 나타나게 되어 이 근처에서 전계의 평준화 된 분포가 이루어지게 된다.

동일한 2-D 수치 해석 방법으로 n^- 도우핑 이외에도, sidewall 길이, 바이어스 등을 바꾸어 가며 피크 전계치를 구해 보았다(그림 6). 이에 의하면 E_m의 극소화는 제반 변수들의 조건을 고려하여 global optimization을 찾는 것이 옳다고 믿어지며 한 예로 |Vg| 전압이 증가할수록 전계 최소점의 n^- 값은 증가하였으며 E_m 최소점 부근에서는 게이트의 드레인 측 표면 전위는 Vt(임계치 전압) 부근에 근접해 있었다. 엄밀히 global optimization 점을 찾고자 하려면 existence와 uniqueness를 따져야 하나, 여기에서는

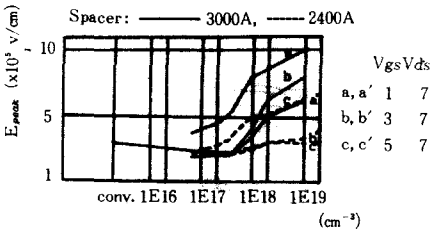

그림 6. 피크 전계 변화
Fig. 6. Peak electric field variation.

실험적으로 주어진 조건하에서 최적화를 여러 변수들로부터 global 변화량을 찾아서 구해야 한다는 점으로 국한하였다(global 강조).

3. 측정 방법

본 장에서는 앞에서 고려한 이론적 고찰을 토대로 이를 입증할 수 있는 실험적 방법을 제시하였다.

1) 최대 전계(Em), 소자수명(Device Lifetime)의 측정

여기에서는 active 소자로 부터 실측할 수 있는 양으로 최대 전계 Em(기판 전류 Isub와 드레인 전류 Id의 함수)과 소자수명 τ를 택하였다. Hu et al.[1]에 의하면 small geometry MOSFET에서 고전계가 인자될 경우 소자수명은

$$\tau = A\frac{1}{Id}\left(\frac{Isub}{Id}\right)^{-n} = A\ f\ (Em) \qquad (1)$$

로 표시된다. 이때 함수 f는 기판전류와 드레인전류에 의존하며 이는 피크전계와 관계가 있게 된다. 대표적 n의 값은 2.9이며 A는 주로 공정에 의존하는 상수가 된다. 한편 이 식은 Em과 관련이 있으며 윗식 우측항중 (Isub/Id)는 아래와 같이 표시된다.

$$\frac{Isub}{Id} = C\ Em\ e^{-\beta i/Em} \qquad (2)$$

이때 변수 C는 Em과 소자변수에 의존하는 상수가 되며 βi는 열전자가 impactionization을 생성하기 위한 최소 에너지 ϕi와 열전자의 mean free-path의 비, 즉 $\phi i/q\lambda$, 로 표시된다. 식 (1),(2)에서 소자수명은 Id가 일정한 경우 Em이 클수록 줄어들게 된다. 한편 앞식에서 도우핑 증가에 따라 Leff(effective channel lengh)가 줄어들게 되어 이러한 Id 증가를 이와 더불어 고려하여 보면 소자수명의 최대치가 존재하게 된다.

그러나 엄밀히 말하면 Em 자체가 n^- 도우핑 이외에도 Vg, Vd변수 및 다른 여러 공정 변수의 함수가 되는 만큼, 이러한 효과들을 고려해야 하나 여기에서는 τ가 Em과 Id의 주된 함수가 된다는 것으로 간소화 하였다.

2) 쏘스, 드레인 저항의 측정

n^- 영역의 저항을 conventional한 채널 저항 측정법[6]을 통해 이를 추정하였다. LDD 구조의 경우 n^- 영역의 저항에 게이트 바이어스에 의존하는 성분이 존재하므로 실제 이의 정확한 측정은 곤란하게 된다. 앞의 논문에 의해 측정 저항성분을 나타내면 아래와 같다.

$$R\text{ 측정치} = Rch + Rn^- + Rn^+ = \frac{Leff}{A[Vgs' - Vt]} + \frac{1}{B[Vgs - Vtn^-]} + Rf \qquad (3)$$

여기에서 Rch는 채널저항, Rn^-는 n^- 영역저항, Rn^+ 영역의 접합저항(Rf)을 나타낸다. A는 Vgs'(Vgs−IdsRs), Vt 등, B는 Vgs, Vtn^- 등에 의존하는 상수가 된다. 이를 근사적으로 그리면 그림 7과 같다. 여기에서 conventional 소자는 앞 그림 1.b 에서 설명한 바와 같이 n^- doping을 생략하고 sidewall만이 있는 소자가 된다. 이때 게이트 전압 크기를 증가하면 측정저항은 n^- 영역이 없는 conventional소자와 같은 특성을 나타내게 되어, 이를 이용해 두 소자의 특성을 비교함으로써, n^- 영역의 저항을 알 수 있게 된다.

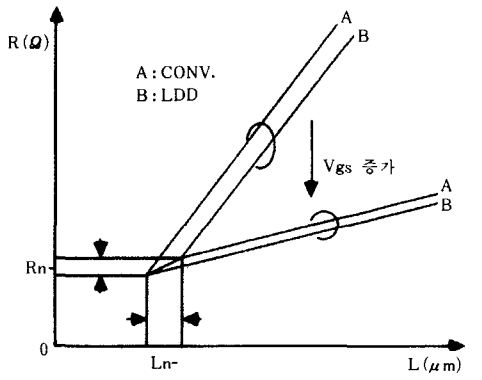

그림 7. 마스크 게이트 길이 변화에 따른 저항(추정)
Fig. 7. Resistance vs. mask gate length variation(estimated).

Ⅲ. 결과 및 검토

먼저 1) 에서 구한 이론에 의해 다음에 관련항들을 측정하였다. 여기서 제작한 소자의 제반 공정 변

수는 2절의 씨뮬레이션 조건과 비슷하다. (gate-oxide; 250Å, n^-; ph. 70KeV, sidewall; 3000Å) 여기에서는 전 절에서 논한 바와 같이 (Isub/Id)의 양으로 전계를 비교하였다(그림 8). Em 최소점은 1E13/cm²에서 존재하였다. 이때, bias는 게이트 전압 변화시 기판 전류를 최대로 하는 최악 조건으로 잡았다. (Vds; 5 -7, Vgs; 가변) 그림 9에 앞 소자에 대한 I-V 특성을 나타내었다. 여기에서도 1E13/cm² 도우스 때가 breakdown 전압은 가장 크며 (5E13; 7.5, 1E13; 9, conv(0); 7.5V at Vg=3V) 이에 비해 Gm 감소는 적절해 (5E13; 1.9, 1E13; 1.8, conv(0); 1.7mS at Vg=3, Vd=5V) 전계가 감소된다고 믿어진다. (그림 10 참조)

다음 그림 11에 스트레스 시간에 대한 Vth 변화를 플로트하여 소자수명의 변화를 관찰하였다. 이때 바

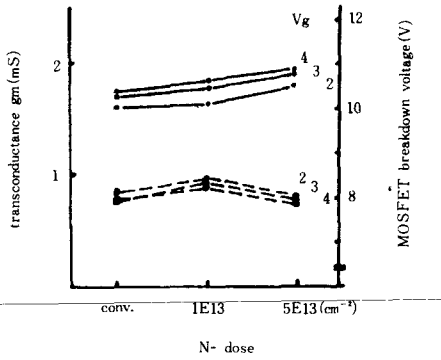

그림10. N-dose에 따른 gm과 MOSFET 파괴전압 변화

Fig. 10. Transconductance(gm) and MOSFET breakdown voltage variation vs. N-dose.

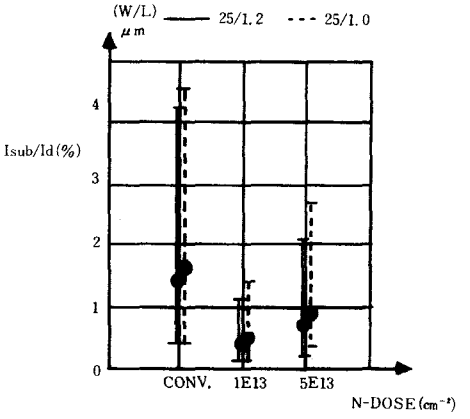

그림 8. N- dose에 의한 Isub/Id

Fig. 8. Isub/Id vs. N- dose.

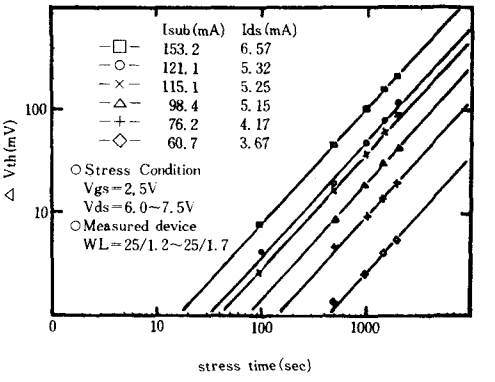

그림11. 스트레스 시간에 따른 Vth의 변화

Fig. 11. Vth variation vs. stress time.

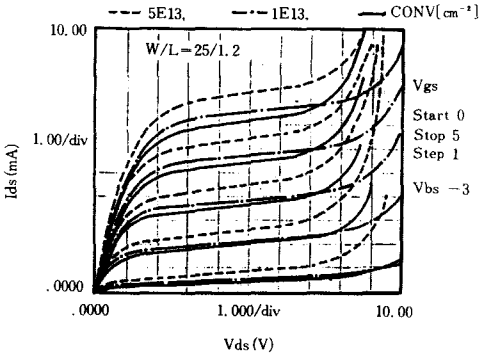

그림 9. I-V 특성 곡선

Fig. 9. I-V characteristics.

이어스 조건은 최악 조건으로 잡았다. E에 관계되는 Isub/Id에 대해 보면 이의 값이 적을수록, 즉 전계값이 적을수록, 수명이 길어지는 점을 알수 있다. 그림 12에 n^- 도우핑에 의한 Vth 변화량을 플로트 하였다. 이때 최대 Isub 조건으로 1000 SEC 간만 측정하였다. n^- dose 1E13/cm² 때가 Vth 변화량이 가장 작았으며 따라서 주어진 Vth 변화(예로 10mV)를 얻는데 걸리는 시간 즉 소자수명이 극대화 됨을 알 수가 있으며 이 점은 Em 최소지점과 대체로 일치하였다.

간혹 게이트와 드레인 중첩이 소자수명에 미치는 영향에 관한 보고에 의해[7] 어느 정도의 중첩이 존재

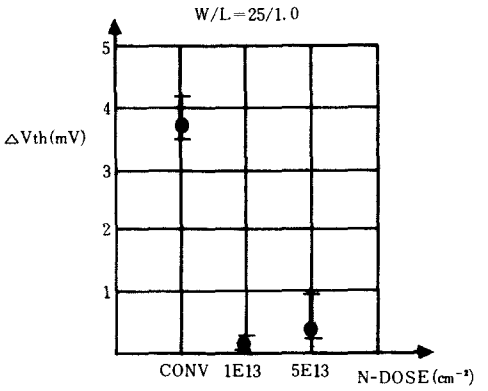

그림12. N-dose에 따른 Vth의 변화
Fig. 12. △Vth vs. N-dose.

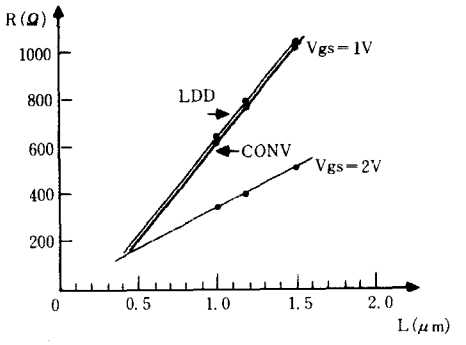

그림13. 마스크 게이트 길이 변화에 따른 측정저항
Fig. 13. Measured resistance vs. mask gate length variation.

해야 수명이 길어진다는 사실은 실제로 이 Em 감소에 의한 결과로 이해된다. 이외에도 중첩에 의해 Cgd[8]가 증가, 소자의 속도가 감소되는 문제가 발생하게 되어 실제로 LDD 최적화 개념에서는 breakdown 전압의 증가 또는 소자수명의 증가의 요구에 따른 Em 감소가 가장 중요하며 이외에도 속도문제, 전류구동력 등의 요구에 의한 여러 요소들을 trade off 하는 분석이 필요하게 되는데 결국 주어진 조건하에 여타 조건들도 최대한 개선시키는 것이 가능하다고 믿어진다.

다음에 3)에 의한 이론에 의해 LDD 소자와 conventional 소자의 차이를 비교 측정하였다. 이때 conventional 소자의 경우 sidewall 전의 n^- 이온 주입 공정을 생략하였다. 마스크 테스트 패턴에서 게이트 길이를 변화시켜 가며 측정할 결과를 그림 13에 보였다. 게이트 전압이 커질수록 LDD 소자는 conventional 소자와 비슷한 특성을 보였으며 게이트 전압이 낮은 경우엔 Rn^-에 의한 영향이 나타났다.

이는 단위 길이 당 n^- 영역의 저항이 채널저항(큰 값)으로 부터 n^+ 저항 (작은값)으로 유연하게 변화될 때(예를 들면 기하 평균) n^- 영역의 Em이 최소화 되는 것으로 생각되며 이로부터 유효 채널길이 Leff(=Lmask-2 Ldiff)를 구할 수 있게 된다.

Ⅳ. 결 론

앞에서 검토한 바와 같이 LDD 구조의 최적화는 Em의 최소화와 이에 따른 소자의 수명의 증가로 귀착될 수가 있겠다. 이 Em의 최적화는 n^- 영역의 도우스양, implantation energy, side-wall 두께, 유효 게이트 길이 등과 관련 공정조건(thermal cycle 조건등)에 의해 결정된다고 볼 수가 있는데, 결국 n^-영역을 통해 전계가 고르게 낮은 분포가 되도록 하는 조건과 일치되게 된다.

앞에서 주어진 조건 이외에도 Vg, Vd 조건 등이 Em 최적화에 영향을 미친다고 볼 수 있으며 결국 global optimization 관점에서 이를 다루어야 하며 특히 이는 게이트 밑의 n^- 부분에 어떻게 전류 흐름이 형성 되느냐에 의존하며 Em 최적화의 경우 전류의 흐름 영역이 커짐을 발견하였다. 한편 이들을 실제 측정에 의하여, 최적화 조건의 경우 Isub/Id 값은 최소가 되며 이 경우 소자의 lifetime은 최대가 됨이 확인되었으며 이때 n^- 영역의 저항은 채널 저항을 쏘스, 드레인 접합 저항으로 유연히 변환시키는 것으로 측정되었다.

아울러 이들 LDD 구조에 bulk punch-through breakdown을 개선하기 위해 deep implantation 혹은 pocket implantation(Enhanced LDD)의 방법을 첨가하는 방법을 연구중에 있다.

參 考 文 獻

[1] C. Hu et al., "Hot-electron-induced MOSFET degradation," *IEEE Trans. Electron Devices*, vol. ED-32, no. 3, pp. 375-385, 1985.

[2] J. Hui et al., "A new substrate and gate current phenomenon in short channel LDD and minimum overlap devices," *IEEE Electron Device Lett.*, vol. EDL-6, no. 3, pp. 135-137, 1985.

[3] K. Maryaram et al., "A model for the electric field in LDD structures," *IEEE*

Trans. Electron Devices, vol. ED-34, no. 7, pp. 1509-1518, 1987.

[4] R. Izawa, E. Takeda, "The impact of n-drain length and gate-drain/source overlap on submicrometer LDD devices for VLSI," *IEEE Electron Device Lett.,* vol. EDL-8, no. 10, pp. 480-482, 1987.

[5] P.J. Tsang et al., "Fabrication of high-performance Ldd FET's with oxide sidewall-spacer technology," *IEEE Trans. Electron Devices,* vol. ED-29, no. 4, pp. 590-596, 1982.

[6] B.J. Sheu et al., "Source-and-drain series resistance of LDD MOSFET's," *IEEE Electron Device Lett.,* vol. EDL-5, no. 9, pp. 365-367, 1984.

[7] J. Hui, J. Moll, "Submicrometer device design for hot-electron reliability and performance," *IEEE Electron Device Lett.,* vol. EDL-6, no. 7, pp. 350-352, 1985.

[8] T.Y. Chan et al., "Effects of gate-to-drain/source overlap on MOSFET characteristics," *IEEE Electron Device Lett.,* vol. EDL-8, no. 7, pp. 326-328, 1987.

著 者 紹 介

姜 大 官(正會員)

1957年 10月 29日生. 1980年 경북대학교 전자공학과 학사학위 취득. 1985年 경북대학교 대학원 전자공학과 석사학위 취득. 현재 금성 일렉트론(주) 근무. 주관심분야는 Memory Product Engineering 등임.

●

金 達 洙 (正會員) 第24卷 第3號 參照
현재 금성 일렉트론(주)근무

●

金 賢 哲(正會員)

1958年 12月 1日生. 1984年 인천대학교 전자공학과 학사학위 취득. 1986年 인천대학교 대학원 전자공학과 석사학위 취득. 현재 금성 일렉트론(주) 근무. 주관심분야는 Device Modering 등임.

宋 洛 雲(正會員)

1953年 7月 18日生. 1975年 서울 대학교 전자공학과 학사학위 취득. 1977年 서울대학교 전자공학과 대학원 석사학위 취득. 1986年 Univ. Texas Aust. 박사학위 취득. 1986年～1989年 금성반도체 근무. 현재 홍익대학교 전자공학과교수. 주관심분야는 반도체, 회로설계 및 CAD 등임.