

# 급속열처리 방식을 이용한 다결정 실리콘 소자의 향상된 전기적 특성

## (Improved Electrical Properties of Polysilicon TFT Using Rapid Thermal Processing)

洪 贊 焄\*, 朴 昌 燁\*\*, 李 熙 國\*

(Chan Hee Hong, Chang Yub Park, and Hee Gook Lee)

### 要 約

$W/L=20/1.5, 3, 5, 10\mu\text{m}$ 의 N-채널 다결정 실리콘 소자를 급속 열처리 방식을 이용하여 제작하였다. 게이트 산화막 형성전 별도로 활성영역의 결정화 과정을 거치지 않고  $N^+$ 소오스 드레인 게이트의 어닐링시  $1000^\circ\text{C} - 1100^\circ\text{C}$ 에서 급속열처리하여 다결정 소자의 가장 중요한 parameter인 subthreshold 기울기, ON/OFF 전류비, 출력특성, 누설전류등을 조사하였다. 수소로 passivation 하지않은 상태에서도  $W/L=20/1.5\mu\text{m}$ 인 경우  $ON/OFF=5 \times 10^6$ ,  $S=85\text{mv/dec}$ ,  $I_L=51\text{pA}/\mu\text{m}$ 을 얻을 수 있었다. 또한 수소로 급속열처리로 passivation 하여 특성이 향상됨을 알 수 있었다.

### Abstract

N-Channel polysilicon MOSFETs ( $W/L=20/1.5, 3, 5, 10 \mu\text{m}$ ) were fabricated using RTP (Rapid Thermal Processor) and hydrogen passivation. The  $N^+$  Source, drain and gate were annealed and recrystallized using RTP at temperature of  $1000^\circ\text{C} - 1100 \text{ C}$ . But the active areas were not specially crystallized before growing the gate oxide. Without the hydrogen passivation, excellent transistor characteristics ( $ON/OFF=5 \times 10^6$ ,  $S=85\text{mv/dec}$ ,  $I_L=51\text{pA}/\mu\text{m}$ ) were obtained for  $1.5\mu\text{m}$  MOSFET. Also the transistor characteristics were improved by hydrogen passivation.

### I. 서 론

다결정 실리콘 소자를 SRAM이나 DRAM에 적용하려는 연구는 대단히 활발하다.<sup>1,2,5</sup> SOI(silicon-on-insulator) 구조로 다결정 실리콘을 메모리 소자에 적용할 경우 3차원의 초고집적 회로구성이 가능할 뿐

만 아니라 저렴한 가격으로 제작이 가능하게 된다. 그러나 다결정 실리콘은 구동능력의 저하, 높은 누설전류, 낮은 ON/OFF 전류비, 높은 subthreshold 기울기등으로 실제의 응용에는 많은 문제점이 있다.<sup>2,3</sup> 다결정 실리콘의 소자 능력저하는 결정간의 전위장벽과 그레이인의 경계밀도등이 높아 그레이인 경계에 존재하는 dangling bond에 의하여 캐리어 포획현상이 일어나며 또한 채널영역에서 전자의 흐름에 기여하는 active dopant가 다결정 실리콘의 결정경계에서 분리되기 때문이다.<sup>4</sup>

결정간의 경계밀도를 낮추기 위해 활성영역의 비

\*正會員, 金星 일렉트론(株)  
(GoldStar Electron Co. LTD.)

\*\*正會員, 延世大學校 電氣工學科  
(Dept. of Electrical Eng., Yonsei Univ.)

接受日字: 1990年 10月 5日

정질 혹은 다결정 실리콘을 고온에서 열처리하여 결정의 크기를 성장시킴과 동시에 결정경계의 전위장벽을 낮추기 위해 수소로 passivation 하는등 많은 연구가 진행되어 왔다.<sup>1,2,3</sup>

본 논문에서는 게이트 산화막 성장 이전에 활성영역을 특별히 결정화 하지 않고 N<sup>+</sup>소오스트레인, 게이트 어닐링시 급속열처리 방식을 적용하여 N<sup>+</sup> 불순물을 활성화함과 동시에 활성영역과 게이트 전극의 실리콘이 결정화 되도록 공정을 설계 하였으며 수소 passivation은 Si<sub>3</sub>N<sub>4</sub>를 고체 공급원으로 하여 급속열처리 방식으로 진행하고저 한다.

II. 소자 제작

p형 100의 방향을 갖는 6-inch 웨이퍼에 CVD SiO<sub>2</sub> 6000 Å을 증착하였다. 이 위에 1700 Å의 비정질 실리콘을 505°C에서 LPCVD를 이용하여 증착한 후 N-채널 MOSFET를 제작하기 위하여 boron을 1×10<sup>13</sup>/cm<sup>2</sup>, 40keV에서 이온주입하였다.

Active 마스크를 이용하여 활성영역을 정의하였고 건식식각 방법으로 비정질 실리콘 1700 Å을 식각하였다. 이후 게이트 산화막을 850°C에서 300 Å을 성장시켰으며 게이트 전극을 형성하기 위하여 3000 Å의 비정질 실리콘을 LPCVD방법으로 505°C에서 증착하였다.

Gate 마스크를 사용하여 게이트 영역을 정의한 후 5×10<sup>15</sup>/cm<sup>2</sup>, 80keV의 조건을 갖는 As을 source, drain, gate 영역에 자기정렬기술로 이온 주입하였다.

Arsenic 어닐링은 급속열처리 방식으로 1000°C ~ 1100°C 범위에서 20초간 수행하였다. 이후 CVD SiO<sub>2</sub> 3000 Å을 증착하여 소자간의 격리기술에 자기정렬법을 이용하였다. Contact 마스크를 이용하여 소오스, 드레인, 게이트 접촉점을 정의한후 5000 Å의 Al배선공정을 실시하였다. 마지막으로 10000 Å의 PECVD Si<sub>3</sub>N<sub>4</sub>를 SiH<sub>4</sub>, H<sub>2</sub>, N<sub>2</sub> 분위기에서 증착하였으며 470°C에서 60초간 급속열처리 방식으로 수소를 결정경계에 결합되도록 하였다. 이때 Si<sub>3</sub>N<sub>4</sub>내의 수소 함유량은 1.1×10<sup>22</sup>/cm<sup>3</sup>이었으며 수소 급속열처리시 Si<sub>3</sub>N<sub>4</sub>내의 수소가 외부유출(outdiffusion)되는 것을 방지하기위하여 포밍가스(forming gas)분위기에서 실시하였다. 제작된 소자는 게이트의 폭과 길이가 20μm/1.5, 3.0, 5.0, 10μm 이며 그림 1은 제작된 소자의 단면도이다.

III. 결과 및 고찰

다결정 실리콘 MOSFET소자의 subthreshold 특성

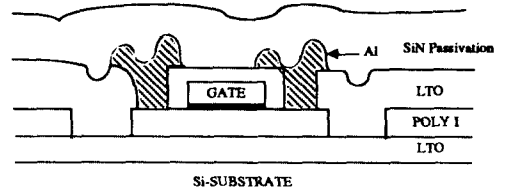


그림 1. 소자의 단면도  
Fig. 1. Cross section of the test structure.

및 출력특성은 트랩의 상태밀도에 의하여 주로 결정되므로 이를 감소시키는 것이 필요하다.<sup>2</sup>

그림 2는 1050°C에서 급속열처리한 소자의 subthreshold 특성으로서 채널길이의 함수에 관해 측정된 것이다. 이때 V<sub>DS</sub>는 5V로 고정하였으며 V<sub>G</sub>는 -10V에서 +10V까지 변화시켰다. 채널의 길이가 줄어들어 따라 누설전류가 다소 증가하고 있는데 이는 동일한 전압(V<sub>DS</sub>=5V)에서 드레인과 소오스간의 전계의 세기가 채널길이의 감소에 따라 비례적으로 증가함으로서 생긴 field emission 전류에 기인한 것이다. 채널의 폭(W)과 길이(L)가 W/L=20/1.5μm 경우 누설전류 I<sub>L</sub>=51pA/μm, W/L=20/10μm인 경우는 49pA/μm였다. 이는 수소 passivation을 하지 않고 측정된 다결정 실리콘의 I<sub>L</sub>이 일반적으로 수천 pA/μm임을 볼 때<sup>1,2,3,4</sup> 현저한 특성의 향상이라 볼 수 있다. 그림 3은 Si<sub>3</sub>N<sub>4</sub>를 수소의 고체공급원으로 하고 500°C 60초간 급속열처리로 passivation한 소자의 subthreshold 특성을 비교한 것으로써 W/L=20/1.5μm인 경우 I<sub>L</sub>이 51pA/μm에서 25pA/μm으로 감소하였으며

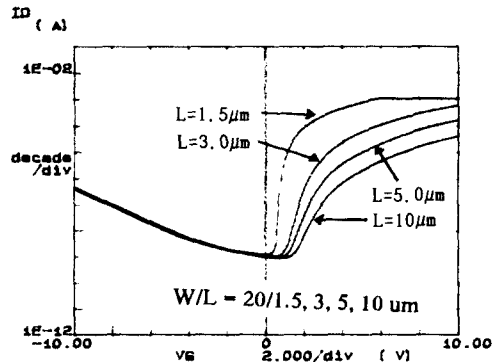


그림 2. 채널길이에 따른 subthreshold 특성 (1050°C)  
Fig. 2. Subthreshold characteristics as a function of channel length.

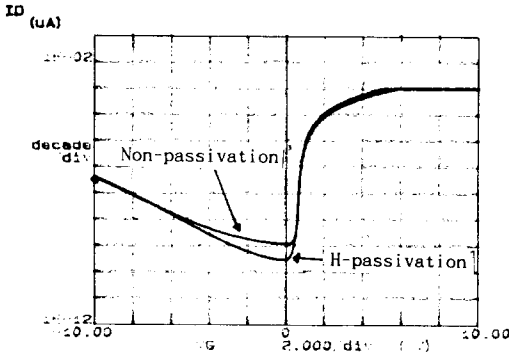


그림 3. Subthreshold의 비교 특성(W/L=20/1.5 $\mu$ m)  
(1050C+수소 Passivation)  
Fig. 3. Comparison of subthreshold characteristics.  
(W/L=20/1.5 $\mu$ m)  
(1050C+Hydrogen passivation)

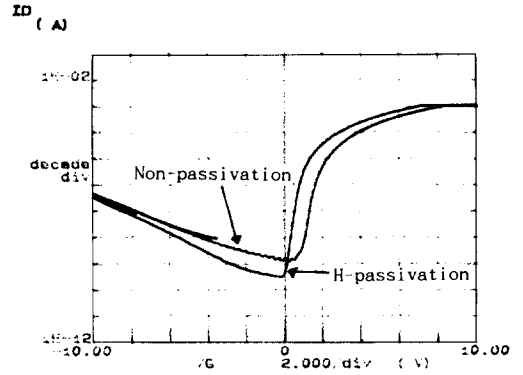


그림 4. Subthreshold의 비교 특성  
(W/L=20/1.5 $\mu$ m)  
(1000C, 1000C+수소 passivation)  
Fig. 4. Comparison of subthreshold characteristics.  
(W/L=20/1.5 $\mu$ m)  
(1000C, 1000C+Hydrogen passivation)

W/L=20/10 $\mu$ m인 경우 49pA/ $\mu$ m에서 5pA/ $\mu$ m으로 현저히 감소하였다. 여기서 채널 길이에 따라 누설 전류가 선형적으로 비례하지 않고 있는데 진술한 바와 같이 field emission 전류에 의하여 생긴 현상이라 볼 수 있다.

본 연구에서는 다결정 실리콘의 메모리소자 적용에 문제시 되는 ON/OFF 전류비와 subthreshold 기울기에도 현저한 특성 향상을 나타내고 있다. 대표적인 다결정 실리콘의 ON/OFF 전류비는  $10^2 - 10^4$ 이며 subthreshold 기울기는 400mV/dec이다.<sup>11</sup> 본 연구에서 시도한 공정방법으로는 ON/OFF 전류비가  $5 \times 10^6$ 이었으며 수소 passivation을 적용한 소자는  $10^7$  이상을 나타내었다. 이때의 측정조건은  $V_G$ 는 7V였으며  $V_{DS}$ 는 5V로 고정하여 측정하였다. Subthreshold 기울기는 수소 passivation 수행시 96mV/dec. 수소 passivation을 수행치 않은 소자는 117mV/dec.였다. 이는 단결정 실리콘의 MOSFET가 70-100mV/dec<sup>16</sup>임을 볼 때 현격한 특성향상이라 볼 수 있다.

그림 4는 1000 $^{\circ}$ C에서 어닐링하여 측정된 subthreshold 특성(W/L=20/1.5 $\mu$ m)을 나타낸 것으로서 기울기가 212mV/dec., 수소 passivation시 197mV/dec.였다. 또한 W/L=20/1.5 $\mu$ m인 경우  $I_D$ 이 55pA/ $\mu$ m, 수소 passivation시 30pA/ $\mu$ m였다.

이는 어닐링온도 증가에 따라 그래인의 경계밀도가 감소함을 나타내고 있는 것이다. 그러나 1100 $^{\circ}$ C로 어닐링하여 수소 passivation을 수행한 소자로서 [그림 5], W/L=20/1.5 $\mu$ m인 경우 소오스 드레인의 측면회산으로 전기적인 단락현상을 나타내었으며 기

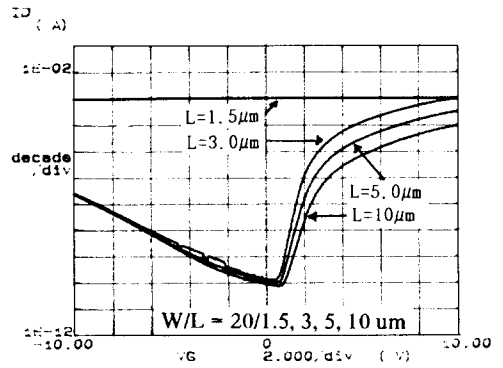


그림 5. 채널길이에 따른 subthreshold 특성  
(1100C+수소 passivation)  
Fig. 5. Subthreshold characteristics as a function of channel length.  
(1100 $^{\circ}$ C+hydrogen passivation)

울기가 W/L=20/3 $\mu$ m인 경우  $S=265$ mV/dec.였다. 1050 $^{\circ}$ C로 어닐링한 경우  $S=285$ mV/dec. [W/L=20/3 $\mu$ m]임을 볼 때 다소 특성이 향상됨을 관찰할 수 있었으나 부분적으로 불안정한 특성을 나타내었다. 일반적으로 그래인 크기가 증가하면서 그래인 경계가 뚜렷이 보이는 특성이 있으나 이때 그래인 경계의 전위장벽과 아주 작은 그래인의 전위장벽간에서는 전자의 흐름을 방해하는 전위장벽 높이가 달라 그래

인의 경계밀도만을 낮춘다 하여 소자특성이 비례적으로 향상된다고 볼 수 없는 것이다. 또한 1100°C 어닐링시 결정의 크기가 성장하면서 채널표면에 거친 정도(roughness)를 심화시켜 게이트 산화막의 누설 전류가 급증하며 부분적으로 불안정한 특성을 나타내었다. 이는 그림 8에 나타난 바와 같다.

그림 6은 1050°C에서 어닐링한 소자의  $[W/L=20/10\mu\text{m}]$  출력특성을 나타낸 것으로서  $V_c=6\text{V}$ ,  $V_{bs}=5\text{V}$ 인 경우  $I_d \approx 1.8\mu\text{A}$ 였다. 이는 일반적인 다결정 실리콘의 출력특성이  $W/L=20/10\mu\text{m}$ 인 경우 수십 nA임을 볼 때, <sup>11)</sup> 현격한 출력특성이라고 볼 수 있다. 그림 7은 수소로 passivation한 소자의 출력특성으로서  $I_d \approx 5.8\mu\text{A}$ 로서 약 3배이상의 출력특성을 보이고 있다. 이는 다결정 실리콘의 결정경계에 수소가 passivation되어 결정경계의 전위장벽이 낮추어 졌음을 나타낸다. 1000°C에서 어닐링한 소자의  $I_d \approx 1.6\mu\text{A}$ , 1100°C에서 어닐링한 경우  $I_d \approx 4.0\mu\text{A}$ 였다. 온도가 증가함에 따라 출력특성이 향상되었는데 이는 온도가 증가함에 따라 결정의 크기가 성장되어 그래인의 경계밀도가 감소하고  $N^+$ 소오스, 드레인의 측면화산이 가중되어 일어난 현상이라 사료된다.

그러나 1100°C에서 어닐링한 소자는 전술한 바와 같이 부분적으로 다소 불안정한 소자특성을 보여 주었다. 그림 8은 1100°C에서 어닐링한 소자의 subthreshold 특성으로서 그림 5와 동일공정을 수행하였으나 470°C 20초간 수소를 급속 열처리하지 않은 경우이다.  $V_g \approx +6.2\text{V}$ 에서 게이트 산화막의 함복현상이 일어나  $V_c$ 가 증가하여도  $I_b$ 가 더이상 증가하지 않고 있다. 이와 같은 현상은 웨이퍼 전면에 일어난 현상이 아니며 부분적으로 (10% 미만) 관찰할 수 있었다.

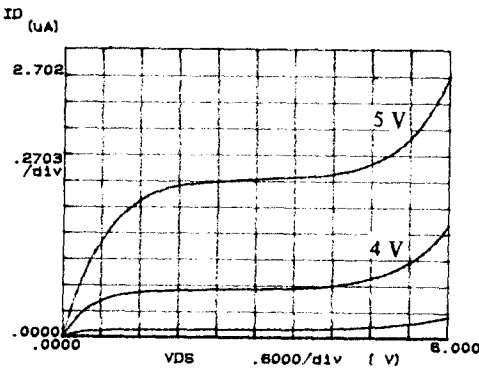


그림 6.  $W/L=20/10\mu\text{m}$  소자의 출력특성 (1050°C)  
Fig. 6. Output characteristics of  $W/L=20/10\mu\text{m}$ . (1050°C)

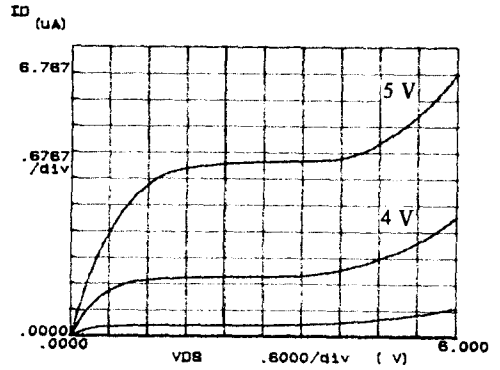


그림 7.  $W/L=20/10\mu\text{m}$  소자의 출력특성 (1050°C + 수소 passivation)  
Fig. 7. Output characteristics for  $W/L=20/10\mu\text{m}$ . (1050°C + hydrogen passivation)

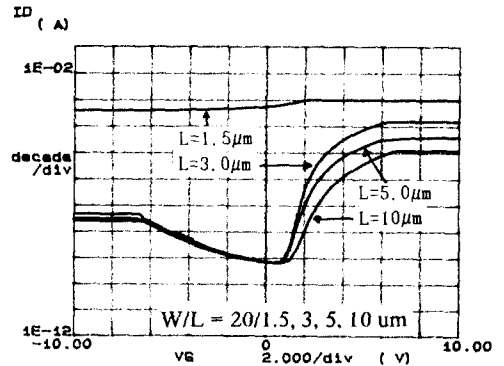


그림 8. 채널길이에 따른 비정상적인 subthreshold 특성 (1100°C)  
Fig. 8. Abnormal subthreshold characteristics as a function of channel length. (1100°C)

1000°C와 1050°C에서 어닐링한 소자는 이와 같은 게이트 산화막의 조기함복 현상이 나타나지 않았다. 게이트 산화막의 조기함복 현상은 1100°C 어닐링시 활성영역과 게이트 실리콘이 재결정화 되면서 급격한 상변태 (phase transition)가 일어나 게이트 산화막에 기계적 뒤틀림을 일으켰을 것으로 사료된다. 또한  $N^+$ 소오스, 드레인 ( $\approx 10^{20}/\text{cm}^3$ ) 영역과 채널 영역 ( $\approx 10^{16}/\text{cm}^3$ )의 불순물 농도가 크게 차이가 나는데 불순물의 농도가 높은 영역에서 결정의 크기가 크게 성장하면서 게이트 산화막의 뒤틀림 현상을 가중시켜 산화막에 결함을 야기 했으리라 믿어진다.

IV. 결 론

N<sup>+</sup>소오스 드레인 게이트의 어닐링시 여러온도의 급속열처리 방식을 적용하여 N-채널 MOSFET를 제작하였다. 본 논문에서 시도한 공정방법은 기존의 활성영역의 결정화 방법을 생략한 채 N<sup>+</sup>어닐링과 동시에 급속열처리를 시도함으로써 공정을 대폭 간소화 하였을 뿐 아니라 종래의 다결정 실리콘 소자에 비하여 현저한 특성 향상을 얻었다.

수소로 passivation 하지않은 상태에서 ON/OFF 전류비가 5×10<sup>6</sup>, subthreshold 기울기가 85mV/dec. 였으며 우수한 출력특성을 얻을 수 있었다. 또한 본 연구에서 시도한 공정에서는 1100℃ 어닐링 온도가 게이트 산화막에 결함을 야기시키기 시작하는 온도임을 알 수 있었다.

參 考 文 獻

[1] S. Batra, et. al., "Rapid Thermal Annealing for H passivation of Polysilicon MOSFETs from Si<sub>3</sub>N<sub>4</sub> Overcoat," *IEDM*, pp. 455, 1989.

[2] Satwindred. S. Malhi, et al., "Characteristics and Three-Dimensional intergration of MOSFETs in Small-Grain LPCVD polycrystalline silicon," *IEEE Trans. Electron Devices*, vol. ED-32, no. 2, 1985.  
[3] Alan G. Lewis, et al., "Physical Mechanisms for short channel effect in Polysilicon Thin-Film Transistors," *IEDM* pp. 340, 1989.  
[4] Mark. S. Rodder, et al., "Hot-Carrier Effects in Hydrogen-Passivated p-channel Polycrystlline-Si MONFETS," *IEEE Electron Device*, vol. ED-34, no. 5, 1987.  
[5] Noriyoshi Yamauchi, et al., "Unusally Abrupt Switching in Submicrometer Thin-Film Transistors Using a Polysilicon Film with Enhanced Grain size," *IEEE Electron Device Letter*. vol. 11, no. 1, 1990.  
[6] S.M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley, 1981, ch. 8.

著 者 紹 介



洪 贊 燾(正會員)

1959年 11月 26日生. 1981年 울산공과대학 전기공학과 졸업(공학사). 1983年 연세대학교 대학원 전기공학과 졸업(공학석사). 1983年 3月 금성반도체(주) 연구원. 1988年 1月 금성사 반도체연구소 선임연구원. 1989年 8月~현재 금성일렉트론(주) 공정개발 선임연구원 및 연세대학교 전기공학과 박사과정. 주관심분야는 반도체 물성, VLSI 공정 및 강유전 박막 등임.



朴 昌 煥(正會員)

1935年 2月 13日生. 1958年 연세대학교 전기공학과 졸업(공학사). 1960年 연세대학교 대학원 전기공학과 졸업(공학석사). 1973年 동대학원 전기공학과 공학박사. 1965年 3月~현재 연세대학교 공과대학 전기공학과 교수. 1983年 9月~1985年 9月 연세대학교 산업기술연구소 부소장. 1987年 10月~현재 대한전기전자 재료학회 부회장. 1990年 11月~현재 대한전기학회 부회장. 주관심분야는 강유전 세라믹, 비정질 실리콘 및 GaAs 등임.

李 熙 國(正會員)

1952年 3月 19日生. 1974年 서울대학교 전자공학과 졸업(공학사). 1980年 미국 스텐포드 대학 전기공학과(공학석사, 박사). 1980年 6月 미국 휴렛팩카드사 연구원. 1983年 1月 금성반도체(주)본부장. 1988年 3月 금성사 반도체연구소 부소장 겸 이사. 1989年 8月~현재 금성일렉트론(주)공정개발 이사. 주관심분야는 VLSI/ULSI 공정 등임.