

짧은 채널 LDD (Lightly Doped Drain) NMOSFET의 포화영역 Transconductance 감소

(Reduction of Transconductance in Saturation Region of Short
Channel LDD (Lightly Doped Drain) NMOSFETs)

李 明 福*, 李 精 一*, 姜 光 男*

(Myoung Bok Lee, Jung Il Lee, and Kwang Nham Kang)

要 約

포화영역에서 짧은 채널 LDD MOSFET의 transconductance는 일반적인 드레인 구조의 소자와 달리 게이트 전압의 증가에 따라 최대치에서 감소된다. 이러한 감소의 원인은 고전장 효과에 의한 LDD 영역에서 운반자의 속도포화에 의한 것으로 이해되고 있지만 드레인 전류 I_{dsat} 과 transconductance G_{msat} 에 대한 정확한 해석적인 표현이 제시되어 있지 않다. 최근에 드레인 전류에 대한 parasitic source resistance R_s 의 의존성이 LDD 영역에서 전류운반자의 속도포화로 부터 modeling 되었다. 본 연구에서는 게이트 전압에 대한 R_s 의 의존성이 선형적인 것으로 근사하였다. 이러한 근사로 부터 얻어진 짧은 채널 LDD NMOSFETs의 포화영역 드레인 전류 I_{dsat} 과 transconductance G_{msat} 에 대한 해석적 표현식은 실험결과와 잘 부합되는 특성을 보였다.

Abstract

The transconductance of short channel LDD MOSFETs in the saturation region (high V_d) has shown different characteristics from that of conventional device. The transconductance in saturation regime of short channel LDD MOSFETs is reduced from maximum value at higher gate voltages. This decline is analyzed as the velocity saturation effects of carriers at LDD region but accurate analytical expressions for the drain current I_{dsat} and the transconductance G_{msat} in the saturation regime are still not in existence. Recently the drain current dependence of parasitic source resistance R_s has been modeled from the velocity saturation of carriers in LDD region. In this study, we approximate that R_s is linearly dependent on the applied gate voltage. Analytical expressions for I_{dsat} and G_{msat} obtained from this approximation show the same general behavior as experimental results of short channel LDD NMOSFETs.

I. 서 론

*正會員, 韓國科學技術研究院 光電子工學研究室
(Dept. of Optical Electronics, KIST)
接受日字: 1989年 8月 10日

Submicrometer level ($<1\mu\text{m}$)의 MOSFET 개발은
16Mbit-64Mbit dynamic memory나 16Mbit static memory 등의 VLSI 회로제조에 필수적인 과제이다. 공

정기술의 발달로 인하여 제조상의 문제는 대부분 해결되었으나 소자크기의 감소에 따른 증가된 짧은 채널효과/신뢰성(즉 hot-carrier effects) 때문에 일반적인 구조의 MOSFET 보다는 변조된 드레인구조의 소자가 요구되고 있다.

이러한 측면에서 최근에 LDD(lightly doped drain)나 DDD(double diffused drain)구조의 MOSFET 이 제시되어 많은 연구가 수행되어 왔으며^{1,2} 국내 산업체에서도 4M DRAM 개발공정에 LDD 구조를 도입하고 있다. 현재까지의 연구결과 LDD 구조의 짧은 채널 MOSFET이 Submicrometer level의 VLSI 회로개발에 가장 적합한 것으로 인정되고 있다. 그럼에도 불구하고 아직까지 포화 영역에서의 드레인전류 I_{dsat} 이나 transconductance G_{msat} 에 대하여 만족스러운 해석적 표현이 제시되어 있지 않다. 그 원인은 일반적인 드레인구조의 MOSFET과 달리 LDD 영역의 도입에 따른 문제로서 유효 채널길이나 series resistance의 게이트전압 의존성³, 기판의 불순물 농도 N_A 와 LDD 영역의 ion dose양 사이의 보상효과(compensation effect)로 인한 LDD sheet resistance의 급격한 변화⁴, 공정의 복잡성에 의해 야기되는 비대칭효과⁵와 그로 인하여 소오스영역에 형성되는 채널방향의 큰 전장⁶ 등 부수적으로 수반되는 복합적인 요인들에 의하여 단순한 해석적 표현 대신에 매우 복잡한 표현식이 사용되는 것으로 이해된다.⁷

본 연구에서는 이러한 복합요소 중 채널길이의 게이트전압 의존성은 매우 적은 변화량이므로 무시하였다. 단지 LDD 영역에서 전류운반자의 속도포화에 의한 parasitic source resistance R_s ⁸의 게이트전압 의존성을 선형적인 것으로 근사하여 일반적인 MOSFET이나 LDD MOSFET에 적용될 수 있는 포화영역 드레인 전류 I_{dsat} 과 transconductance G_{msat} 에 대한 해석적 표현을 유도하였으며 최종적으로 짧은 채널 LDD NMOSFET의 포화영역 드레인 전류 및 transconductance에 대한 실험결과와 비교하여 포화영역 G_{msat} 의 감소기구를 연구하였다.

II. 해석적 모델

채널길이의 감소에 의해 동작전압($V_d=V_g=5V$ 기준)에서도 채널의 운반자는 속도포화를 나타내게 된다. 이러한 속도포화는 소자에 대한 동작특성의 기술과정에서 전하밀도에 대하여 2차원 poisson방정식의 해를 필요로 하기 때문에 단순한 해석적 표현을

얻을 수 없다. 다만 근사적인 해석방법으로 Hofstein⁹은 채널의 드레인단에서 먼저 속도포화가 일어나고 나머지 채널에서는 일차원 poisson 방정식의 해를 만족한다는 가정하에 포화영역 드레인전류 I_{dsat} 에 대해 아래와 같은 표현식을 유도하였다.

$$I_{dsat} = C_{ox} \frac{W}{L} u_0 (E_c L)^2 \left\{ \sqrt{1 + \left(\frac{V_g - V_t - I_{dsat} R_s}{E_c L} \right)^2} - 1 \right\} \quad (1)$$

위에서 C_{ox} 는 게이트산화막의 단위면적당 용량, U_0 는 포화영역의 effective surface mobility, W 와 L 는 유효 채널폭과 소오스에서 속도포화가 일어나는 지점까지의 채널길이 이다. E_c 는 속도포화가 일어나기 위한 채널방향 임계전장의 세기이며 V_t 는 문턱전압 이다. 식(1)에서 R_s 는 그림1에서 볼 수 있듯이 MOSFET의 소오스쪽 parasitic resistance 이다. 드레인 쪽에도 R_d 로 표현된 parasitic resistance가 있으며 이들에 의해 게이트전압과 드레인전압의 전압강하가 채널이외의 영역에서도 생기게 된다. 즉 인가된 게이트전압은 parasitic source resistance 만의 영향을 받게 되므로 $I_{dsat} R_s$ 만큼의 전압강하가 소오스쪽에 생기게 되고 드레인전압은 이들 각각에 의해 소오스쪽과 드레인쪽에 $I_{dsat} R_s$ 와 $I_{dsat} R_d$ 만큼의 전압이 걸리게 된다. 채널에 걸리는 전압뿐만 아니라 상대적으로 증가된 LDD 영역의 parasitic resistance에

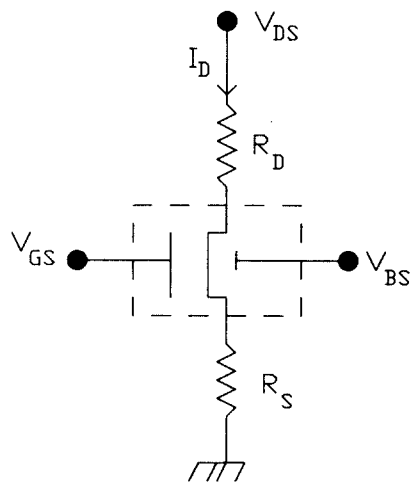


그림 1. 소오스쪽 기생저항 R_s 와 드레인쪽 기생저항 R_d 및 intrinsic device를 포함하는 extrinsic MOSFET 모델

Fig. 1. Extrinsic MOSFET including an intrinsic device and parasitic source and drain resistance, R_s and R_d .

의해 그 전압의 크기가 무시할 수 없을 것으로 해석된다. 따라서 채널과 LDD 영역의 높은 전장에 의해 전류운반자의 속도포화가 LDD에서도 일어날 수 있을 것으로 생각된다. 식(1)은 $V_g/E_c L \ll 1$ 인 긴 채널의 경우 속도포화에 대한 개념은 사라지고 일반적인 square-law에 대응하며 $V_g/E_c L \gg 1$ 인 짧은 채널의 경우 linear-law를^[10] 만족하므로 긴채널 및 짧은 채널 모두 적용 가능한 표현이다. 최근에 P. K. Reich et al.^[9]은 LDD 영역에서 속도포화가 일어나지 않는 경우는 parasitic source resistance R_s 가 게이트전압 의존성을 가지지 않으나 LDD에서 속도포화가 일어나는 경우 R_s 는 드레인전류의 증가에 따라 증가하는 것으로 보고하였다. 그러나 저항변화가 게이트 전압으로 표현되지 않고 드레인 전류의 함수로 나타났기 때문에 해석적인 계산이 아닌 2차원 simulation을 수행해야만 결과를 얻을 수 있었다. 이러한 계산상의 어려움을 해결하고 높은 게이트전압에서 transconductance의 감소 기구를 modeling 하기 위하여 본 연구에서는 R_s 에 대해 아래와 같이 선형적인 관계로 근사하였다.^[11]

$$R_s = R_{ex} + R_{so} [1 + \alpha (V_g - V_t)] \quad (2)$$

식(2)에서 R_{ex} 는 임의로 부가되는 외부저항이며 R_{so} 는 주어진 parameter들에 대해 $V_g = V_t$ 에서 정의된 소오스쪽 초기저항 값이다. 본 연구에 사용한 LDD 소자의 경우 약 70 ohm의 값을 보였으며 이값은 낮은 드레인 전압에서 측정된 series resistance의 1/2과 일치되었다. 식(2)에서 알 수 있듯이 parasitic source resistance의 게이트전압 의존성은 속도포화에 의한 intrinsic effect로 고려하여 R_{ex} 와 분리하였으며 게이트전압에 대한 비례상수는 α 로 놓았다. 따라서 식(1)과 식(2)를 사용하면 포화영역 드레인전류 I_{dsat} 과 transconductance G_{msat} 에 대해 아래와 같은 해석적인 표현식을 얻을 수 있다.

$$I_{dsat} = C_{ox} \frac{W}{L} u_0 (E_c L)^2 [F_1(V_g) - F_2(V_g)] / F_3(V_g) \quad (3)$$

$$G_{msat} = \left. \frac{dI_{dsat}}{dV_g} \right|_{V_a = const} \quad (4)$$

$$F_1(V_g) = \sqrt{1 + 2C_{ox} \frac{W}{L} u_0 R_s (V_g) (V_g - V_t) + (V_g - V_t / E_c L)^2} \quad (5)$$

$$F_2(V_g) = 1 + C_{ox} \frac{W}{L} u_0 R_s (V_g) (V_g - V_t) \quad (6)$$

$$F_3(V_g) = 1 - (C_{ox} W u_0 E_c R_s (V_g))^2 \quad (7)$$

식(3)에서 드레인 전류는 게이트전압으로만 표현되는 식(5), (6) 그리고 (7)로 된 함수이므로 식(4)도 게이트전압만의 함수임을 알 수 있다. V_t 는 문턱 전압으로 선형의삽된 문턱전압과 다르며 드레인전류의 평행이동을 나타낸다. 식(3)과 (4)가 본 연구에서 LDD 구조의 n채널 소자에 사용한 포화영역 드레인 전류와 transconductance에 대한 최종적인 해석적 표현식이다.

III. 실험결과 및 토의

본 연구에 사용된 소자는 국내 4M DRAM 개발과정에서 CMOS twin-tub 공정에 의해 p채널과 n채널 MOSFET이 하나의 기판상에 제조된 chip 내의 소자중 짧은 채널 LDD NMOSFET이다. 디자인된 게이트폭이 $15\mu\text{m}$, 게이트길이가 0, 8, 1, 0, 1.2 μm 인 소자를 대상으로 하였으며 선형영역 ($V_a = 100\text{mV}$)에서 순수 transconductance의 역과 게이트길이의 선형적인 관계로^[12]부터 구한 소오스/드레인의 lateral diffusion에 의한 게이트길이 감소 ΔL 은 약 $0.55\mu\text{m}$ 이었고 게이트폭 감소 ΔW 는 $0.9\mu\text{m}$ 이었다. 이러한 방법으로 결정된 소자의 유효 채널길이는 0.25, 0.45, $0.65\mu\text{m}$ 이며 유효 채널폭은 $14.1\mu\text{m}$ 이다. p-type 기판의 불순물농도는 $2 \times 10^{16}/\text{cm}^3$ 이고 게이트 산화막의 두께는 200\AA 으로 Hcl이 3% 첨가된 건조한 산소분위기에서 제조되었다. N^+ 소오스/드레인은 60 KeV, $6 \times 10^{15}/\text{cm}^2$ 의 A_s 이온을 7°-off 상태로 주입하여 $0.35\mu\text{m}$ 길이로 제조되었고 N^- (즉 LDD) 소오스/드레인은 60 KeV, $1 \times 10^{13}/\text{cm}^2$ 의 p이온을 주입하였으며 LDD spacer의 폭은 $0.2\mu\text{m}$ 이다. 소자 simulation 결과를 참조하면 공정이 완료된 소자의 N^+ 소오스/드레인은 채널방향으로 $10^{20} - 10^{21}/\text{cm}^3$ 의 농도분포를 가지고 N^- 소오스/드레인은 $10^{17} - 10^{18}/\text{cm}^3$ 의 농도분포를 가지는 것으로 나타났다. 특히 N^- 소오스/드레인과 기판의 경계는 주입한 이온과 기판의 불순물농도 N_A 와의 보상효과(compensation effect)에 의해 기판 불순물농도보다 10배 가량 낮게 나타났으며 LDD MOSFET의 상대적으로 큰 series resistance의 요인임을 추정할 수 있었다.

먼저 본 연구에서 도입한 식(2)의 유용성을 검증하기 위하여 식(1)을 R_s 에 대해 정리하면 게이트전압에 따라 측정된 포화영역 드레인전류로부터 게이트전압에 따른 저항변화를 알 수 있다. 그림2는 채널길이 $0.65\mu\text{m}$ 인 소자에서 소오스쪽 외부저항 R_{ex} 의 증가에 따라 위에서 언급한 방법에 의해 측정된 저항변화와 식(2)를 사용하여 비례상수 $\alpha = 0.38/V$ 에 대

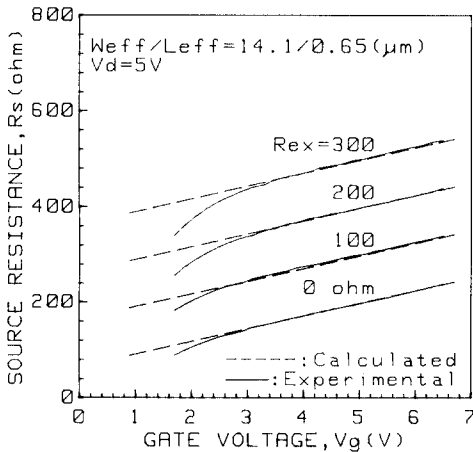


그림 2. 채널길이 0.65 μm 의 LDD MOSFET에서 소오스쪽 R_{ex} 의 외부저항 변화에 따라 (0, 100, 200, 300 ohm) 측정된 R_s 와 식 (2)의 계산결과

Fig. 2. Calculated result from eq.(2) and experimental R_s measured according to the change of the external resistance in source side (0, 100, 200, 300 ohm) of 0.65 μm LDD MOSFET.

하여 계산한 결과를 비교하여 나타낸 것이다. 그림에서 실선은 실험결과이며 점선은 계산치로 외부저항 R_{ex} 를 0, 100, 200, 300 ohm으로 증가시켰다. 포화영역 드레인전압은 5V이며 계산에 사용된 parameter는 표1과 같다. 표1에서 속도포화에 대한 임계전장 $E_c = 2 \times 10^4$ V/cm로 잡았으며 채널의 이동도는 채널 방향의 전장세기가 매우 클 때, 인가되는 전장세기에 대해 inverse linear 관계에 있으므로^[13] 드레인전압이 증가되면 감소된다. 따라서 포화영역에서 effective surface mobility U_0 는 속도포화의 조건에서는 포화된 속도 V_s 와 임계전장 E_c 등과 관계된 값이다. 전장의 세기가 임계전장 E_c 와 동일한 경우를 고려하고 포화된 속도를 7×10^6 cm/sec로 근사하면 U_0 는 약 $350 \text{ cm}^2/\text{V sec}$ 가 되지만 $370 \text{ cm}^2/\text{V sec}$ 에서 실험

표 1. R_s , I_{dsat} 그리고 G_{msat} 의 계산에 사용된 parameter

Table 1. Parameters used in the calculation of R_s , I_{dsat} and G_{msat} .

유효 채널길이 $Leff$ (μm)	임계전장 E_c (V/cm)	이동도 U_0 ($\text{cm}^2/\text{V}\cdot\text{sec}$)	초기저항 R_{soohm}	문턱전압 V_t (V)	비례상수 α (1/V)
0.65	2×10^4	370	70	0.2	0.38

결과와 잘 일치하였다. 그림2에서 볼 수 있듯이 낮은 게이트전압에 대해서는 잘 일치되지 않지만 게이트전압이 transconductance 최대치가 나타나는 게이트전압 이상인 경우 계산결과와도 잘 일치됨을 알 수 있다. 그러나 0.25, 0.45 μm 소자들에 대해서 측정된 $I_a - V_a$ transistor 특성곡선에서 포화된 드레인 전류가 드레인 전압의 증가에 대해 상대적으로 큰 modulation 효과를 나타내었는데 이러한 채널길이의 드레인전압 혹은 게이트전압 의존성이 측정된 저항에 큰 영향을 미칠 것으로 생각된다. 그러나 0.65 μm 소자의 경우는 그 효과를 거의 무시할 수 있었다.

그림3은 유효 채널길이가 0.25, 0.45, 0.65 μm 인 소자에 대해 드레인전압 $V_a = 5\text{V}$ 에서 측정된 I_{dsat} 과 G_{msat} 을 나타낸 것이다. 채널길이의 감소에 따라 G_{msat} 의 최대치가 조금씩 증가하고 최대치가 나타나는 게이트 전압은 점점 낮아지지만 최대치가 나타나는 게이트전압에서 채널길이에 관계없이 약 2mA의 일정한 드레인전류값을 보여 속도포화가 일어나는 임계전장의 세기가 일정함을 간접적으로 시사한다. 계속하여 게이트전압이 증가되면 G_{msat} 은 최대치에서 점차 감소되는 경향을 보이는데 이러한 특성은 LDD 소자에서만 나타나는 것으로 알려져 있다. 사용한 소자에서 모두 비슷한 경향을 보이지만 채널길이가 짧아짐에 따라 더 큰 감소를 보이고 있는데 그 원인중의 하나로 식(2)에서 정의된 비례상수 α 의 증가에 의한 것으로 생각되며 계산결과도 대체로 그러한 경향

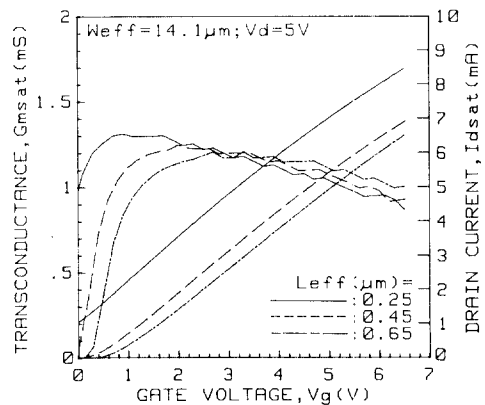


그림 3. LDD MOSFET의 채널길이에 따라 (0.25, 0.45, 0.65 μm) 측정된 $I_{dsat} - V_g$ 와 $G_{msat} - V_g$

Fig. 3. $I_{dsat} - V_g$ and $G_{msat} - V_g$ measured from LDD MOSFETs of various channel lengths.. (0.25, 0.45, 0.65 μm)

을 보이고 있으나 결정적인 것으로 판단하긴 어려웠다.

이처럼 게이트전압의 증가에 의해 포화된 G_{msat} 이 감소되는 현상은 동일한 공정에 의해 제조된 일반적인 드레인구조의 소자에서는 관측되지 않고 LDD MOSFET에서만 나타나기 때문에 Si-SiO₂ 계면의 산란등에 의한 이동도 감소의 효과가 아니며 LDD 영역의 도입에 따른 본질적인 문제로 볼 수 있다.^(8,14)

그림4는 채널길이가 0.45 μ m 인 소자에 대해 소오스쪽 외부저항 R_{ex} 를 0, 100, 200, 300ohm으로 증가시키면서 $V_d=5V$ 의 동일한 드레인전압에서 측정된 결과이다. 그림에서 소오스쪽 외부저항 R_{ex} 의 증가에 의해 G_{msat} 최대치의 감소뿐만 아니라 게이트전압의 증가에 따라 G_{msat} 이 감소되는 비도 점차 줄어든다. 약 300 ohm 정도의 외부저항에 대해 G_{msat} 은 거의 평탄한 포화현상을 보이고 있다. 이러한 G_{msat} 의 재포화현상은 소오스쪽 외부저항의 초기치에 대하여 parasitic source resistance의 증가비가 차츰 감소되기 때문이다. 즉 $R_{ex}=0$ 인 경우 초기 70ohm에서 게이트전압이 6.5V까지 증가되면 R_{ex} 는 약 240 ohm으로 200% 이상 증가되고 $R_{ex}=300$ ohm이면 전체적인 저항치는 상승되지만 초기치에 대한 증가비는 50% 정도로 오히려 감소된다.

그림5는 $V_d=5V$ 에서 채널길이가 0.65 μ m인 소자에 대해 실험적으로 측정된 결과와 식(2), (3), (4)를 사

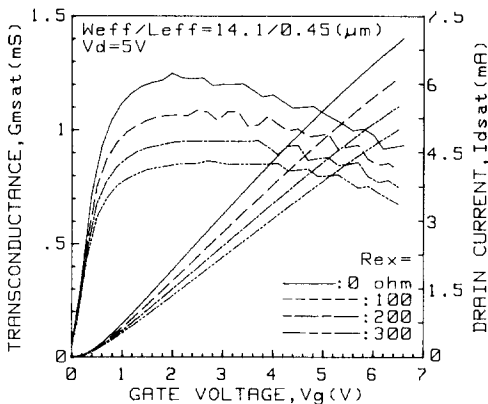


그림 4. 0.45 μ m 소자에서 소오스쪽 외부저항 R_{ex} (0, 100, 200, 300, ohm)의 변화에 따라 측정된 $I_{dsat}-V_g$ 와 $G_{msat}-V_g$

Fig. 4. Measured $I_{dsat}-V_g$ and $G_{msat}-V_g$ according to the external resistance R_{ex} (0, 100, 200, 300 ohm) of source side in 0.45 μ m device.

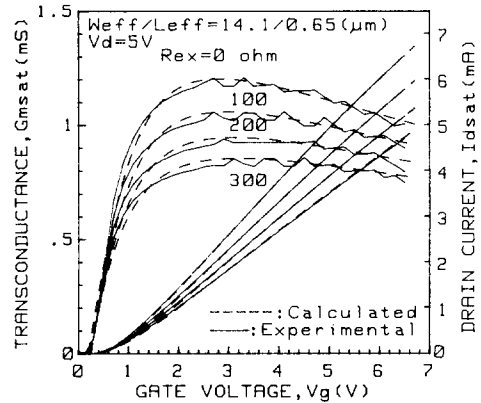


그림 5. 0.65 μ m 소자에서 소오스쪽 외부저항 R_{ex} (0, 100, 200, 300 ohm)의 변화에 따라 측정된 $I_{dsat}-V_g$ 와 $G_{msat}-V_g$ 그리고 식(3), (4)에서 계산된 결과

Fig. 5. Measured $I_{dsat}-V_g$ according to the external resistance R_{ex} (0, 100, 200, 300 ohm) of source side in 0.65 μ m device, and the calculated results from eq.(3) and (4).

용하여 계산한 결과를 비교하여 나타낸 것이다. 계산에 사용된 parameter는 표1에 주어진 것과 동일하며 외부저항 R_{ex} 의 변화에 대해 그림4와 동일한 변화양상을 볼 수 있다. 식(2)와 실험에서 얻어진 R_s 의 결과와 같이 낮은 게이트전압에 대해서는 잘 일치되지 않지만 게이트 전압이 증가되면 정성적으로 잘 일치되고 있다. 외부저항 R_{ex} 의 증가에 대해 그림4의 경우와 같이 최대치는 점차 감소되고 최대치가 나타나는 게이트전압이 증가되고 있음을 알 수 있다. 낮은 게이트전압에서는 subthreshold 전류 생성기구인 diffusion process와 관련된 영역이고 해석적 표현은 채널이 생성된 상태를 기술하고 있기 때문에 잘 일치되지 않는 것으로 해석되며 실선은 측정치이고 점선은 모델에 의한 계산치이다.

소오스쪽 외부저항의 증가에 대해서 뿐만 아니라 드레인쪽 외부저항의 증가에 대해서도 동일한 실험을 수행하였으며 관측된 결과를 그림6으로 나타내었다. 측정에 사용한 소자는 그림5에서 사용한 0.65 μ m 소자로 그림5의 결과와 매우 다른변화를 알 수 있다. 즉 드레인쪽 외부저항의 증가에 의해 채널에 인가되는 드레인 전압이 감소되기 때문에 포화영역이 나타나는 게이트전압도 낮아지는 debiasing 현상외에는 포화영역 드레인전류와 transconductance는 큰 영향

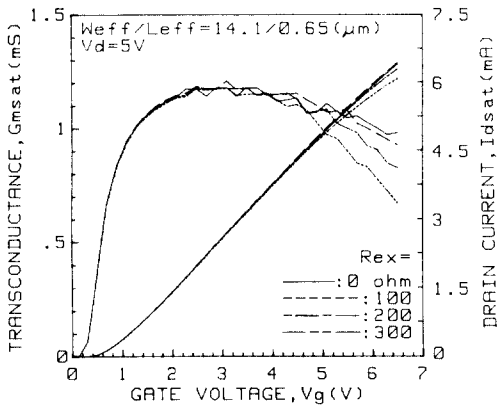


그림 6. 그림5에 사용된 동일한 소자에서 드레인쪽 외부저항 R_{ex} (0, 100, 200, 300 ohm)의 변화에 따라 측정된 $I_{dsat}-V_g$ 와 $G_{msat}-V_g$

Fig. 6. Measured $I_{dsat}-V_g$ and $G_{msat}-V_g$ according to the external resistance R_{ex} (0, 100, 200, 300 ohm) of drain side in the same device as used in Fig.5.

을 받지 않는 것으로 보인다. 따라서 짧은 채널LDD NMOSFET의 포화영역 transconductance G_{msat} 의 감소현상은 드레인쪽 parasitic resistance에 의한 영향은 거의 없으며 소오스쪽 LDD 영역에서 전류운반자의 속도포화에 의해 게이트전압에 따라 증가하는 intrinsic source resistance의 영향으로 해석된다. 이러한 결과는 일반적인 드레인구조의 MOSFET 에도 손쉽게 적용가능하며 채널길이의 드레인전압과 게이트전압 의존성 그리고 space charge limited current 등이 고려된다면 훌륭한 포화영역 소자방정식으로 인정받을 수 있을 것으로 전망된다.

IV. 결 론

N채널 LDD MOSFET에서 전류운반자의 속도포화에 근거한 포화영역 드레인전류 I_{dsat} 과 transconductance G_{msat} 에 대한 해석적인 표현을 유도하고 포화영역 transconductance의 감소기구를 연구하였다. 다른 연구결과와 달리 복잡한 simulation 과정없이 비교적 간단한 해석적 표현과 parasitic source resistance의 선형적 게이트전압 의존성에 의하여 포화된 G_{msat} 의 감소현상을 modeling 하였다. 실험적으로도 드레인전압에 대해 채널길이의 modulation 효과가 거의 zero인 $0.65\mu\text{m}$ LDD MOSFET에서 구한 포화영역 parasitic source resistance는 게이트전압에 대해 선형적으로 증가하였다. 게이트전압에 따라 감소

하는 포화영역 transconductance는 초기저항이 증가되면 최대치 감소가 생기고 초기치에 대한 저항변화가 감소함에 따라 transconductance에서도 최대치 이후의 감소크기가 점차 둔화되었다. 특히 짧은 채널 LDD MOSFET의 디자인과 공정변수의 결정에 있어서 hot-carrier 효과를 감소시키기 위한 측면 뿐만 아니라 기판의 불순물농도 N_A 와 LDD 영역에 주입된 이온들 사이의 보상효과등에 기인하는 높은 저항을 감소시킬 수 있고 전하운반자의 속도포화에 따른 parasitic source resistance의 게이트전압 의존성등이 함께 고려되어야 submicrometer 영역 소자제조나 초고밀도 집적회로제조를 위한 공정변수의 적절한 결정이 가능하리라 전망된다.

参 考 文 献

- [1] H. Mikoshiba, T. Horiuchi, and K. Hamano, "Comparison of drain structures in n-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-33, no. 1, pp. 140-144, 1986.
- [2] M. Koyanagi, H. Kaneko, and S. Shimizu, "Optimum design of n^+-n double-diffused drain MOSFET to reduce hot-carrier emission," *IEEE Trans. Electron Devices*, vol. ED-32, no. 3, pp. 562-570, 1985.
- [3] G.J. Hu, C. Chang, and Y.T. China, "Gate-voltage-dependent effective channel length and series resistance of LDD MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-34, no. 12, pp.2469-2475, 1987.
- [4] A. Hamada, Y. Igura, R. Izawa, and E. Takeda, "N source/drain compensation effects in submicrometer LDD MOS devices," *IEEE Trans. Electron Device Lett.*, vol. EDL-8, no. 9, pp. 398-400, 1987.
- [5] T.Y. Chan, A.T. Wu, P.K.Ko, C. Hu, and R. R. Razowk, "Asymmetrical characteristics in LDD and minimum-overlap MOSFET's," *IEEE Trans. Electron Device Lett.*, vol. EDL-7, no. 1, pp. 16-19, 1986.
- [6] M.K. Orłowski, C. Werner, and J.P. Klink, "Model for the electric fields in LDD MOSFET's-Part I:field peaks on the source side," *IEEE Trans. Electron Device*, vol. ED-36, no. 2, pp. 375-381, 1989.
- [7] G.S. Huang and C.Y. Wu, "An analytic I-V model for lightly doped drain (LDD) MOSFET devices," *IEEE Trans. Electron Devices*, vol. ED-34, no. 6, pp. 1311-1321, 1987.

- [8] R.K. Reich, D.H. Ju, and A.M. Sekela, "Velocity saturation limitations of lightly doped drain transistors," *IEEE Trans. Electron Devices*, vol. ED-35, no. 4, pp. 444-449, 1988.
- [9] Hofstein, "Field-effect transistors; physics, technology and applications," edited by wallmark and Johnson, pp. 125-130, 1966.
- [10] S.M. Sze., "Physics of semiconductor device," 2nd ed. John Wiley & Sons, p. 450, 1981.
- [11] 강광남, 김동명, 이명복, 이유중, 이정일, 한일기, "짧은 채널 LDD MOSFETS에서 게이트 전압에 의존하는 기생저항" 전자공학회 정기총회 및 추계종합학술대회 반도체 재료 및 부품(1) 분야, 11. 18. 1989. 현재 "Electronics Letters"에 투고중임.
- [12] J. I. Lee, M. B. Lee, K.N. Kang and K.O. Park, "Mobility reduction parameters in short-channel MOSFETs," *Elect. Lett.*, vol. 25, no. 11, pp. 753-754, 1989.
- [13] R.W. Coen and R.S. Muller, "Velocity of surface carriers in inversion layers on silicon," *Solid-State Electron.*, vol. 23, pp. 35-40, 1978.
- [14] G. Ghibaudo, "Analytical modeling of the transconductance of short channel MOSFETs in the saturation region," *Solid-State Electron.*, vol. 32, no. 1, pp. 87-89, 1989.

 著 者 紹 介

李 明 福 (正會員) 第26卷 第5號 參照
 현재 한국과학기술연구원 광
 전자연구실 연구원

姜 光 男 (正會員) 第26卷 第5號 參照
 현재 한국과학기술연구원 광
 전자 연구실장



李 精 一 (正會員) 第26卷 第5號 參照
 현재 한국과학기술연구원 광
 전자연구실 선임연구원