

t -分布를 이용한 回路分割의 境界노드 探索에 관한 研究

(A Study on the Search for the Boundary node of Circuit Segmentation using t -Distribution)

李 康 鉉*, 金 容 得**

(Kang Hyeon Rhee and Yong Deak Kim)

要 約

本 論文에서는 CUT를 擬似-全體檢査할 때, 回路가 分割되는 境界노드의 探索 알고리즘을 提案한다. CUT의 노드들에 대한 檢査度 값을 原 데이터로 하는 母集團으로 取扱하고, 有意水準 α 의 檢定을 통하여 檢査度の 信賴區間을 推定한다. 그러므로 副回路의 境界노드와 該當 副回路의 PO가 容易하게 探索되었다.

提案된 알고리즘은 UNIX OS에서 C言語로 實現되었으며, 組合論理 CUT에 適用하여 實行하였다. α 가 0.786일때, 生成된 擬似-全體檢査의 패턴 數가 가장 적게 生成되었으며 全體檢査에 비해 1.22%됨을 確認하였다.

Abstract

In this paper we propose the search algorithm of the boundary nodes that defined as the circuit segmentation when CUT is tested by pseudo-exhaustive testing.

The algorithm treats the testability values of the nodes in CUT as the population composed of the raw data, and after examines the level of significance α and then estimate the confidence interval of the testability values. Thus, one can easily searched the boundary nodes and PO of sub circuits.

The proposed algorithm has been implemented under UNIX OS with C-language, applied to the combinational logic CUT. As a result, it is shown that the pseudo-exhaustive test patterns are least generated when α has 0.786. We confirmed that the rate of test pattern is 1.22%, compared with exhaustive test.

I. 序 論

半導體 製造技術의 急激한 發展으로 LSI/VLSI

回路의 複雜도와 集積도가 繼續 增加하고 있다. 이로 인하여 回路의 故障發生은 보다 높은 確率을 갖고와서 回路檢査(circuit test)에 대한 어려움이 惹起되어 점점 더 重要한 問題로 擡頭되었고 이의 研究가 繼續 進行되어 왔다.^{1,2}

檢査할 回路(circuit under test: CUT)의 入力數가 增加하면 檢査패턴(test pattern)의 數는 指數的으로 增加하게 되어 CUT의 全體檢査(exhaustive test)가 어렵게 된다. 全體檢査는 브리징 缺陷(bridging

*正會員, 朝鮮大學校 電子工學科
(Dept. of Elec. Eng., Chosun Univ.)

**正會員, 亞洲大學校 電子工學科
(Dept. of Elec. Eng., Ajou Univ.)

接受日字: 1990年 6月 26日

fault)에 대해서도 組合論理 回路를 順序回路로 變換하지 않고도 100%의 缺陷 適用範圍를 提供해주는 長點이 있다.¹³ 따라서 CUT를 全體檢査할 수 있으면서 檢査패턴의 數와 檢査時間(test time)을 減少시킬 수 있는 擬似-全體檢査(pseudo-exhaustive test)에 대한 研究가 繼續되었다.

이를 위하여 Bozorgui-Nesbat,¹⁴ McCluskey,¹⁵ Uddell¹⁶ 등은 CUT의 分割과 經路(path)를 探索하는 方法들을 提案하였다. 이 方法들은 各各의 分割된 副回路의 PI(primary input), PO(primary output)에 멀티플렉서를 插入하여 連結하므로 分割된 回路의 檢査는 容易해졌지만 附加적인 H/W 費用이 追加되는 短點이 있으며, 回路内部에서 各各의 副回路가 分割되는 境界노드의 定義가 어렵고 이에따른 經路 探索과 活性化의 어려운 點 등이 있다.

本 論文에서는 CUT를 擬似-全體檢査하는데 있어서 이러한 短點들을 改善, 補完하고자 CUT의 노드들에 대한 檢査도(testability: TY) 값을 原 데이터(raw data)로 하는 母集團(population)으로 取扱하고, 有意水準(level of significance)의 域에 대한 檢定을 통하여, TY의 信賴區間(confidence interval: CI)을 推定함으로써 副回路의 分割時에 境界노드와 該當 副回路의 PO를 容易하게 探索하는 方式의 알고리즘을 提案한다.

II. 擬似-全體檢査

CUT의 擬似-全體檢査는 CUT를 副回路로 分割한 後, PO에서 各 副回路의 出力을 觀測(observation)하는 동안에 副回路가 全體檢査되는 技術이다. 그러므로 CUT를 全體檢査하는 것 보다 매우 짧은 檢査패턴이 要求되고, 더욱이 單-s-a-缺陷(single stuck-at-fault)뿐만 아니라 製造 工程上의 에러로 인한 多重缺陷(multiple fault)까지도 檢出할 수가 있다.

1. CUT의 分割

그림1은 CUT를 分割하는 方法¹⁷으로서 各 副回路 Si가 全體檢査되면서, 同時에 論理組合의 技能的으로 擬似-全體檢査를 할 수 있다.

CUT의 各 出力 PO로부터 모든 入力 PI로 逆追跡하여 TODC(tracing output dependency cones)를 形成하면 各 分割된 副回路의 入力數는 式(1)과 같다.

$$sc(S_i) = I_i + C_i \quad (1)$$

여기서 Si: CUT의 分割된 副回路

sc: 副回路의 數

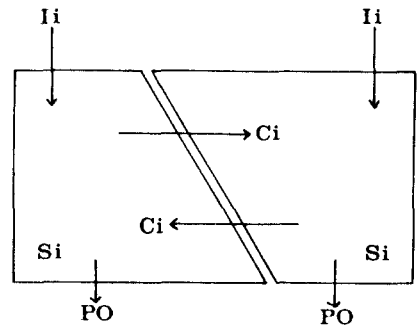


그림 1. 擬似-全體檢査를 위한 回路 分割
Fig. 1. Segmentation for pseudo-exhaustive testing.

I_i : Si 回路의 PI 入力數

C_i : 다른 分割의 Si 回路로부터 境界線(out line)을 통하여 들어오는 回路의 入力數

이다. 이때 各 分割의 境界線上에서 傳達되는 正確한 C_i 의 入力를 알아야 하며, 檢査費用은 式(2)와 같이 檢査패턴의 全體數로 正해진다.

COST(pseudo-exhaustive testing)

$$\begin{aligned} &= \text{Test length} \\ &= \sum_{\text{all seg. st.}} 2^{sc(S_i)} \\ &= \sum_{i=1}^{sc} 2^{(I_i + C_i)} \end{aligned}$$

2. 노드의 檢査度¹⁸⁾

CUT의 擬似-全體檢査 패턴을 生成하기 위해서는 回路의 各 노드에 固定된 論理값을 割當해야 한다. 이러한 實行을 할 수 있는 容易性을 이 노드의 制御度(controllability: CY)라 한다. 이 實行 後, 노드에 割當된 論理값이 CUT의 PO에서 觀測되는 容易性을 그 노드의 觀測度(observability: OY)라 한다. 이때 各 노드의 TY는 CY와 OY의 函數에 의해 구해진다.

論理素子 Z의 CY를 計算하기 위해서는 먼저 Z에 대한 CY의 傳送率 CTF(controllability transfer factor)를 式(3)으로부터 구한다. 이는 素子의 出力論理값 1,0의 數와 關係가 있다.

$$CTF(Z) = 1 - \left| \frac{N(0) - N(1)}{N(0) + N(1)} \right| \quad (3)$$

(N(0)는 素子 出力의 0의 總數, N(1)은 素子 出力의 1의 總數)

入力數가 n일 때 $N(0) + N(1)$ 은 2^n 이 된다. 出力端 Zo에 대한 $CY(Z_o)$ 는 n과 $CTF(Z)$, 그리고 入力端

Zi全體의 값인 CY(Zi)로부터 式(4)와 같이 計算된다.

$$CY(Z_0) = \frac{CTF(Z)}{n} \sum_{i=1}^n CY(Z_i) \quad (4)$$

論理素子 Z의 OY를 計算하기 위해서는 먼저 Z에 대한 OY의 傳送率 OTF(observability transfer factor)를 式(5)로부터 구한다. 이는 素子의 入力에서 出力으로 活性化하는 經路의 數와 關係가 있다.

$$OTF(Z) = \frac{N(SP)}{N(SP) + N(IP)} \quad (5)$$

(N(SP)는 入, 出力間의 活性 經路(sensitive path)의 總數, N(IP)는 入, 出力間의 非活性 經路(insensitive path)의 總數)

入力端 Zi에 대한 OY(Zi)는 OY(Zo)와 n과 OTF(Z), 그리고 다른 入力端 Zk全體의 값인 CY(Zk)로부터 式(6)과 같이 計算된다.

$$OY(Z_i) = OY(Z_0) \frac{OTF(Z)}{n-1} \sum_{k=1}^{n-1} CY(Z_k) \quad (6)$$

그리고 CUT의 各 노드에 대한 TY 計算은 式(7)과 같이 그 노드의 CY와 OY의 函數로 구해진다.

$$TY = CY \times OY \quad (7)$$

Ⅲ. 副回路의 境界 노드 探索

CUT를 擬似-全體檢査하기 위해서는 回路가 分割되어야 하고, 分割된 副回路의 境界노드를 알아야 한다. 이 境界노드는 副回路의 PO와 副回路間의 境界線上에 傳達되는 Ci, Ii의 入力數를 定義하는 것이다. 이를 위하여 本論文에서는 CUT의 各 内部 노드에 대한 TY를 計算하여 이를 母集團으로 取扱하고, TY의 標本平均 X'와 標本標準偏差 s로부터 有意水準 α의 域이 0에 收斂할 때, 母集團을 代表하는 TY의 信賴區間 CI를 探索하는 알고리즘을 提案한다.

提案한 알고리즘은 自由度가 n-1인 t-分布의 式(8)을 利用하여 CI에 存在하는 TY값을 구할 수 있다. 이때, n에는 CUT의 노드數를 代入한다.

$$CI = X' \pm t(n-1; \frac{\alpha}{2}) \frac{s}{\sqrt{n}} \quad (8)$$

[定理] 信賴區間은 α區間의 檢定을 통하여 α가 0에 收斂하는 域은 各 副回路의 PO가 되며, (1-α)域은 各 副回路의 PI의 Ii, Ci가 된다.

[證明] X'와 s는 母數를 推定하면서 CI는 點推定(point estimation)이 된다. α가 0에 收斂하면 累積確率(1-α) 즉, 採擇域은 1이 되어 CUT의 모든 노드가 包含되어 全體檢査가 되며, α의 有意域에 包含되는 副回路의 PO가 된다. 그리고 副回路의 PO가 依存하는 境界노드의 Ci, Ii에 대한 論理的 組合으로서 副回路의 技能의 檢査를 할 수 있다. 그러므로 各 副回路의 技能檢査를 同時에 實行하는 것은 CUT의 擬似-全體檢査를 意味한다.

그림2는 CUT의 各 노드가 t-分布 상에 存在하는 것이다.

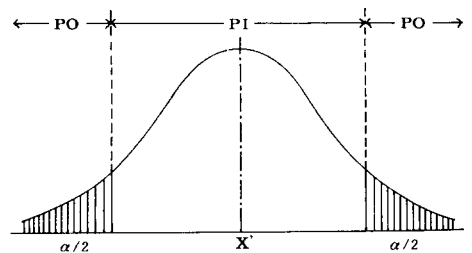


그림 2. t-分布 상에 存在하는 노드
Fig. 2. The existed nodes on t-distribution.

TY의 平均값 X'를 中心으로 副回路의 PI(Ii와 Ci)를 包含)가 存在하고 α/2 域에 PO가 存在한다.

이와같이 提案된 副回路의 PO와 境界노드의 Ci, Ii를 定義하는 알고리즘의 構成은 다음과 같고 이의 實行 흐름도는 그림3과 같다.

<CUT의 副回路間 境界노드 探索 알고리즘>

節次 1) CUT의 各 노드에 대한 CY, OY, TY를 計算한다.

節次 2) 다음 단계에 의하여 副回路의 PO와 境界線上의 Ci, Ii를 探索한다.

[段階 1] TY를 母集團으로 취하여 X'와 s를 구한다.

[段階 2] t-分布 상에 存在하는 TY를 式(8)의 t-(n-1; α/2)項에서 α區間의 檢定을 통하여 TY의 信賴區間 CI를 구한다.

[段階 3] α域과 (1-α)域에 存在하는 TY값의 노드를 구한다.

WHILE n DO

IF TY(n) <= CI(n) OR TY(n) >= CI(n)

THEN TY(n)은 副回路의 PO

ELSE TY(n)은 副回路의 Ci, Ii

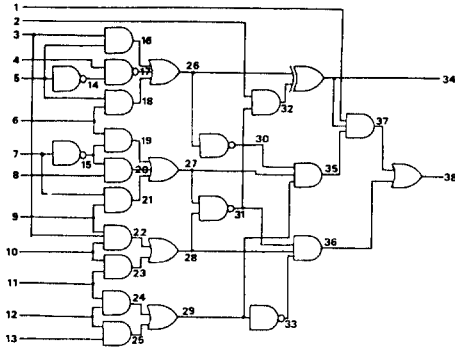


그림 3. 提案된 境界노드 探索 알고리즘 흐름도
Fig. 3. Flow-chart of proposed the search for boundary node.

節次 3의 段階 3의 結果를 式(2)에 代入하여 擬似-全體檢査의 패턴 數를 구한다.

IV. 實行結果 및 檢討

本 論文에서 提案한 CUT의 副回路 分割에 대한 境界노드 探索의 알고리즘을 UNIX OS에서 C 言語로 實現하여 그림 4의 組合論理 CUT에 適用하여 實行하였다. CUT의 各 노드에 對한 CY, OY, TY 값은 표 1과 같다.

表 1의 TY값은 提案된 알고리즘의 節次 2의 段階 2와 3의 $t(n-1) (\alpha/2)$ 에서 副回路의 PO로 定義되어, 그림 5와 같이 Y軸의 α 가 1에서 0.0으로 收斂하

표 1. 그림4의 各 노드의 CY, OY, TY값
Table 1. CY, OY and TY's values of each node in Fig. 4.

α	sc	(A)	(B)	(A)/(B) %
0.0087	2	1,536	8,192	18.75
0.1304	3	800	"	9.77
0.1739	4	788	"	9.62
0.5217	12	196	"	2.39
0.5652	13	156	"	1.90
0.6087	14	152	"	1.86
0.6522	15	144	"	1.76
0.6957	16	144	"	1.76
0.7826	18	100	"	1.22
0.8267	19	102	"	1.25
0.9924	22	106	"	1.29
1.0000	23	118	"	1.44

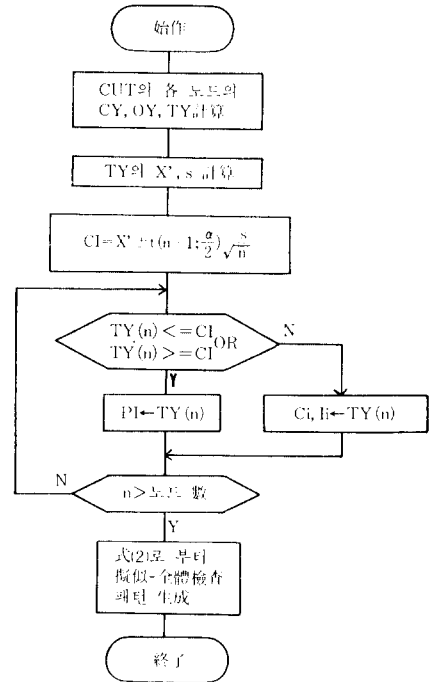


그림 4. CUT의 例
Fig. 4. Example of CUT

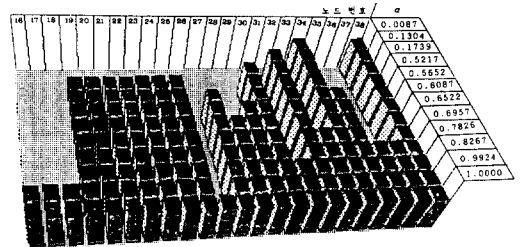


그림 5. t-分布에 따른 副回路의 PO
Fig. 5. Sub-circuit's PO by t-distribution.

면서 Z軸에 나타난다. n은 CUT의 PI를 除外한 23이 되며, α 가 0과 1사이에서 式(2)의 條件에 滿足하는 回路 分割의 數 sc와 檢査 패턴의 數 그리고 全體檢査 패턴과 比較한 結果는 表 2와 그림 6과 같다.

그림 6과 式(2)로부터 sc가 CUT의 PO의 數 2와 같은 $\alpha=0.0087$ 域에서 檢査패턴은 1,536으로 檢査 패턴의 數가 가장 많았고, sc가 全體노드 數 23과 같은 累積確率 區間인 採擇域에서는 118이 되었다. 그

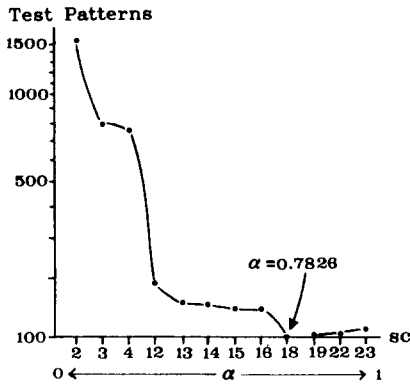


그림 6. 그림4의 副回路 數와 檢査패턴의 數
 Fig. 6. Number of sub-circuits and test patterns of Fig. 4.

표 2. 提案된 알고리즘으로 實行된 結果表
 Table 2. The table of results performed by proposed algorithm.

No.	CY	OY	TY
16	0.500000	0.016855	0.008428
17	0.500000	0.016855	0.008428
18	0.500000	0.016855	0.008428
19	0.500000	0.000201	0.000100
20	0.500000	0.000201	0.000100
21	0.500000	0.000201	0.000100
22	0.250000	0.000520	0.000310
23	0.500000	0.000260	0.000130
24	0.500000	0.000227	0.000113
25	0.500000	0.000227	0.000113
26	0.125000	0.134841	0.016855
27	0.125000	0.001606	0.000201
28	0.187500	0.002079	0.000390
29	0.250000	0.000907	0.000227
30	0.125000	0.000151	0.000019
31	0.078125	0.032662	0.002552
32	0.269531	0.125000	0.033691
33	0.250000	0.001714	0.000429
34	0.197266	1.000000	0.197266
35	0.041667	0.003215	0.000134
36	0.042969	0.051622	0.002218
37	0.103244	0.021484	0.002218
38	0.036553	1.000000	0.036553

리고 sc가 18인 $\alpha=0.7826$ 域에서 가장 적은 檢査패턴 100이 生成되었다.

V. 結 論

本 論文에서는 CUT를 擬似-全體檢査할 때, 副回路의 分割을 定義하는 境界노드를 探索하기 위한 알고리즘을 提案하고, 이를 UNIX OS에서 C言語로實現하여 組合論理 CUT에 適用하여 實行하였다.

既存의 擬似-全體檢査 패턴을 生成하는 알고리즘은 CUT의 分割을 위한 境界노드의 探索에 대하여 어려움과 時間이 많이 걸렸다. 그러나 本 論文에서 提案된 알고리즘은 CUT의 各 노드들에 대한 TY를 計算한 後, 이를 母集團의 原 데이터로 取扱하여 t-分布上에서 存在하는 TY의 信賴區間을 有意水準區 α 間을 통하여 檢定하기 때문에, 빠른 時間內에 副回路의 境界 노드가 探索되면서 該當 副回路의 PO 가 TY의 信賴區間에서 바로 定義가 되었다. 提案된 알고리즘의 實行을 통하여 α 가 0.7826 域에서 生成된 檢査패턴의 數가 全體檢査 패턴 數에 비해 1.22%로 가장 적게 生成됨을 確認하였다.

以上の 結論으로 本 論文에서 提案된 境界노드 探索의 알고리즘은 α 域의 變化에 따라 回路檢査 전에 檢査패턴의 數를 豫測할 수 있으므로, 回路의 設計와 並行하는 DFT (design for testability) 分野와 디지털 시스템의 CAT (computer aided test)에 適用이 期待된다.

參 考 文 獻

- [1] 김용득, "오동차 측정이 쉬운 논리회로의 설계 방식 연구" 대한전자공학회 논문지, vol. 18, no. 3, pp. 52-57, 1981.
- [2] D.T. Wang "An algorithm for the detection of tests set for combinational logic networks" *IEEE Trans Compute.*, vol. C-25, no. 7, pp. 742-746, July 1975.
- [3] McCluskey, E.J., "Verification testing A Pseudo exhaustive test technique," *IEEE Trans. Compute* vol C-33, no. 6, pp. 541-546, June 1984.
- [4] S. Bozorgui-Nesbat and E.J. McCluskey, "Design for Autonomous Test," *IEEE Trans. Computers* pp. 866-875, Nov. 1981.
- [5] McCluskey, E.J., "Exhaustive and Pseudo-exhaustive Test," *Built-in Test Concepts and Techniques, Tutorial, ITC83.*
- [6] J.G. Udell, Jr, "Test set generation for pseudo exhaustive BIST," in *Dig. Papers, IEEE 1986 Int., Conf. Computer Aided Design* (Santa Clara, CA), pp. 52-55, Nov. 11-13, 1986.

[7] Itahak Shperling and Edward J. McCluskey, "Circuit Segmentation for Pseudo-exhaustive Testing," *Stanford Univ., CRC Tech Report*, no. 87-2, CSL no. 87-315, May 1987.

[8] Barry W. Johnson, *Design and Analysis of Fault-Tolerant Digital System*, Addison Wesley pp. 554-565, 1989.

著 者 紹 介

李 康 鉉 (正會員) 第27卷 第7號 參照
 현재 조선대학교 전자공학과
 부교수

金 容 得 (正會員) 第27卷 第7號 參照
 현재 아주대학교 전자공학과
 교수