

# LOCOS 공정에서 새부리 크기 감소를 위한 연구

## (A Study on the Reduction of Bird's Beak in the LOCOS Process)

李 贊 容\*, 朴 相 珉\*, 尹 錫 範\*, 吳 煥 述\*

(Chan Yong Lee, Sang Min Park, Seok Beom Yoon, and Hwan Sul Oh)

### 要 約

본 논문에서는 부분 산화 공정에서 새부리 현상을 유발시키는 대표적 변수들(즉 산화막 두께, 실리콘 질화막 두께, 산화 온도, 필드막 두께)을 가변하여 새부리 크기 감소를 위한 공정을 시도하였다. 선택 산화시 발생하는 게이트막의 결함들을 제거하기 위하여 추가로 희생 산화를 시켰으며, SEM을 사용하여 새부리 크기를 측정된 결과 5000Å을 얻었다.

### Abstract

We study the process for the reduction of bird's beak at LOCOS processing with changing the representative coefficients, oxide thickness, silicon nitride thickness, oxidation temperature and field oxide thickness that induced the condition of bird' beak. In order to eliminate the gate oxide defects induced by selective oxidation, we used additional sacrificial oxidation. Finally we obtained the length of bird's beak to be 5000 Å by SEM.

### I. 서 론

소자 분리 기술은 MOS VLSI를 구성하는데 가장 중요한 기술중의 하나이며, 특히 대용량 MOS 기억 소자에서 셀들의 크기를 결정하는 열쇠는 소자 분리 기술에 의존한다해도 과언이 아닐 것이다.<sup>[1]</sup> 즉 소자 분리의 거리가 1000 Å 개선되기만해도 칩 크기는 1M bit 급에서는 0.2~0.4mm를 줄인 결과가 된다.

소자 분리 방법들에는 SILO,<sup>[2]</sup> SWAMI,<sup>[3]</sup> SEPOX,<sup>[4]</sup> LOCOS<sup>[5]</sup>, Trench<sup>[6]</sup> isolation 등 각각의 특성들을 가지고 연구되었으나 현재에는 일반적으로 1Mbit 급까지는 LOCOS 공정으로 1Mbit 이상에서는 trench-isolation 방법을 사용하고 있다. 15000 Å 전후의 소자 분리 기술을 필요로 하는 1Mbit DRAM 급까지는 기존의 부분산화(LOCOS; Local Oxidation of Silicon)

공정법을 개선하여 최적화할 수 있다.<sup>[7]</sup>

부분산화 공정이 널리 쓰이는 이유는 부수적인 마스크의 불필요, 표면의 평평도, 집적도의 향상, 기존의 공정 기술들과의 호환성과 VLSI 회로의 능동 소자들을 분리하는데 잇점을 가지고 있기 때문이다.<sup>[8]</sup> 그러나 부분산화 공정은 실리콘 단부의 실리콘-산화막, 산화막-질화막과의 경계면에서 열산화시의 축방향의 부피 팽창변화로 인한 새부리(bird's beak) 현상이 생겨서 이것이 능동 영역을 잠식하게 되어 회로의 신뢰성 문제를 야기시키며, 집적도를 저하시키게 된다.<sup>[9]</sup> 그러므로 칩 크기를 작게하는 고집적화가 이루어짐에 따라 새부리 현상으로 인해 차지하는 필요없는 면적을 얼마만큼 감소시키느냐가 주된 과제로 등장하게 되었다.<sup>[10]</sup>

본 연구에서는 LOCOS 공정에서 gate oxide thinning 현상을 고려하여 새부리 크기를 최소화 하기 위해 산화막 두께, 질화막 두께, 필드막 두께를 서로 변화시키면서 산화온도와 산화시간을 조절하였다.

\*正會員, 建國大學校 電子工學科  
(Dept. of Elec. Eng., Konkuk Univ.)  
接受日字: 1989年 10月 11日

II. 새부리 감소를 위한 해결 방안

부분 산화 공정에는 semi-recessed oxide 방식과 full-recessed oxide 방식이 있으며 이를 소자 격리 기술로 널리 사용하고 있다. 그러나 이때 소위 “새부리”가 발생하여 소자 크기를 감소시키는데 제한요소로 등장하게 되었으며 또 gate oxide thinning 현상을 유발하기도 한다. 그러므로 부분 산화 공정에서의 최적화 조건을 찾아 결함 밀도를 낮추고, 새부리 길이를 짧게 하는 일은 소자의 소형화를 위해 필수 불가결한 과제이다.

부분 산화 공정으로, 요즘은 LPCVD 방법을 이용하여 증착된 질화막을 산화 마스크로써 사용하여 소자의 격리기술에 사용하고 있다. 그러나 이 질화막은 큰 진성 강도를 가지고 있으므로 부분 산화 공정시에 질화막 모서리를 따라서 상당한 장력을 받게되어 변위 또는 금이 생겨 소자 특성을 저하시켰다. 따라서 실리콘 기판을 보호하고 변위 생성을 방지하기 위하여 얇은 산화막층을 실리콘 기판과 질화막 사이에 성장시킨다. 그러나 버퍼 산화층 두께에 따라 OISF(Oxidation Induced Stacking Faults)는 비례하여 증가하고, 또한 버퍼 산화층의 존재로 질화막 모서리에서 측방향 산화때문에 새부리 현상이 생기게 된다. 따라서 실리콘 기판위에 질화막을 직접 증착하면 실리콘 웨이퍼는 상당한 손상을 입게되어 소자로서 기능을 다하지 못하게 된다. 장력은 질화막 두께에 비례하지만 새부리 크기는 질화막 두께가 클수록 감소하게 되고, 또 산화온도가 1100°C 이상으로 증가하면 불순물의 재분포 현상은 심각하지만 그 대신에 장력은 감소하게 되며 새부리도 감소하게 된다. 산화 온도를 낮추면 산화막 밀도는 증가되고 새부리 길이는 커진다.

결국 버퍼 산화층이 너무 얇던지, 질화막층이 너무 두꺼우면 장력은 변위와 stacking fault를 야기시켜 소수 캐리어 수명을 단축시키고 디바이스 성능, 생산성이 감소하게 된다. 그러므로 새부리 크기를 줄이기 위해서는 버퍼 산화층 두께를 줄이고, 질화막 두께는 크게하여, 산화 온도를 높이고, 필드막 두께를 줄일 필요가 있다.

필드 산화막 성장을 위하여 선택적 습식 산화시에 Si<sub>3</sub>N<sub>4</sub>층의 표면 및 측면에서 H<sub>2</sub>O와 Si<sub>3</sub>N<sub>4</sub>의 반응으로 NH<sub>3</sub> 가스가 SiO<sub>2</sub>층을 통과하여 실리콘 웨이퍼 표면으로 확산된다. 결국 이 암모니아 가스는 실리콘 표면과 반응하여 얇은 비 화학식론적 oxynitride를 형성한다. 질화막과 산화막을 식각하여 제거하여도 이 oxynitride는 계속 존재하여 산화에 대한 장벽으로 작

용하므로 게이트 산화막 성장시 이러한 결함들 때문에 gate oxide thinning 현상<sup>[11]</sup>이 일어나게 된다. 이러한 게이트 산화막 결함들은 능동 영역 전반에 걸쳐 불규칙하게 분포되어지며 MOS 공정에서 가장 중요한 게이트 산화막 성장시 산화층 밀도를 저하시키며, 따라서 파괴 전압은 감소하게 된다. 이러한 현상을 최소로 줄이기 위해서 얇은 산화층으로 변환시키는 희생 산화를 하였다. 이 희생 산화층 두께를 증가할수록 게이트 산화막의 결함 밀도를 감소시킬 수 있다.

III. 실험 방법

본 실험의 개요도는 그림 1과 같으며, 모든 웨이퍼는 4" 5-10Ω·cm, p-type(100)을 사용 하였다.

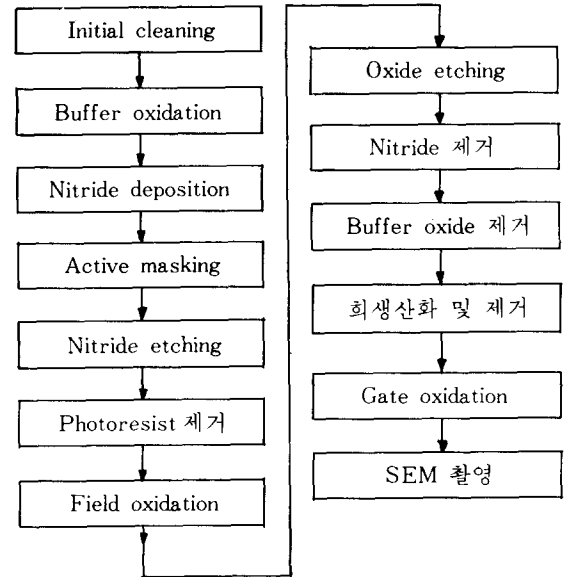


그림 1. 본 실험의 순서도  
Fig. 1. A block diagram of the experiment.

산화막 두께, 질화막 두께, 필드막 두께를 표1과 같이 서로 가변시켜 성장, 증착시켰으며 각 단계별로 간략하게 공정순서를 기술하면 다음과 같다. 우선 모든 웨이퍼를 산화에 들어가기에 앞서 4H<sub>2</sub>SO<sub>4</sub> : 1 DI Water 용액속에 120°C, 10분 동안 유기물 세척한후 10 : 1 HF 용액속에서 10초 동안 무기물 세척하여 dump, bubbler bath를 거쳐 초기 세척을 마쳤다. Buffer oxidation는 표 2와 같이 하였다.

표 1. 각 웨이퍼의 두께 분류

Table 1. The thickness of the each wafer.

	SiO <sub>2</sub> 두께	Si <sub>3</sub> N <sub>4</sub> 두께	필드막 두께
wafer 1 - 3	250 Å	700 Å	5500 Å
wafer 4 - 7	300 Å	800 Å	6500 Å
wafer 8 - 10	350 Å	700 Å	8000 Å

표 2. 버퍼 산화막을 성장시키기 위한 건식 산화 방법

Table 2. Dry oxidation process for buffer oxide growth.

Recipe contents							
Step	stanby	push	ramp up	preheat ox	TCA ox	ramp down	pull
T(°C)	900	900	1000	1000	1000	900	900
Time(min)		10	10	3	20	20	10
Gas (cc/m)	N <sub>2</sub>	5000	5000	5000		5000	5000
	O <sub>2</sub>	200	200	200	4500	4500	200
	TCA				250		

LPCVD장치를 사용하여 질화막을 증착하였으며 이때의 조건은 다음과 같다.

Temp : 760°C / 782°C / 795°C (Front/Center/Rear)

Pressure : 360 mTorr

Gas Flow Rate : SiH<sub>2</sub>Cl<sub>2</sub> 30 SCCM

NH<sub>3</sub> 100 SCCM

Deposition Rate : 25 Å / Min

Active masking은 HMDS (Hexamethyldisilane) 100°C, 10분간 처리하였으며

PR coating은 저속 250rpm, 고속 4900rpm, 35초

Softing baking은 100°C, 30분

Exposure은 7.5초

Develop은 6 : 1 develop, 70초

Hard Baking은 120°C, 30분

C. D check 순으로 하였다.

질화막 에칭을 RIE (Reactive Ion Etching) 방법을 이용하였고 이때의 조건은

Etchant gas : SF<sub>6</sub>

Gas flow rate : 10SCCM

Pressure : 1.5 × 10<sup>-2</sup> Torr로 하였다.

PR은 H<sub>2</sub>SO<sub>4</sub>, 120°C, 10분 동안 strip 한후, CD 검사 하였다.

Field oxidation은 표 3 과 같이 하였다.

질화막위에 성장되는 소량의 산화막을 제거하기 위하여 10 : 1 HF 용액속에서 에칭하였으며, H<sub>3</sub>PO<sub>4</sub> 용액속에서 160°C, 30Min동안 질화막을 에칭하였고,

표 3. 버퍼 산화막을 성장시키기 위한 습식 산화 방법

Table 3. Wet oxidation process for field oxide growth.

Recipe contents						
Step	stanby	push	ramp up	oxidation	ramp down	pull
T(°C)	900	900	1000	1000	900	900
Time(min)		10	10	110	20	10
Gas (cc/m)	N <sub>2</sub>	5000			5000	5000
	O <sub>2</sub>		5000	5000	4500	
	H <sub>2</sub>				6750	

7 : 1 BHF 용액속에서 버퍼 산화층을 제거한 후에 gate oxide thinning 현상을 유발시키는 실리콘 질화막층을 없애기 위하여 희생 산화를 하였으며 이는 1000°C, 건식 산화 방법으로 450Å 성장시키고 그에 따른 제거를 7 : 1 BHF 용액속에서 30초 동안 행한 다음에 게이트 산화막을 건식 산화 방법으로 450 Å 성장시켰다.

#### IV. 결과 및 고찰

본 실험에서 LOCOS 공정시 새부리 현상이 필연적으로 생기는 것을 보았으며 이는 산화막, 질화막, 필드막 두께와 산화 온도에 따라서 복합적으로 변화되기 때문에 이러한 제 변수들을 적절하게 조절하면 새부리 크기를 최소화 시킬 수 있음을 보았다. 그림 4는 버퍼 산화막 두께를 250 Å, 산화온도 1000°C, 필드 산화막 두께 5500 Å 으로 고정시킨후 질화막 두께를 변화할때 새부리 크기를 도시하였으며 질화막 두께가 증가할수록 새부리 길이는 감소됨을 보았다. 질화막 두께가 700 Å 에서 새부리 길이가 5000 Å 으로 최소였고, 질화막 두께가 2000 Å 으로 증가할때 새부리 크기는 감소하나 기판에 스트레스를 주기때문에 문제가 생김을 알 수 있었다.

그림 5는 질화막 두께를 700 Å 으로 고정하였을때 버퍼 산화층 두께 변화에 따른 새부리의 크기를 도시하였다. 산화막 두께가 증가하면 새부리 크기도 증가하며, 산화막 두께를 100 Å 이하로 하면 새부리 크기는 줄어들지만 공정상의 어려움 때문에 수행하지 못하였다.

그림 6은 버퍼 산화막 두께가 350Å, 질화막 두께를 700 Å 이고 필드막 두께가 8000 Å 로 하였을 때의 18000배의 SEM 사진이며 이때의 새부리 크기는 5600 Å 이었다.

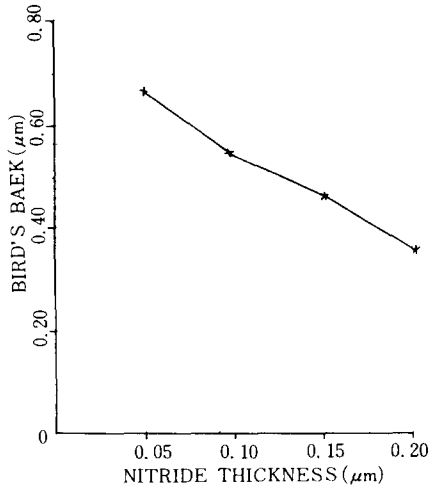


그림 2. 산화막 두께를 250Å으로 고정시 질화막 두께 변화에 따른 새부리 크기

Fig. 2. When the oxide thickness is fixed the 250Å, the bulk of bird's beak is appeared along the variation of nitride thickness.

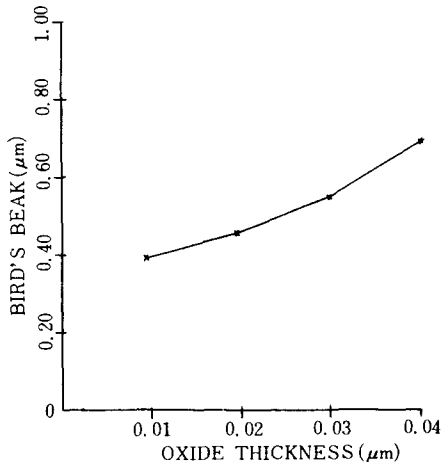


그림 3. 질화막 두께를 700Å으로 고정시 산화막 두께 변화에 따른 새부리 크기

Fig. 3. When the nitride thickness is fixed the 700Å, the bulk of bird's beak is appeared along the variation of oxide thickness.

그림 7은 버퍼 산화막 두께가 250 Å, 질화막 두께를 700 Å, 필드막 두께가 5500 Å 이었을때의 사진이며 이때의 새부리 길이는 5000 Å 이었다.

따라서 새부리 크기는 산화막 두께가 작을수록 질

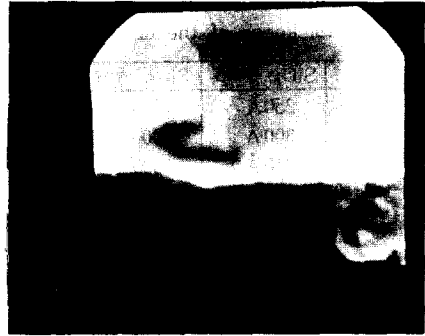


그림 4. 버퍼 산화막 두께 350Å, 실리콘 질화막 두께 700Å, 필드막 두께 8000Å 일때의 SEM사진

Fig. 4. The SEM photo for the thickness of buffer oxide 350Å, the thickness of silicon nitride 700Å, the thickness of field 8000Å.

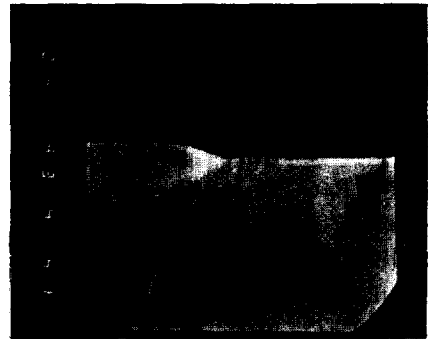


그림 5. 버퍼 산화막 두께 250Å, 실리콘 질화막 두께 700Å, 필드막 두께 5500Å 일때의 SEM 사진

Fig. 5. The SEM photo for the thickness of buffer oxide 250Å, the thickness of silicon nitride 700Å, the thickness of field 5500Å.

화막 두께가 두꺼울수록 필드막 두께가 감소 할수록 감소됨을 알 수 있었다.

### V. 결 론

본 연구에서 수행된 LOCOS 공정에서 산화 온도를 1000°C로 하였을때 버퍼 산화층 (SiO<sub>2</sub>)의 두께

250 Å, 질화막(Si<sub>3</sub>N<sub>4</sub>) 두께를 700 Å으로 증착하고, 필드막 두께가 5500 Å으로 하였을때 새부리 크기가 최소로 됨을 보았으며 그때의 새부리 길이는 SAM 촬영 결과로 5000 Å 있다. 또한 게이트 산화막의 결함 밀도를 없애기 위하여 산화층을 입힌 후 이 산화막을 BHM 용액속에서 제거하였을때 gate oxide thinning 현상을 거의 볼 수 없었다.

參 考 文 獻

[1] J. Hui, T.Y. Chiu, S. Wong, and W.G. Olehan, "Selective Airdation technologies for high density MOS," *IEEE Elec. Dev. Let.*, EDL-2, pp. 244, 1981.

[2] T. Huk, T.Y. Chiu, S. Wong, and W.G. Oldhan, "Sealed interface local oxidation technology," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 554, 1982.

[3] C.W. Teng, G. Pollack, and W.R. Hunter, "Optimization of sidewall masked isolation process," *IEEE Trans. on Electron Devices*, vol. ED-32, pp. 124, 1985.

[4] Matsukawa, N., H. Nozawa, and S. Kohyama, "Selective polysilicon oxidation technology for VLSI isolation," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 561, 1982.

[5] J.A. Appls, E. Kooi, and M.M. Paffen, "Local oxidation of silicon and it application in semiconductor device technology," *Pillips Res. Rep.*, vol. 25, pp. 118, 1970.

[6] Kit M. Chan, S. Chiang, and R.D. Rung., "Characterization and modeling of the trench surface inversion problem for the trench isolation CMOS teonology," *IEDM*, pp. 23, 1983.

[7] Tomohisa Mizuno, Shizuo Sawada and Satoshi Shinzaki, "Oxdation rate reduction in the submicrometer LOCOS process," *IEEE Trans. Electron Deviees* vol. ED-34, no. 11, pp. 2255, 1987.

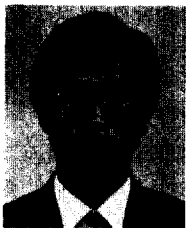
[8] Tatsuya Enomoto, Ryo Ando, and Haruo Nakayama, "Thermai oxidation rate of a SiN film and its masking effect against oxidation of silicon," *Jap. J. Appl. Phys.* vol. 17, pp. 1049, 1978.

[9] Kuang Yi Chiu, John L. Moll and Juliana Manolio, "A bird's beak free local oxidation technology feasible for VLSI circuits fabrication," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 536, 1982.

[10] Hideo Sakai, Takeo Yoshimir, and Katsuro Sugawara, "Methods to improve the surface planarity of locally oxidized silicon devices," *J. Electrochem. Soc.*, vol. 124, no. 12, pp. 318, 1977.

[11] Osaake Nakajima, Nbour Shiono and Chisato Hashimoto, "Defects in a gate oxide grow-after the LOCOS process," *Jap. J. Appl. Phys.*, vol. 18, no. 5, pp. 43, 1979.

著 者 紹 介



李 贊 容 (正會員)

1961年 11月 27日生. 1988年 2月 건국대학교 전자공학과 졸업. 1988年 3月~현재 건국대학교 대학원 전자공학과 석사과정. 주관 심분야는 실리콘 단위공정 및 MOS 공정 등임.



朴 相 珉 (正會員)

1963年 1月 22日生. 1988年 2月 건국대학교 전자공학과 졸업. 현재 건국대학교 대학원 전자공학과 석사과정 재학중. 주관심분야는 CAD를 이용한 반도체 설계 등임.

吳 煥 述 (正會員) 第25卷 第11號 參照

현재 건국대학교 전자공학과 부교수

尹 錫 範 (正會員) 第25卷 第11號 參照

현재 건국대학교 전자공학과 박사과정 재학중