

# 고온 급속열처리에 의한 이온빔 증착 W/GaAs의 구조 및 전기적 특성

(Structural and Electrical Characteristics of Ion Beam Deposited  
Tungsten/GaAs by High Temperature Rapid Thermal Annealing)

片 廣 毅\*, 朴 亨 茂\*, 金 鳳 烈\*\*

(Kwang Eui Pyun, Hyung Moo Park, and Bong Ryul Kim)

### 要 約

본 논문에서는 GaAs SAGFET(Self Aligned Gate FET)의 게이트에 응용하기 위한 텅스텐 박막을 이온빔 방법으로 GaAs 기판위에 증착한 후, 800°C에서 950°C까지 급속열처리하여 처리온도 및 시간에 따른 텅스텐 박막의 구조 및 전기적 특성변화를 four-point 탐침법, XRD, SEM, AES 전류-전압측정으로 조사하였다. 조사결과 증착된 막은 미세구조의 β 텅스텐이었으며 900°C, 6초의 열처리에서 α 텅스텐으로 상변화하였다. 그러나 상변화에 관계없이 900°C까지 텅스텐 막의 전기적 특성은 매우 안정하였으며, 900°C 4초의 경우 10개의 다이오드로부터 측정된 쇼트키 장벽전압의 크기는  $0.66 \pm 0.003$  eV 이었다.

### Abstract

In this study, ion beam deposited tungsten thin film for gate material of GaAs SAGFET(Self Aligned Gate FET) was annealed from 800°C to 900°C using RTA and detailed investigations of structural and electrical characteristics of this film were carried out using four-point probe, XRD, SEM, AES and current-voltage measurement.

Investigated results showed phase of as deposited tungsten film was fine grain β phase and phase transformation of this film into α phase occurred at annealing condition of 900°C, 6sec.

But regardless of phase transformation, electrical characteristics of tungsten film were very stable to 900°C and in case of 900°C, 4sec annealing condition Schottky barrier height obtained from 10 diodes measurements was  $0.66 + 0.003$ eV.

### I. 서 론

GaAs 반도체는 실리콘 반도체에 비해 고전자 이

동도, 고저항율 등의 우수한 물성을 갖고있기 때문에 실리콘 반도체로 구현하기 힘든 초고속, 고주파 소자를 구현시 적합하다. 이러한 GaAs 반도체가 현재와 같은 수준으로 발전하게 된 것은 1970년대초 단결정 성장기술(HB, LEC)이 확립된 이후이며, 현재 JFET, MESFET, HEMT, HBT 등의 소자들이 있으나 공정 설계가 가장 잘 발달된 MESFET가 주로 IC 제작에

\*正會員, 韓國電子通信研究所, 化合物半導體硏究部  
(Compound Semiconductor Department, ETRI)

\*\*正會員, 延世大學校 電子工學科  
(Dept. of Elec. Eng., Yonsei Univ.)

接受日字: 1989年 8月 18日

응용되고 있다. 초기의 MESFET는 게이트는 Al, 활성층(active layer)은 에피택시, 소자분리(isolation)는 습식식각을 이용한 mesa형성에 의해 이루어 졌으며, 이보다 진보한 형태가 활성층 형성시 이온주입을 이용한 planar 공정이며, 주입이온의 활성화를 위한 800°C 이상의 열처리로 인하여 Al 게이트 형성은 최종단계에서 이루어지게 된다. 그러나 전술한 공정은 게이트와 소오스, 드레인간의 정열이 좋지 않아 소자의 성능향상과 IC의 집적도 향상에 장애요인으로 등장하게 된다. 따라서 이러한 문제점을 해결하기 위하여 고안된 공정이 SAGFET (Self Aligned Gate FET) 공정기술이다. 이러한 SAGFET 공정기술은 크게 두가지로 구분할 수 있으며, 첫째가 내열성 금속게이트를 이용한 고온 SAGFET 기술이며 둘째가 dummy게이트를 이용한 저온 SAGFET 기술이다. 이러한 두가지 기술은 모두 장단점이 있으나, 활성화시의 고온에서 GaAs와 안정한 내열성 금속이 개발되면 공정의 단순성에 따른 이점 때문에 고온 SAGFET 기술이 저온 SAGFET 기술보다 유리할 것으로 전망되고 있다. 따라서 고온에서 GaAs와 보다 안정한 특성을 갖는 내열성 금속에 관한 연구가 활발하게 진행되고 있으며, 이러한 최근의 연구동향을 살펴보면 다음과 같다.

1983년에 T. Ohnishi 등은<sup>[11]</sup> cosputtering 방법으로  $WSi_x$  막을 GaAs에 증착한 후 850°C에서 열처리하여 쇼트키 장벽크기( $\phi_B$ )가 0.7eV인 결과를 얻었으며, 증착직후의 막은 비정질 상태이며 900°C의 열처리에서  $\beta$ 상으로 변화하였다고 보고하였다. 1984년에는 H. Yamagishi<sup>[12]</sup>가 reactive RF sputtering 방법으로  $WN_{0.3}$  박막을 GaAs에 증착한 후 800°C에서 열처리한 결과  $\phi_B$ 가 1.15 eV인 우수한 결과를 얻었으며, 1985년에는 K. Y. Ahn 등이<sup>[13]</sup> magnetron sputtering 방법으로 증착한 W막의 증착 공정변수에 따른 특성 변화에 관해 연구하였으며, N. Susa 등은<sup>[14]</sup> RF magnetron sputtering 방법으로 W막을 GaAs에 증착한 후, 막의 공정변수와 열처리에 따른 특성변화를 관찰하여, 증착직후의 W막은 증착조건에 따라  $\alpha$  또는  $\beta$ 상이며 430°C에서 열처리한 결과  $\phi_B$ 가 0.61 eV인 것을 보고하였다. 1986년에 S. P. Kwok<sup>[15]</sup>은 저온 SAGFET와 고온 SAGFET 기술의 장단점을 비교 검토하였으며 N. Uchitomi 등은<sup>[16]</sup> magnetron sputtering, s-gun sputtering, RF diode sputtering으로  $WN_x$  막을 증착한 후 각각의 특성을 X-ray, AES로 조사하고 800°C에서 열처리하여  $\phi_B$ 가 0.8 eV 이상인 결과를 얻었으며, J. Y. Josefowicz<sup>[17]</sup> 등은 dc magnetron sputtering으로 W과  $WN_{0.04}$  막을 증착한 후 975°C에

서 열처리한 결과 각각  $\phi_B$ 가 0.7, 0.72 eV인 결과를 얻었다.

이외에도 K. M. Yu<sup>[18]</sup> 등은 sputtering 방법으로 W막을 증착후 열처리한 결과 500°C 이상에서 쇼트키 다이오드 특성이 저하한다고 보고하였다. 1987년에는 S. Takatani 등이<sup>[19]</sup> magnetron sputtering 방법으로  $WSi_x$  막을 GaAs에 증착하여 800°C에서 열처리한 후 SIMS, RBS로 막의 특성을 조사하였으며, 이외에도 M. Kanamori 등은<sup>[10]</sup> magnetron sputtering 방법으로 W/ $WSi_x$  막을 증착한 후 800°C에서 열처리하여  $\phi_B$ 가 0.75 eV인 결과를 얻었다, 이후 여러가지 방법으로 증착된 W/GaAs, WN/GaAs, TiN/GaAs,  $WSi_x$ /GaAs의 열처리 조건에 따른 막의 특성변화에 관한 연구가 계속 수행되고 있다.<sup>[11][12][13]</sup>

그러나 지금까지 발표된 내열성 금속의 열처리에 의한 막의 특성변화에 관한 연구중, 이온빔 증착된 내열성 금속의 금속 열처리에 의한 특성변화에 관한 연구는 전혀없는 실정이다. 이러한 이온빔에 의한 금속증착이 기존의 증착방법에 비해 갖는 장점을 살펴보면, 낮은 공정압력 때문에 마스크를 이용한 증착막의 lift-off가 가능하며, 증착기판이 방전이나 빔에 직접 노출되지 않기 때문에 기판온도가 낮아, 온도에 민감한 어떠한 물질도 증착될 수 있다!<sup>[4]</sup> 따라서 본 논문에서는 금속열처리에 의한 고온 SAGFET 공정기술을 개발하기 위하여 이온빔으로 텅스텐을 GaAs 기판에 증착하여 800°C - 950°C 사이에서 금속 열처리한 후 증착막의 구조 및 전기적 특성변화를 four-point 탐침법, XRD, SEM, AES, 전류-전압측정으로 조사한 후 그 결과에 대해 논하였다.

## II. 실험

본 실험에서는 고온 금속열처리에 의한 기판의 영향을 배제한 이온빔 증착된 텅스텐 박막의 열처리에 의한 특성변화를 조사하기 위하여, 실리콘의 농도가  $3.8-4.1 \times 10^{17}/cm^3$ 인 n형 GaAs 기판을 사용하였다. 텅스텐 박막을 이온빔 증착하기전에 표1과 같은 조건으로 기판을 세척하였다.

텅스텐 증착에 사용된 이온빔 장비의 기본압력은  $10^{-7}$  torr이고, 증착시의 공정압력은  $2 \times 10^{-4}$  torr이며 Ar 가스를 사용한다.<sup>[14]</sup> 그림1에 증착시간에 따른 텅스텐 막의 두께변화를 나타내었으며, 증착시간에 따라 선형적으로 비례하여 증착됨을 알 수 있다. 본 실험에서는 빔전압 1000V, 빔전류 20mA인 조건에서  $1,488 \pm 34 \text{ \AA}$ 의 텅스텐 박막을 증착하였으며, 증착전에 텅스텐 타겟의 표면불순물을 제거하기 위하여 20

표 1. 기판 세척조건  
Table 1. Substrate cleaning condition.

| 순서 | 세척공정                        |
|----|-----------------------------|
| 1  | TCE, acetone, IPA 세척        |
| 2  | N <sub>2</sub> 가스로 말림       |
| 3  | NH <sub>4</sub> OH(1:10) 식각 |
| 4  | 탈이온수로 헹굼                    |
| 5  | N <sub>2</sub> 가스로 말림       |
| 6  | Singe baki ng 200°C, 15분    |

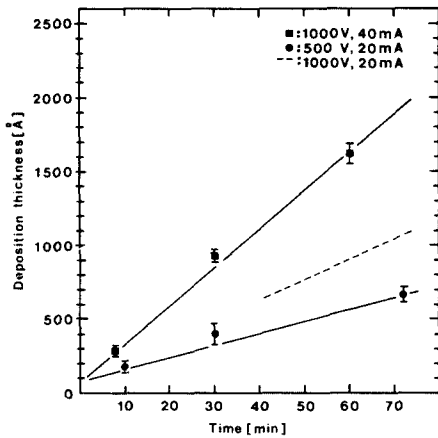


그림 1. 증착시간에 따른 텅스텐 막의 두께 변화  
Fig. 1. Tungsten film deposition thickness versus deposition time.

분간 pre-sputtering 한 후 증착공정을 수행하였다. 텅스텐을 증착한 후 쇼트키 다이오드 패턴을 정의하기 위하여 표2와 같은 조건으로 전자공정을 수행한 후 30 w/o H<sub>2</sub>O<sub>2</sub> 용액으로 상온에서 텅스텐 막을 식각하였다. 본 실험에서 증착 또는 식각되는 막의 두께는 mechanical stylus로 관찰하였으며, 식각시간에 따른 막의 두께변화는 그림2와 같다.

표 2. 전자 공정조건  
Table 2. Lithography process condition.

| 순서 | 공정조건                             |
|----|----------------------------------|
| 1  | S1400-27 포토레지스트<br>5000 RPM, 40초 |
| 2  | Soft baking 95°C, 30분            |
| 3  | 노출 60초                           |
| 4  | AZ 352 현상액, 30초                  |
| 5  | Hard baking 110°C, 30분           |

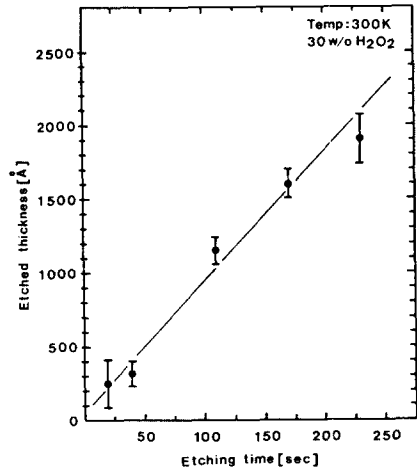


그림 2. 식각시간에 따른 텅스텐 막의 두께 변화  
Fig. 2. Tungsten film etched thickness versus etch time.

텅스텐 박막의 초당 식각율은 9Å 정도이었으므로 박막의 형상조절이 용이하였으며, 0.7µm 정도의 패턴도 형성이 가능하였다. 0.7µm 패턴이 형성된 결과를 그림3에 나타내었으며, 본 실험의 전체 순서도를 그림4에 나타내었다.

### III. 결과 및 토의

본 실험에서 수행된 급속열처리 온도 및 시간은 실제 소자제작공정에서 실리콘 이온주입후의 활성화 공정조건에 준해 결정되었으며, 증착된 텅스텐 박막을 급속열처리한 결과, 800°C 10초, 850°C 7초 10초, 900°C 8초, 950°C 7초의 조건에서는 peel-off 현상이 관찰되었으며, 이는 열처리시간 증가에 의한 GaAs

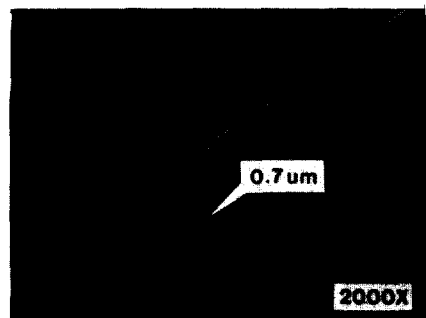


그림 3. 정의된 0.7µm 패턴  
Fig. 3. Defined 0.7µm pattern.

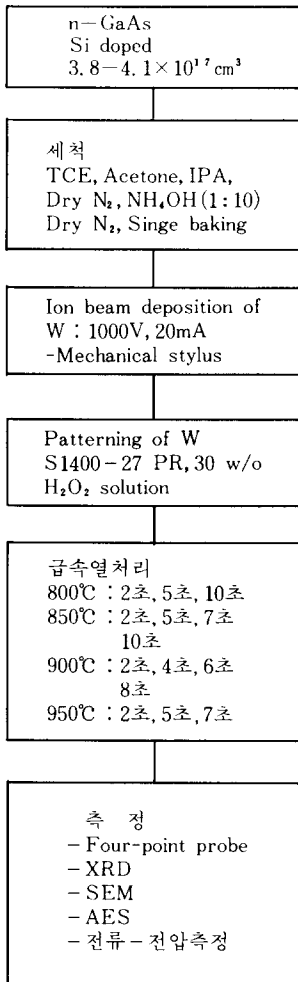


그림 4. 실험 순서도  
Fig. 4. Procedure of the experiment.

기판과 텅스텐 박막의 열팽창계수의 차이에 의한 원인으로 보인다.

1. X-선 회절(XRD: X-Ray Diffraction) 분석결과 그림5에 급속열처리 온도 및 시간에 따른 XRD 분석결과를 나타내었으며 이때 사용된 X선은 CuKα로 파장이 1.5418 Å이며 2θ를 20°에서 80°까지 변화시키면서 측정하였다. 또한 각각의 특성피크는 JCPDS (Joint Committee Powder Diffraction Standards) 자료 파일로부터 결정하였다.

그림5의 XRD 결과를 보면 이온빔으로 증착된 텅스텐 막의 증착직후 상태는 미세구조의 β 텅스텐 구조인 것을 알 수 있으며, 800°C에서 2초, 5초로 열처

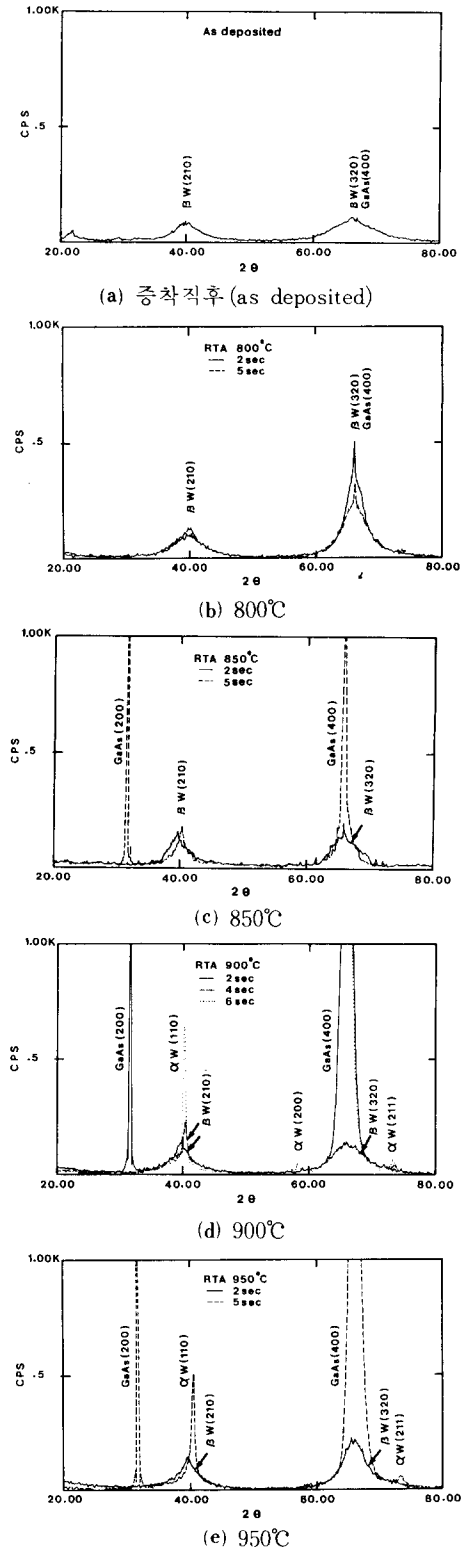


그림 5. XRD 분석결과  
Fig. 5. XRD analysis results.

리 시간이 증가함에 따라 파크의 세기는 약간 증가하나 아직은 미세구조의  $\beta$  텅스텐으로 남아있는 것을 알 수 있으며, 900°C 6초의 열처리에서 비로소  $\alpha$  텅스텐으로 상변태가 일어나며 피크의 세기가 증가하는 것으로 보아 결정화도 진행되는 것을 알 수 있다.

950°C에서도 2초에서는  $\beta$  텅스텐으로 존재하다가 5초의 열처리에서  $\alpha$  텅스텐으로 변환하며, 역시 결정화가 진행되는 것을 알 수 있다. 이러한 열처리에 의한 텅스텐 박막의 상변화에 대해 발표된 바를 살펴보면 J. Y. Josefowicz<sup>(6)</sup> 등은 GaAs 기판에 DC magnetron 스퍼터링된 텅스텐 박막의 증착직후 상태는  $\alpha$  텅스텐이며 1075°C, 15초 열처리후에도  $\alpha$  텅스텐으로 존재한다고 보고하였으며, Petroff<sup>(15)</sup> 등은 SiO<sub>2</sub> 기판위에 RF 스퍼터링된 텅스텐 박막의 증착직후 상태는  $\beta$  텅스텐이며 400°C에서 600°C까지 열처리한 결과  $\alpha$  텅스텐으로 상변화 하였다고 보고하였다. 이외에도 Tang<sup>(16)</sup> 등은 사파이어 기판위에 PECVD 방법으로 텅스텐을 증착한후, 막의 특성을 조사한 결과, 증착직후의 상태는  $\beta$  텅스텐이며 750°C 정도의 열처리에서  $\alpha$  텅스텐으로 상변화한다고 보고하였다. 열처리 온도에 따른 텅스텐의 grain 크기 변화를 알아보기 위하여 다음과 같은 식으로 grain 크기를 계산하였다.<sup>(17)</sup>

$$\text{Grain 크기} = 0.9\lambda / B \cos\theta \quad (1)$$

단  $\lambda$  : 1.5418 Å, B : Half width of maximum intensity in radian  
 $\theta$  : Bragg 각도

그림6에 계산된 열처리 온도 및 시간에 따른 grain 크기변화를 나타내었다. 여기에서 점선은 900°C 5초에서 예상되는 데이터를 의미한다.

이러한 결과를 보면 증착직후의 텅스텐은 20 Å 정도의 미세구조  $\beta$  텅스텐인 것을 알 수 있으며, 전 온도범위의 2초 열처리 조건에서는 20-30 Å 정도의 미세구조  $\beta$  텅스텐인 것을 알 수 있다. 또한 100 Å 이상의 grain 크기 증가는 900°C, 4초 이상의 열처리에서 일어남을 알 수 있다. 이러한 grain 크기와 저항율과의 관계를 그림7에 나타내었다. 텅스텐 막의 저항율은 four-point 탐침법으로 구하였으며, 시편의 크기가 1.2cm × 1cm이었으므로 보정상수는 3.77을 사용하였다.<sup>(18)</sup>

이러한 관계를 보면 grain 크기 변화에 따른 저항율변화는 20-30%로 작은 것을 알 수 있으며, 이러한 사실은 그림8의 열처리 온도에 따른 저항율 변화에서 확인할 수 있었다.

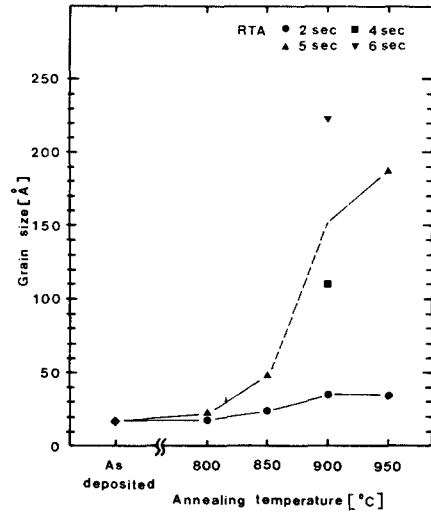


그림 6. 열처리 온도에 따른 grain 크기 변화  
 Fig. 6. Grain size versus annealing temperature.

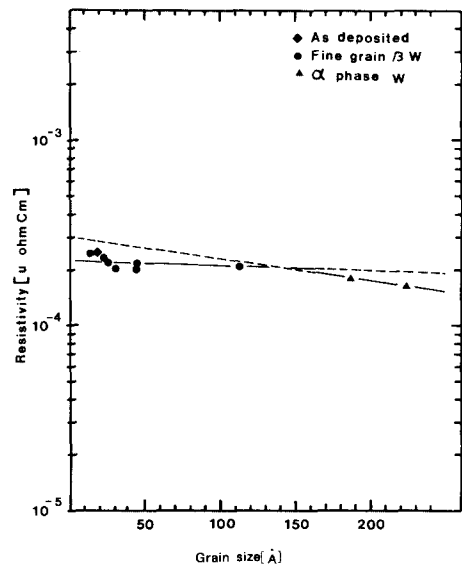


그림 7. Grain 크기에 따른 저항율 변화  
 Fig. 7. Film resistivity versus grain size.

이러한 이유는 성장된 grain 크기가 작아 grain boundary에 의해 저항이 증가된 때문으로 생각된다.

2. 주사전자현미경 (SEM) 및 AES 분석 결과 열처리 온도 및 시간에 따른 W/GaAs 계면의 morphology 변화를 알아보기 위하여 4000배 배율의 주

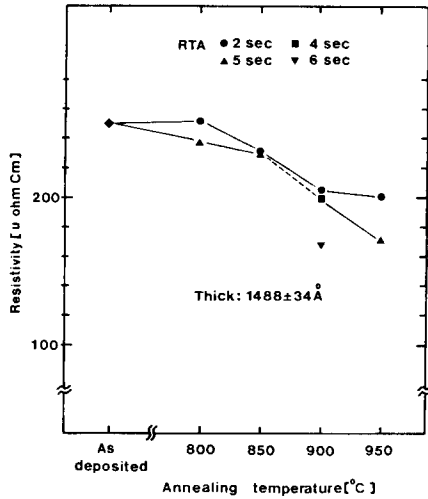


그림 8. 열처리 온도에 따른 저항을 변화  
 Fig. 8. Tungsten film resistivity versus annealing temperature.

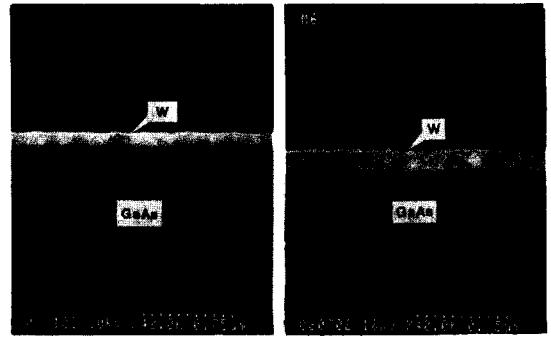
사전자현미경으로 단면을 관찰하였다. 이러한 결과를 그림9에 나타내었다.

그림9의 (a)는 증착직후의 W/GaAs의 단면으로, 텅스텐이 1500 Å 정도 증착된 것을 알 수 있으며 양호한 계면상태를 보이고 있다. 그러나 800°C에서 5초 열처리한 경우 ((b))에는 계면상태는 양호하나 계면이 500 Å 정도 확산된 것을 알 수 있었으며, 이러한 현상은 900°C 6초, 950°C 5초의 경우에는 더욱 심하여 ((e)(f)) 텅스텐과 GaAs의 계면이 증착직후 상태에 비해 80%정도 확산된 것을 알 수 있었다. 따라서 W/GaAs의 전기적 특성도 상당히 저하될 것이 예상되며, 이러한 특성은 전류-전압 측정결과에서 논의될 것이다. SEM으로 관찰된 계면의 확산정도를 알아보기 위하여 증착직후와 850°C 2초, 5초 시편을 택하여 AES(Auger Electron Spectroscopy) 분석을 행하였으며, 분석결과를 그림10에 나타내었다.

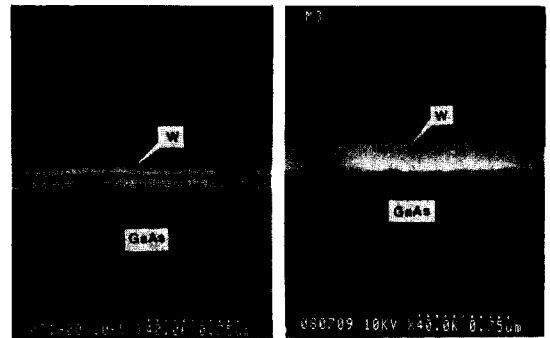
이러한 AES 분석결과로부터 증착직후의 W/GaAs의 계면은 50 Å 정도이며, 850°C에서 2초, 5초 열처리에 따라 계면이 500 Å로 확산된 것을 확인할 수 있었다. 이러한 결과로부터 900°C 6초, 950°C 5초의 경우에는 계면이 1300 Å 정도 확산되었으리라 추측된다.

3. 전기적 특성 측정결과

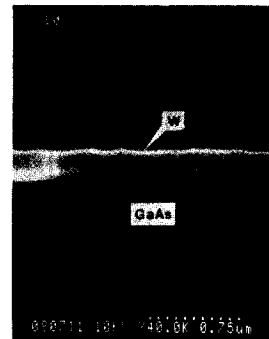
급속열처리 온도 및 시간에 따른 W/GaAs의 전기적 특성변화를 조사하기 위하여 그림11과 같은 공정



(a) 증착직후 (as deposited), (b) 800°C 5초



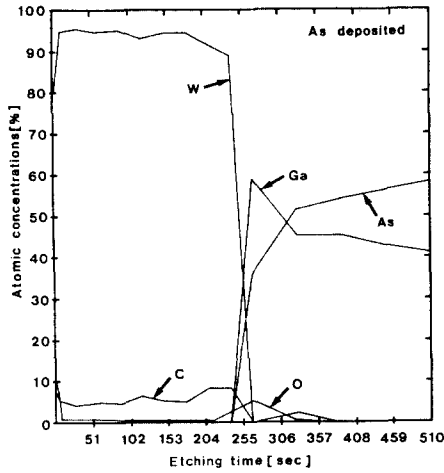
(c) 850°C 5초 (d) 900°C 6초



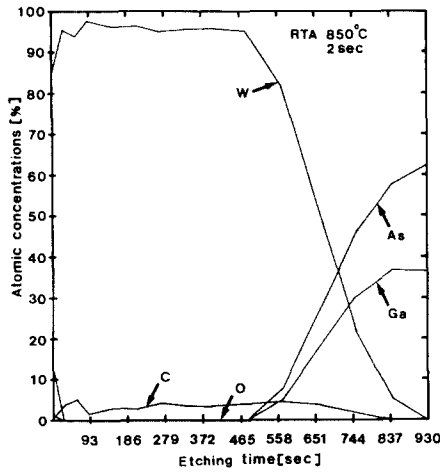
(e) 950°C 5초

그림 9. W/GaAs 계면 SEM 사진 (X 40000)  
 Fig. 9. SEM photographs of W/GaAs interface (X 40000).

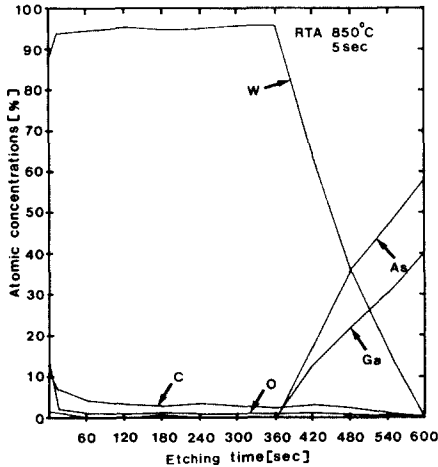
으로 쇼트키 다이오드를 제작한 후 쇼트키 장벽전압 ( $\phi_B$ : Schottky barrier height)과 이상지수(n: ideality factor)를 HP4145B parameter analyzer를 사용하여 구하였다. 각각의 열처리 조건에 따른  $\phi_B$ 와 n은 10개의 다이오드를 측정하여 구하였으며, 100개의 다이



(a) 증착직후 (as deposited)



(b) 850°C 2초



(c) 850°C 5초

그림10. AES 분석결과  
Fig. 10. AES analysis results.

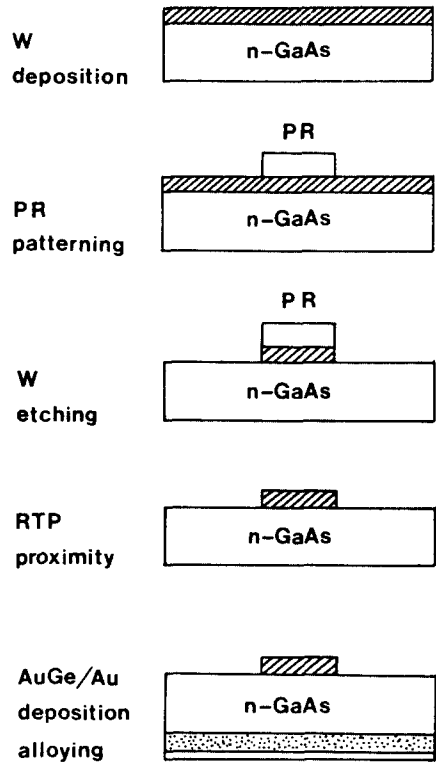


그림11. 쇼트키다이오드 제작도  
Fig. 11. Fabrication sequence of schottky diode.

오드로부터 얻어진 열처리 온도 및 시간에 따른  $\phi_B$ 와  $n$ 을 그림12에 나타내었다.

이때  $\phi_B$ 와  $n$ 은 포화전류 ( $J_s$ : saturation current density)를 측정 한 후 thermionic model에 의한 다음과 같은 식을 사용하여 구하였다.

$$\phi_B = \frac{KT}{q} \ln \left[ \frac{A^* T^2}{J_s} \right] \quad (2)$$

$$n = \frac{q}{KT} \frac{\partial V}{\partial (\ln J)} \quad (3)$$

단  $A^*$ : 실효 Richardson 상수 (effective Richardson constant)  $8.16A \text{ cm}^{-2} \text{ K}^{-2}$  for GaAs

$\phi_B$ : 쇼트키 장벽전압 (Schottky barrier height)

$J_s$ : 포화전류 (saturation current density)  
(diode area:  $18,639 \text{ um}^2$ )

$T$ : 측정온도 (junction temperature:  $300K$ )

$n$ : 이상지수 (ideality factor)

$K$ : 볼츠만 상수

이러한 열처리온도 및 시간에 따른  $\phi_B$  및  $n$ 의 변화

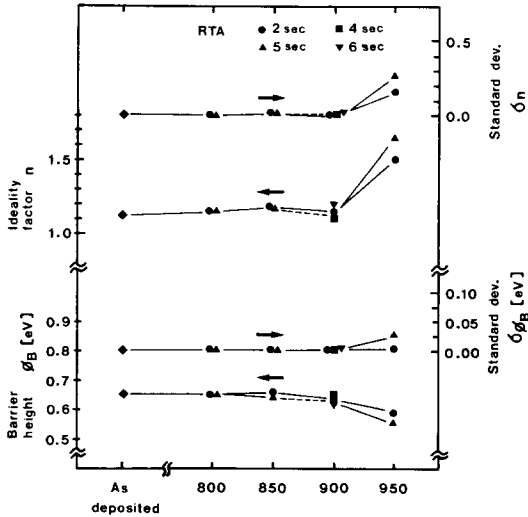


그림 12. 열처리온도에 따른  $\phi_B$ 와  $n$  변화  
Fig. 12.  $\phi_B$  &  $n$  versus annealing temperature.

를 살펴보면 900°C 4초까지는  $\phi_B$ 가 0.65 eV,  $n$ 이 1.17 정도로 유지되고 있으나, 950°C 이상의 열처리에서  $\phi_B$ 는 0.56 eV로 저하되며  $n$ 은 1.5 이상으로 증가하여 이상적인 다이오드 특성에서 벗어남을 알 수 있다. 따라서 950°C 이상의 열처리에서 W/GaAs의 계면 특성이 급격히 저하됨을 알 수 있으나 이러한 결과는 계면의 SEM 관찰결과와 일치한다. 또한 열처리 온도에 따른 W/GaAs 다이오드의 역방향 전압 ( $V_R$ )을 측정할 결과(그림 13) 증착 직후에서는 0.9V이었으나 열처리에 따라 증가하여 900°C까지는 1.3-1.6V를 유지하다가, 950°C 이상의 열처리 온도에서 0.5V-0.8V 정도로 급격히 저하됨을 알 수 있어, 계면특성이 저하됨을 알 수 있었다. 이러한 결과를 고려할때, 950°C 이상의 공정조건을 MESFET 제작에 응용했을 경우 W/GaAs 계면 확산으로 인한  $\phi_B$ 의 저하로 인하여 게이트 누설전류가 900°C의 공정조건에 비해 30% 이상 증가할 것으로 예상되며, 제작된 MESFET의 포화 드레인-소오스 전류와 전달콘덕턴스도 저하될 것이 예상된다. 따라서 현재의 실험 조건에서 900°C 4초가 최적 공정조건으로 고려되며, 이러한 결과는 여러 온도범위에서 N. Susa,<sup>4)</sup> J. Y. Josefowicz,<sup>6)</sup> K. M. Yu<sup>11)</sup> 등이 스퍼터링 방법으로 증착된 W/GaAs 다이오드를 열처리하여 장벽전압이 0.60-0.70 eV, 이상지수는 1.20-1.23인 결과를 얻은 것을 생각할때 이온빔 증착된 텅스텐의 이러한 측정결

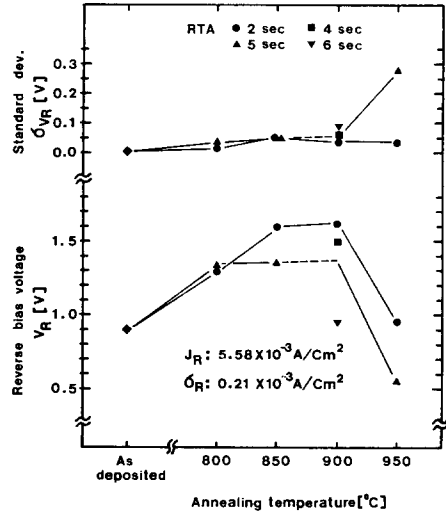


그림 13. 열처리온도에 따른 역방향 전압변화  
Fig. 13. Reverse bias voltage versus annealing temperature.

과는 거의 동등한 결과로 생각되며, 이온빔 증착된 텅스텐이 GaAs MESFET의 게이트 물질로 충분히 활용가능함을 예상할 수 있다.

#### IV. 결 론

GaAs 기판위에 이온빔 방법으로 텅스텐 박막을 증착한 후, 800°C에서 950°C까지 급속 열처리하여 열처리온도에 따른 텅스텐막의 구조 및 전기적 특성 변화를 four-point 탐침법, XRD, SEM, AES, 전류-전압측정으로 조사한 결과 얻어진 결론은 다음과 같다.

첫째, 증착직후의 이온빔 증착 텅스텐 박막은 미세구조의  $\beta$  상태 텅스텐이었으며, 900°C 6초 이상의 열처리에서  $\alpha$  상태 텅스텐으로 상변태하였다.

둘째, 텅스텐 박막의 상변태 및 grain 크기 증가로 인한 막의 저항률 감소는 20-30% 정도였다.

셋째, 급속 열처리된 W/GaAs는 900°C까지 구조적, 전기적으로 안정한 특성을 나타내었다( $\phi_B=0.66 \text{ eV} \pm 0.6\%$ ,  $n=1.17 \pm 2\%$ ).

넷째, 따라서 이온빔 증착된 텅스텐 박막은 고온 SAGFET 공정기술에 충분히 활용이 가능하리라 예상된다.

#### V. 감사의 말

본 연구를 수행시 많은 조언을 해주신 한국전자통



신연구소의 조정익씨, SEM 작업을 해주신 이희태씨, XRD 측정에 협조해 주신 KAIS의 양기훈씨, AES 분석을 해주신 한국화학연구소의 성명모씨, RTA를 해주신 KIST의 조훈영씨 등 도와주신 모든 분들께 진심으로 감사드립니다.

### 參 考 文 獻

- [1] T. Ohnishi, N. Yokoyama, H. Onodera, S. Suzuki and A. Shibatomi, "Characterization of WSix/GaAs Schottky contacts," *App. Phys. Lett.*, vol. 43, no. 6, pp. 600-602, 15 Sep., 1983.
- [2] Haruo Yamagishi, "Characteristics of WN/GaAs Schottky contacts formed by reactive RF sputtering," *J.J.A.P.*, vol. 23, no. 12, pp. L895-L898, Dec., 1984.
- [3] K.Y. Ahn, C.Y. Ting, S.B. Brodsky, P.M. Fryer and B. Davari, "Properties of tungsten films prepared by magnetron sputtering," pp. 239-248, Workshop on Tungsten and other Refractory Metal for VLSI Applications, 1985.
- [4] N. Susa, S. Ando and S. Adachi, "Properties of tungsten film deposited on GaAs by RF magnetron sputtering," *J. Electrochem. Soc.*, vol. 132, no. 9, pp. 2245-2249, Sep., 1985.
- [5] S.P. Kwok, "Comparison of low temperature and high temperature refractory metal/silicides self-aligned gate on GaAs," *J. Vac. Sci. Tech.*, vol. B4, no. 6, pp. 1383-1391, Nov., 1986.
- [6] J.Y. Josefowicz, D.B. Rensch and K.E. Lundgren, "The fabrication of ENFET, DFE and ring oscillators with pure tungsten gates," *GaAs IC Symposium*, pp. 43-46, 1986.
- [7] K.M. Yu, S.K. Cheung, T. Sands, J.M. Kaklevic and N.W. Cheung, "Schottky barrier degradation of the W/GaAs system after high-temperature annealing," *J. Appl. Phys.*, vol. 60, no. 9, pp. 3235-3243, 1 Nov., 1986.
- [8] N. Uchitomi and M. Nagaoka, "Characterization of reactively sputtered WN<sub>x</sub> film as a gate metal for self-alignment GaAs metal-semiconductor field effect transistors," *J. Vac. Sci. Tech.*, vol. B4, pp. 1392-1397, 1986.
- [9] M. Kanamori, K. Nagami and T. Nozabi, "Low-resistivity W/WSix bilayer gates for self-aligned GaAs metal-semiconductor field-effect transistor large-scale integrated circuits," *J. Vac. Sci. Tech.*, vol. B5, no. 5, pp. 1317-1320, Sep/Oct., 1987.
- [10] S. Takatani, N. Matsuoka, J. Shigeta and N. Hashimoto, "Thermal stability of WSix/GaAs interface," *J. Appl. Phys.*, vol. 61, no. 1, pp. 220-224, 1 Jan., 1987.
- [11] K.M. Yu, J.M. Taklevic and E.E. Haller, "High temperature annealing characteristics of tungsten and tungsten nitride Schottky contacts to GaAs under different annealing conditions," *J. Appl. Phys.* vol. 64, no. 3, 1 pp. 1284-1291, Aug., 1988.
- [12] J. Ding, Z. Liliental-Weber, E.R. Weber and J. Washburn, "Structure and electrical properties of TiN/GaAs Schottky contacts," *Appl. Phys. Lett.*, vol. 52, no. 25, pp. 2160-2162, 20 June., 1988.
- [13] N. Uchitomi, M. Nagaska and N. Toyoda, "Characterization of refractory W, WN<sub>x</sub>, and WSix films on GaAs using thermoreflectance measurements," *J. Appl. Phys.* vol. 65, no. 4, 15 Feb., 1989.
- [14] H.R. Kaufmann and R.S. Robinson, *Operation of Broad-Beam Sources*, pp. 107-115, Commonwealth Scientific Corporation, 1987.
- [15] P. Petroff, T.T. Sheung, A.K. Sinha, G.A. Rozgonyi and F.B. Alexander, "Microstructure, growth, resistivity and stresses in the thin film deposited by RF sputtering," *J. Appl. Phys.*, vol. 44, no. 6, pp. 2545-2554, June, 1973.
- [16] C.C. Tang and W. Hess, "Plasma enhanced chemical vapor deposition of c tungsten, a metastable phase," *Appl. Phys. Lett.*, vol. 45, no. 6, pp. 633-635, Dec., 1984.
- [17] B.D. Cullity, *Elements of X-ray diffraction*, pp. 99-106, Addison-Wesley, 1978.
- [18] W.E. Beadle, R.D. Plummer and J.C.C. Tsai, *Quick reference manual for semiconductor engineers*, pp. 4-4, May, 1975.

---

著 者 紹 介

---

片 廣 毅 (正會員) 第26卷 第8號 參照  
현재 한국전자통신연구소 화  
합물반도체연구부 선임 연구  
원

朴 亨 戊 (正會員) 第26卷 第1號 參照  
현재 한국전자통신연구소 화  
합물반도체연구부 화합물집  
적회로 연구실장

●

金 鳳 烈 (正會員) 第25卷 第11號 參照  
현재 연세대학교 전자공학과  
교수