

Package 동향

李 埴 炯

現代電子半導體研究所 製品試驗研究室

I. 개 요

최근 전자기기 산업의 소형화 경향에 따라 IC chip의 소형화 및 고성능화는 VLSI 제조기술과 design 기술의 현저한 발전으로 고집적화 되고 다기능·고기능화된 수 많은 종류의 반도체 chip을 제조할 수 있게 되었다.

이 같은 상황에서도 반도체 산업의 한 분야인 package 분야는 약간의 관심이 부여 되었을 뿐 등한시 되었다. 그러나 최근 higher number of I/Os, higher power, faster speed, finer pitch, better thermal management 등에 대한 요구로 인하여 package 기술의 중요성이 재인식 되고 있으며, 이와 함께 LSI package 개발에서 실장을 전제로 한 package 개발 즉 소형화, 박형화, 복잡화, 고기능화, 전면집화로 흐름이 변화하는 market trend에 대해 간략하게 review 하고, 지난 20년 동안 반도체 산업의 package 분야에서 세계적 standard이며 주종을 이루었던 through-hole type의 package인 DIP(dual-inline package)은 여러가지 제한 -pin 수의 상승으로 인한 size 증가, 수십의 I/Os에 대해서 취급의 어려움, PC board의 각 pinout에 대해 drilling이 요구됨-으로 인하여 시장 점

유율이 급격히 하락하고 있으며, 이러한 여러가지 제한을 극복하기 위하여 등장한 각종 surface mount package에 대해 설명하고자 한다.

II. 반도체 Package 전망

1. Package 형태 변천

과거에 반도체 package의 주종을 이루던 DIP type package는 사양추세에 있는 것이 확실하며 이에 대처하여 각종 SMD, COB, TAB등 첨단 package가 각광받고 있는 추세이다. 그러나, TAB, COB등 첨단 package가 일반화되고 대량 생산된다 하더라도 기존의 through-hole의 수요가 완전히 소멸되지는 않을 것이다.

Through-hole type package에 대해 반도체 업체의 투자는 바람직하지 않기 때문에 이들 업체들은 이와 같은 through-hole type package는 하청에 의존하는 추세가 더욱 가중될 것으로 전망되고 package를 하청받는 회사의 측면에서 through-hole type package는 당분간 실용성이 있을 것이다.

다음의 표1 및 표2는 미국의 반도체 package별 수요변화 추세를 나타낸 것이다.

표 1. Through-hole package 수요변화

Type	년	총수요(백만개)			평균 성장률	
		1985	1990	1995	1985-90	1990-95
P-DIP		4007.84	4289.92	3051.27	1.4%	-6.6%
SIP/ZIP		49.38	225.94	351.92	35.5%	9.3%
P-PGA		0.21	15.60	77.61	36.7%	37.8%
계		4057.43	4531.46	3480.80	2.2%	-5.1%

표 2. SMT 수요변화

Type	년	총수요(백만개)			평균 성장률	
		1985	1990	1995	1985-90	1990-95
PLCC		121.88	311.45	448.21	20.6%	7.6%
SOIC/SOJ		92.17	1143.45	3083.69	65.5%	21.9%
PQFP/QFP		3.24	120.61	447.05	106.1%	30.0%
SMT 계		217.29	1575.52	3978.95	48.6%	20.4%

2. Memory Package

Memory 개발은 1Mbit DRAM, 4Mbit DRAM에 이어 16Mbit DRAM 시대에 접어들고 있지만 그 package 형태도 삽입형에서 표면 실장형으로 바뀌고 있다.

표 3 과 표 4는 SRAM과 DRAM에서 채용하는 package별 시장 점유율을 나타낸 것이다.

Ⅲ. Surface Mount Package

1) 최근 정보 산업기기의 소형·경량화, 퍼스널화의 흐름속에서 주로 부피의 축소가 생명인 소형 전자기기에 사용되는 surface mount package는 시장에서 큰 위치를 차지하며 매년 그 사용비율의 확대를 계속하고 있으며, 또한 surface mount package에 대한 요구는 단순한 소형·경량화에 머무르지 않고 전자기기의 고속화, 다기능화, 고밀도 실장화의 요구에 따라 각종 surface mount package가 개발되었다.

2) Surface mount package의 일반적 특징
 면실장 package는 pin 삽입형에 비해 다음과 같은

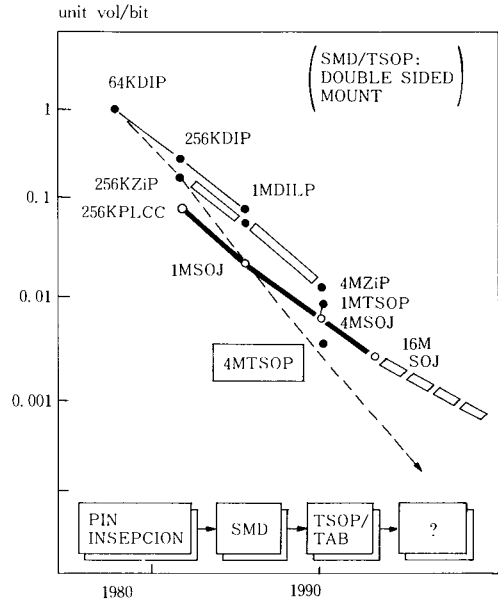


그림 1.

표 3. Packaging forecast of slow SRAM

Device	Package Type	총수요(백만개)				
		1990	1991	1992	1993	1994
265K	DIP	64.4	65.0	61.5	55.8	40.8
	SOP	167.4	192.4	205.6	205.4	187.4
	Other	7.1	9.0	10.7	11.9	12.0
1M	DIP	4.4	17.5	32.7	44.2	44.7
	SOP/TSOP/V SOP	15.9	72.9	149.6	226.0	261.6
	Other	0.3	1.8	4.7	8.9	12.8
4M	DIP	0.1	0.4	1.0	2.6	7.4
	SOP/TSOP/V SOP	0.4	1.6	4.9	14.8	50.2
	Other	-	-	0.2	0.6	2.4

Source: DATAQUEST (May-90)

표 4. Packaging forecast of DRAM

Device	Package Type	총수요(백만개)				
		1990	1991	1992	1993	1994
1M	DIP	256.5	328.0	325.9	288.6	246.8
	ZIP	95.3	143.5	142.6	126.2	108.4
	SOJ	373.8	543.3	539.8	477.9	410.4
	Other	7.4	10.3	10.2	9.0	7.7
	SIP/SIMM	224.3	320.5	296.9	262.9	213.4
4M	DIP	4.5	25.0	84.0	173.0	228.0
	ZIP	2.89	16.7	63.0	129.8	186.0
	SOJ	13.8	76.3	268.8	553.6	774.0
	Other	0.2	1.2	4.2	8.6	12.0
	SIP/SIMM	6.9	42.0	161.3	343.2	479.9

Source : DATAQUEST (June-90)

특징이 있다.

- (1) 프린트 배선기판 표면에 직접 접속할 수 있는 구조
- (2) 소형으로 실장면적을 줄일 수 있다.
- (3) 두께가 얇고 경량이다.
- (4) 浮遊 캐패시턴스나 인덕턴스가 작다.


Surface mount package를 사용할 경우 중요한 장점은

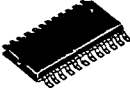

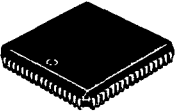
- (1) Through hole이 불필요하며 기판표면에 실장할 수 있으므로 고밀도 실장이 가능하다.
- (2) 기판의 through hole을 만드는데 제약이 없으며 납땜 랜드 및 pitch를 작게 할 수 있으므로 기판의 배선밀도를 높인 실장이 가능하다.
- (3) Through hole 형성을 위한 drilling 구멍 수를 작



게할 수 있으므로 기판 제작 cost를 절감할 수 있다.

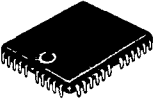
- (4) Package내의 도체길이가 짧고 실장면적이 작으므로 기판상의 배선 pattern 길어도 짧게 할 수 있으므로 浮遊 캐패시턴스나 인덕턴스가 저감되고 동작속도가 향상된다.
- (5) Package 형상이 소형, slim 형, 경량이므로 전자기기도 작게할 수 있어 제작 cost가 싸고 소형 전자기기화 할 수 있다.
- (6) Package 취급이 쉽고 자동공급·자동조립이 용이하여 조립시간이 저감된다.
- (7) 기판의 양면에 실장할 수 있어 기판의 space나 system volumn을 최소화 할 수 있다.

3) Surfacemount package의 종류 및 특징

Package Name	Outside View	Characteristics
SOJ (Small Outline J-formed package)		2 방향에 lead를 J-bend type으로 배열한 package로서 lead가 package 내측을 향해 J형상으로 bend 되어 있다. Lead pitch는 50 MIL(1.27mm)이 표준이다. 1. 장점 1) 20~32 pins의 device에 적합하다. 2) Lead의 위치 정밀도가 좋다. 3) Lead의 변형이 적다. 4) 자동실장에 적합하다. 5) Lead frame 재질로서 Cu계를 사용하기 때문에 열저항(thermal resistance)이 낮다. 6) Self-Alignment 성이 높다.

Package Name	Outside View	Characteristics
		<p>2. 단점</p> <ol style="list-style-type: none"> 1) 납땜부의 외관 검사가 어렵다. 2) 실장 방법에 따라 특수한 장비나 치구를 필요로 한다. <p>3. 적용 Devices</p> <p>Memories (DRAMs)-1M, 4M, and 16Mbit DRAM</p>
<p>SOP (Small Outline Package)</p>		<p>Package의 2 방향에 외곽 단자(external leads)를 gull-wing type 으로 배열한 package로써 lead pitch는 50 MIL(1.27mm)이 표준이다. 특히 SOP는 thin electronic devices와 compact system에 주로 사용된다.</p> <p>1. 장점</p> <ol style="list-style-type: none"> 1) 소형이기 때문에 실장기관상에 실장면적을 작게 차지한다. 2) 납땜 접속부의 외관검사가 쉽다. 3) 수동이나 자동 납땜이 용이하다. 4) Soldering 동안 self-alignment성이 높다. <p>2. 단점</p> <ol style="list-style-type: none"> 1) Lead의 변형이 쉽다. 2) Lead수가 많아지면 실장 면적 효율이 떨어짐. <p>3. 적용 Devices</p> <p>Memories (SRAMs), linear, logic</p>
<p>TSOP (Thin Small Outline Package)</p>		<p>기본적인 구조는 SOP와 동일하지만 lead가 package body의 단면에 배열한 type I 과 package body의 장면에 배열한 type II 가 있다. Package height는 50 MIL이하이며 lead pitch는 0.65mm, 0.5mm, 0.4mm, 0.3mm의 4종류가 있다.</p> <p>1. 장점</p> <ol style="list-style-type: none"> 1) 초박형이기 때문에 실장 높이를 줄일 수 있다. 2) 기관실장시 실장면적을 줄일 수 있다. 3) 소형으로 기관 제작 cost를 줄일 수 있다. 4) Repair성이 우수하고, burn-in test가 용이하고, 전용 line을 설치할 필요가 없다. <p>2. Application</p> <ol style="list-style-type: none"> 1) IC memory card 2) Lap-top형 PC/Book형 PC 3) 대형 computer의 주기억 장치 4) 전자수첩, word processor, 가전제품
<p>PLCC (Plastic Leaded Chip Carrier)</p>		<p>4 방향에 lead를 J-bend type으로 배열한 package로서 lead가 package 내측을 향해 J형상으로 bend되어 있다. Lead pitch는 50 MIL(1.27mm)이 표준이다.</p> <p>1. 장점</p> <ol style="list-style-type: none"> 1) Lead의 위치 정밀도가 매우 좋다. 2) Lead 변형이 적다. 3) 자동실장에 적합하다. 4) Lead frame 재질로써 Cu계를 사용하기 때문에 열저항이 낮다. 5) High pin count, high performance 제품에 적합한 소형 package.

Package Name	Outside View	Characteristics
		<p>2. 단점</p> <ol style="list-style-type: none"> 1) 납땜부의 외관검사가 어렵다, 2) 실장방법에 따라 특수한 장비나 치구를 필요로 한다. <p>3. 적용 Device</p> <p>Microprocessors, gate arrays, logic, PROMS, standard cell, memories (64K & 256K DRAM)</p>
<p>PQFP (Plastic Quad Flat Package)</p>		<p>Package의 4 방향에 lead를 gull-wing type으로 배열한 package로써 lead pitch는 1.0, 0.8, 0.65mm로 pin수가 증가함에 따라 pitch는 작아진다. 또한 package 호출 치수는 플라스틱 본체의 중형치수로 규정되며 정방향과 장방향의 2 type으로 나뉜다. 최근에는 lead pin수를 증대시켜 0.5mm에 lead pitch를 단축시켜 소형화를 꾀한 package 및 slim 형화를 꾀한 package (TQFP:thin-QFP)lead 굴곡 대책으로 제품 취급을 쉽게 할 목적으로 plastic부 코너에 돌기한 package(범퍼 부착 QFP)등 신 type package가 개발되고 있다.</p> <p>1. 장점</p> <ol style="list-style-type: none"> 1) High pin count나 high performance 제품에 적합한 소형 package 2) Package 두께가 얇다. 3) 실장 면적을 작게 차지한다. 4) 납땜 접속부의 외관검사가 쉽다. 5) Self alignment 성이 높다. 6) 납땜 인두등에 의한 수동 납땜이 용이하다. <p>2. 단점</p> <ol style="list-style-type: none"> 1) Lead의 변형이 쉽다. 2) 28 pin이나 28 pin 이하의 경우 실장 면적 효율이 떨어진다. <p>3. 적용 Devices</p> <p>Microprocessors, gate arrays</p>
<p>LCC (Leadless Ceramic Chip Carrier)</p>		<p>Lead가 없는 trace 상태의 frame을 ceramic으로 봉합하여 PCB에 접착시키는 package. Lead pitch는 50 MIL (1.27mm), 40 MIL (1.016mm) 이 표준이다.</p> <p>1. 장점</p> <ol style="list-style-type: none"> 1) Leadless로 인해 배선 길이가 짧으므로 고주파 특성이 뛰어나다. 2) Plastic package 보다 열저항이 낮다. 3) 고신뢰도를 요구하는 기기에 적합하다. 4) 소형으로 실장기관상의 설치 면적이 작다. <p>2. 단점</p> <p>Leadless이므로 기관과의 납땜 접속부가 열응력(thermal stress)에 의해 영향을 받기 쉬우며 가격이 비싸다.</p> <p>3. 적용 Devices</p> <p>SRAMs, ECLRAMs</p>

Package Name	Outside View	Characteristics
MSP (Mini Square Package)		4 방향에 lead을 낸 butt lead 형상 type의 package로서 lead pitch는 50 MIL, 40 MIL, 30 MIL의 3 종류가 있다. 1. 장점 1) 소형으로 실장 면적이 작다. 2) Lead의 위치 정밀도가 좋다. 3) Lead의 변형이 적다. 4) 자동실장에 적합하다. 5) High pin count package에 적합하다. 6) Cu계를 사용하기 때문에 열저항이 낮다. 7) 납땜부의 외관 검사가 용이하다. 2. 단점 수동납땜이 어렵고 self-alignment성이 나쁘다. 3. 적용 Devices Linear ICs (e. g. consumer products)

IV. 결 론

최근 surface mount package에 있어 박형의 표면 실장형 package가 널리 개발되고 있고, fine pitch의 기준도 25MIL 보다도 훨씬 줄어드는 경향을 보이고 있는데 이 추세로 가면 내년 경에는 15MIL이 fine pitch로 통용될 전망이며, 이와같은 surface mount package는 점점 더 size가 축소되고 공정상 불량율은

과거보다 배가 될 가능성이 높아지게 되는데 이와같은 문제를 적절히 대처할 수 있는 방안-자동 inspection 등의 system-을 수립하여야 할 것이다. 끝으로, package는 silicon performance 향상의 main 요소이며, 앞으로 design engineer도 package 기술의 이해를 통해서 silicon의 잇점을 증가시켜야만 할 것이다. ㉠

筆者紹介



李 煥 炯
 1961年 9月 25日生
 1984年 조선대 기계공학과 졸업

1984年~1989年 현대전자 반도체조립 기술개발부
 1990年~현재 현대전자반도체연구소 제품시험연구실
 주관심분야 : CAD/CAM