

Source Coupled FET Logic을 이용한 4 : 1 병렬 ADC 설계

正會員 尹 夢 漢* 正會員 林 明 護** 正會員 李 相 元** 正會員 李 亨 宰**

A Circuit Design of 4 : 1 Parallel ADC Using Source Coupled FET Logic

Mong Han YUN*, Myong Ho LIM**, Sang Weon LEE**, Hyung Jae LEE** *Regular Members*

要 約 본 연구에서는 기존의 SCFL (Source Coupled FET Logic) 회로보다 고속 저전력 특성을 지닌 회로를 설계하였다. 설계된 SCFL을 이용하여 4 : 1 병렬 A/D 컨버터를 구성, 시뮬레이션 한 결과 비교기(Comparator 혹은 양자화기)는 66MHz 입력신호와 2GHz 샘플링 주파수에서 Integral Nonlinearity는 $\pm 28mV$ 로 한계치 $\pm 68mV$ 보다 훨씬 작으며, ADC 설계시 150여개의 소자를 줄여 전력소비 0.43mW를 실현케 하였다.

ABSTRACT In this paper, the circuit that has characteristics of high speed and low dissipation is described. A 4 : 1 parallel ADC is constructed by using the designed SCFL(Source Coupled FET Logic).

The results of simulation shows that comparators is obtained integrated nonlinearity, $\pm 28mV$, compared with limiting value, $\pm 68mV$, at 66MHz input signal and 2Gs/s Niquist rates and this paper describes low power dissipation about 0.43W by reducing the elements in a ADC design.

I. 서 론

Gigabit rates에서 동작하는 계측장비와 실시간 신호 및 데이터 처리시스템은 ADC(Analog-to-Digital Converter)의 성능에 의해서 제한되며, 갈륨비소 ADC는 GigaHz Niquist 신호대역까지 확장할 수 있다.⁽¹⁾⁽²⁾

GaAs 디지털 IC에서는 비교적 고속이며 전력 소비가 적은 DCFL(Direct Coupled FET Logic)이 제안되었지만 문턱 전압(Threshold Voltage) 범위를 정확히 제어하는데 어려움이 있어, 문턱 전압의 허용범위가 넓어 속도와 공정상의 잇점이 있는 SCFL이 제안되었다.⁽³⁾

본 연구에서는 SCFL OR/NOR 게이트 회로를 설계하여 고속 동작과 적당한 전력을 갖는 최적 회로 설계 조건을 제시하며, 이에 대한 출력 특성을 나타낸다. 제시된 최적 설계 조건에

* 國防科學研究所

** 韓國航空大學 航空電子工學科

Hankuk Aviation University.

論文番號 : 90-48(接受1990. 3. 21)

따라서 설계된 SCFL OR/NOR 게이트 회로를 사용하여 4:1 ADC를 설계한다. 그리고 설계 및 결과 추출에 사용된 시뮬레이션 Tool은 Pspice⁽⁴⁾를 이용하였다.

설계된 ADC는 R-2R Ladder 회로로 구성되는 기준 전압(Reference Voltage)단, MASTER-SLAVE 래치로 구성되는 15개의 비교기와 2진 인코더(Encoder)단으로 구성된다.

II. 기본 로직 회로 설계 및 특성

II-1. SCFL 회로 설계 및 설계 조건

실제적인 고속 갈륨비소 직접회로를 실현하기 위해 Logic군은 공정의 용이함과 온도 변화에 대해 Noise Margin, 전력, 속도, 직접도, 그리고 주변요구에 상응해야 한다.⁽⁵⁾

GaAs 기술을 실현하기 위해 가장 큰 문제점은 chip과 wafer장에 소자 특성의 dislocation인데, 이를 극복하기 위해서 제안된 것이 SCFL이다.

그리고 SCFL은 이론적으로 문턱전압과 무관하다.⁽⁶⁾

설계한 기본 SCFL OR/NOR 게이트 회로를 그림 1에 나타냈으며 반복 시뮬레이션 수행에 의한 결과, 기존의 최적 설계 조건⁽⁷⁾은 다음의 조건으로 간략화되었다.

$$V_t > 1.5V_{sw} - V_{cc} \quad (\text{FET1,2}) \quad (1)$$

$$V_t(\text{sf}) > -V_{cc} \quad (\text{FET3,4}) \quad (2)$$

$$V_t(\text{cs}) > V_{cs} + V_{gs2}(\text{on}) \quad (\text{FET5,6,7}) \quad (3)$$

여기에서 V_{sw} : 요구되는 출력 파형

V_t : 문턱전압

$V_{gs2}(\text{on})$ 입력이 low일때 FET2의 게이트-소오스 전압

II-2. 회로분석

FET1,2는 스위칭 Driver로서 문턱전압(V_t)이 정(+)인 E형을 사용하고, FET3,4는 Buffer 단으로 fan-out을 증가시키기 위해서 D형을 사용하며, 전류원인 FET5,6,7은 전압원의 수를 하나 줄이면서 적당한 전류($=0.4\text{mA}$)를 흐르도록 D형을 사용한다.

OR/NOR 게이트 회로에서 사용된 MESFET의 게이트 길이는 $1\mu\text{m}$ 로 전 FET에서 고정시켰으며, width는 $10\sim 30\mu\text{m}$ 로 선택하였다. 모든 FET의 문턱 전압(V_t)은 각각 E형인 경우 $V_{te}=0.2\text{V}$, D형인 경우 $V_{td}=-0.5\text{V}$ 를 사용하였다. 저항 R_{c1} , R_{c2} 는 V_{p-p} 가 1V되도록 선택하며, Schottky Diode #1, #2는 Zero level shifting 단이다. 이 회로에서는 정·부공급 전압원을 사용하는데, 최소한의 부공급 전압원의 잇점을 살리면서 타 Logic군과의 연결을 위해 사용되는 matching단이 필요없게 Zero level swing을 할 수 있다.

II-3. 입·출력 파형 특성

설계된 OR/NOR 게이트 회로의 입·출력 파형은 그림 2에 나타냈으며, NOR 게이트를 5단 종속연결(그림 3)하여 상승시간, 하강시간, 전달지연시간을 구하였다.

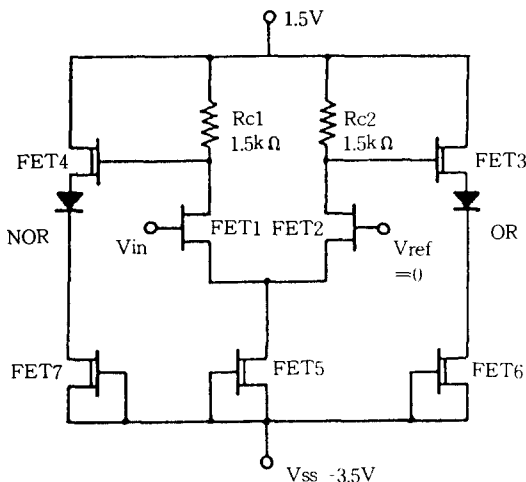


그림 1. 설계된 SCFL OR/NOR 로직 게이트

여기에서 같은 상승·하강시간은 FET의 게이트-소오스 그리고, 게이트-드레인간의 캐패시터 용량에 크게 영향을 받는다.

잡음 여유도는 Fan-out 수에 대한 입·출력 전달 특성 곡선으로부터 최대 Square law를 사용함으로써 구할 수 있다.(그림 4)

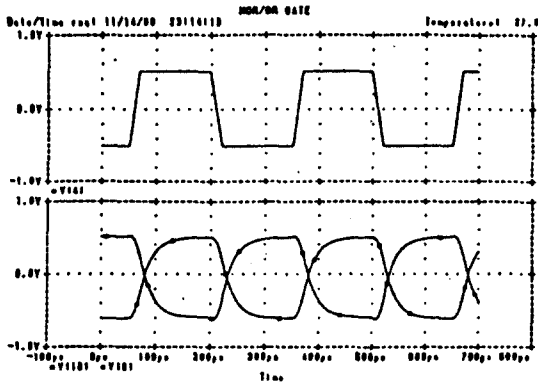


그림 2. OR/NOR 게이트 입·출력 파형

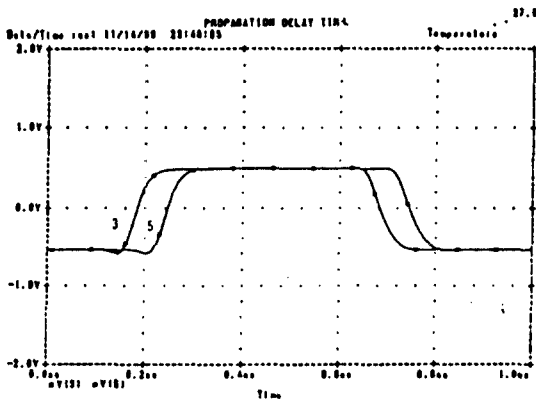
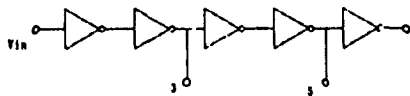
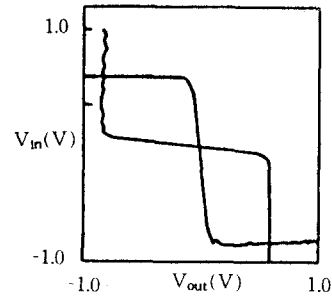
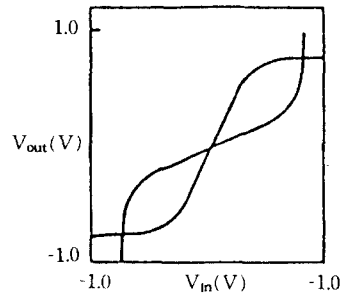


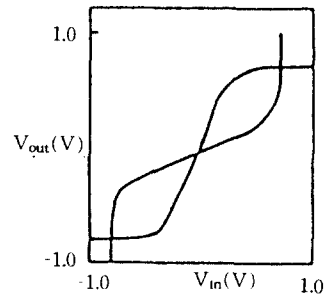
그림 3. NOR 게이트 5단 종속 연결 구성도와 응답 곡선



(a) fan-out=0



(b) fan-out=1



(c) fan-out=3

그림 4. SCFL OR/NOR 대 fan-out의 전달곡선

OR/NOR 게이트 회로 설계는 시뮬레이션에 의해 반복 수행하여 빠른 속도와 적당한 전력을 갖게끔 소자값들을 선택하였으며, FET 파라미터는 M·I·T 공대 Shur Lab^(3X5X8X9)에서 제시된 자료를 인용하였으며(표1), 앞에서 행한 시뮬레이션 결과는 표2에 도시하였다.

표 1. SCFL 디바이스 및 회로 파라메타

| FET Number | Gate Width(μm) | Gate Length(μm) | Beta (mA / V^2) | Rs(Rd) (ohm) | Cgs(Cgd) (fF) | ALPHA |
|-----------------|-----------------------------|------------------------------|-----------------------------------|--------------|---------------|-------|
| 1,2 | 10 | 1 | 3.01 | 50 | 17 | |
| 3,4 | 30 | 1 | 2.13 | 125 | 13 | 6.725 |
| 5,6,7 | 10 | 1 | 2.13 | 125 | 13 | 4.9 |
| Diode parameter | | | | | | |
| IS=1.75-13A | | | Vbi=0.74V | | Rs=50ohm | |

표 2. 설계된 SCFL OR/NOR 게이트 특성

| | |
|---------------------------------|-------|
| Power Dissipation | 3.5mW |
| Rising Time | 30ps |
| Falling Time | 30ps |
| Propagation Delay Time Per Gate | 30ps |

III. 4 : 1 병렬 ADC 회로 설계

III-1. ADC 구조

본 연구에서는 고속 저전력에 주안점을 두어, 4 : 1 병렬 ADC를 설계하였다. 기존의 병렬 ADC⁽²⁾와 달리 Dynamic(MASTER)-Static(SLAVE)단을 사용하여 Sample-Hold단이 필요 없이 직접 양자화되므로 병렬 ADC의 해상도 증가에 따른 소자의 수를 최소화할 줄일 수 있다. 그림 5는 설계된 4 : 1 병렬 ADC의 구성도로서 기준 전압단, 15개의 비교기, 2진 인코더로 구성된다.

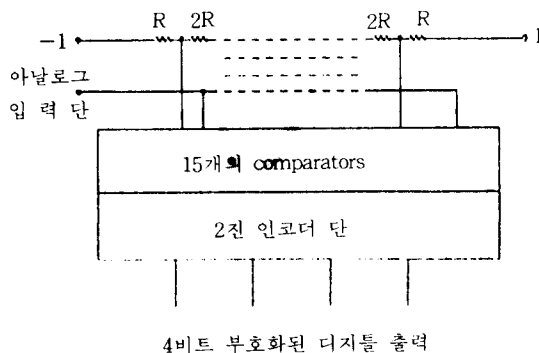


그림 5. 설계된 4 : 1 병렬 ADC 구성도

III-2. 비교기(Comparators)

전압 비교기(그림 6)는 SCFL / CML 시리즈로 연결된 MASTER-SLAVE 단으로 구성된다. Dynamic(MASTER)단은 스위칭 속도를 높이기 위해 높은 전류($=1.2\text{mA}$)에서 동작하도록 하며, Static(SLAVE)단은 Dynamic단에서 검출된 신호를 완전한 펄스파형으로 재정형을 위해 낮은 전류($=0.4\text{mA}$)에서 동작하도록 한다.⁽⁹⁾

Dynamic단에서 정확한 출력 응답을 얻기 위해서 아날로그 입력 신호는 기준 전압에 대해 낮은 offset 전압을 가져야 한다.

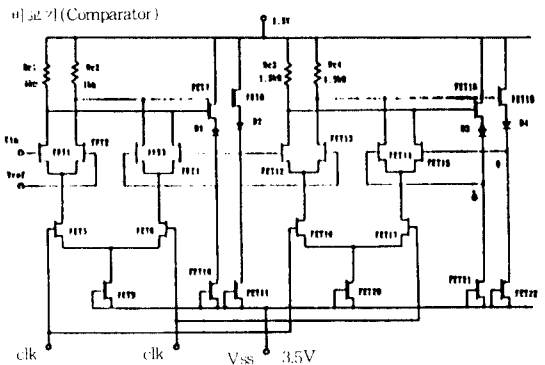


그림 6. 전압 비교기

III-3. 2진 인코더(Encoder)

인코더(그림 7)는 SCFL OR / NOR 게이트를 사용하여 구성하였으며, 인코더 출력 단자까지 같은 지연 시간을 갖도록 래치(MASTER-SLAVE)에 연결된 게이트수를 15 : 4로 조합한 조합 로직 회로 인코더의 입·출력 대수식은 다음과 같다.

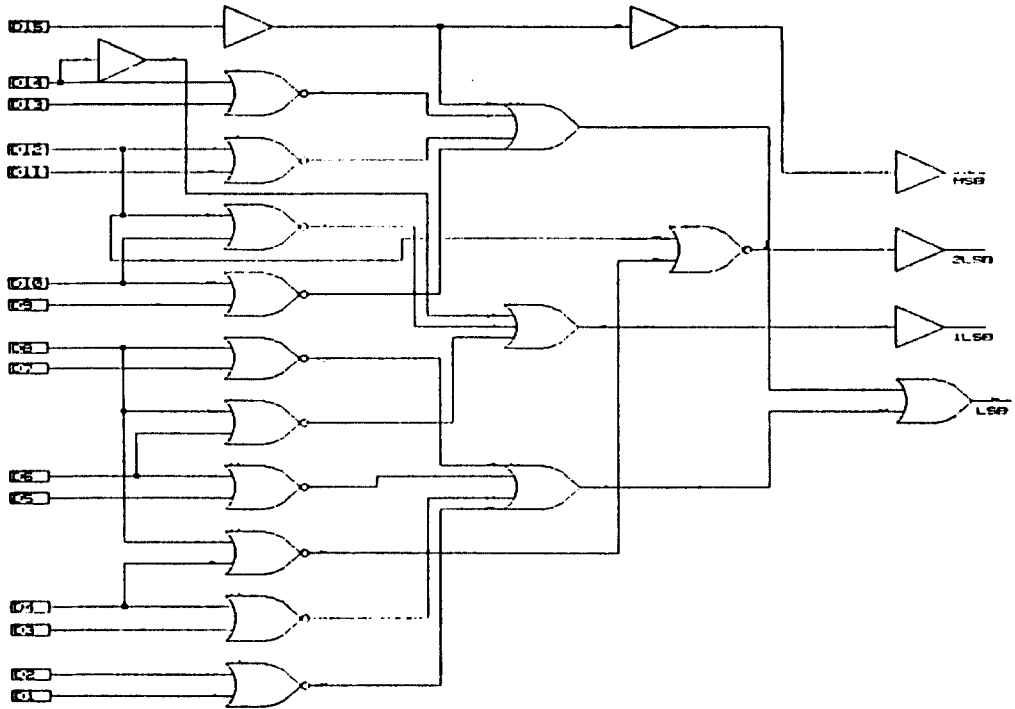


그림 7. SCFL을 사용한 2진 인코더 구성도

$$\begin{aligned} \text{BIT}_3 &= D_8 \\ \text{BIT}_2 &= D_{12} + D_8 \sim D_4 \\ \text{BIT}_1 &= D_{14} + D_{12} \sim D_{10} + D_4 \sim D_2 \\ \text{BIT}_0 &= D_{15} + D_{14} \sim D_{13} + D_{12} \sim D_{11} + D_{10} \sim D_9 + D_8 \sim D_7 + D_6 \sim D_5 + D_4 \sim D_3 + D_2 \sim D_1 \end{aligned}$$

단, $D_1, D_2, D_3, \dots, D_{14}, D_{15}$ 는 비교기의 출력 데이터.

사용된 SCFL OR/NOR 게이트는 fan-in의 갯수와 상관없는데, 이는 래치에서 출력되는 데이터는 OR/NOR에 대해서 상보적으로 입력되어지기 때문이다.

IV. 시뮬레이션 결과 및 검토

설계한 기본 로직을 사용한 반복 시뮬레이션을 수행하여 최적의 4:1 병렬 ADC 회로를 설계하

였으며 회로 작단에 대한 특성 및 결과를 얻었다

시뮬레이션에 사용된 입력 신호는 $2V_{p-p}$, 6 MHz 대역폭을 갖는 정현파로 R-2R Ladder 회로에서 제공된 15개의 양자화 레벨을 갖는 비교기에 입력된다. 설계한 비교기(MASTER-SLAVE 래치 회로)는 2GHz 샘플링 주파수와 0레벨 기준 전압에서 지연 시간(Propagation Delay Time, t_{pd}) 70ps, 상승 시간(Rising Time, t_r) 70ps, 하강 시간(Falling Time, t_f) 90ps인 결과가 나타남으로 속도면에서 우수함을 알 수 있다. ADC 성능의 중요한 열쇠인 스위칭 전압변이(Integral Nonlinearity) (그림 8)는 $\pm 28mV$ 내에서 나타나 허용치($\pm 64mV$) 보다 훨씬 적기 때문에 출력 데이터를 얻는데 문제가 없다.

700여개(표3)의 소자로 설계된 ADC회로는 회로 특성을 왜곡하지 않은 범위내에서 부분적으로 시뮬레이션을 행하였다. 그림 9은 $2V_{p-p}$, 6

6MHz 대역을 갖는 입력 사인파와 2GHz 샘플링 주파수를 나타내었으며, 그림 10-13는 15개의 출력 파형을 나타내었다.

인코더단에 입력되는 비교기의 출력 파형은 4비트로 부호화되며, 부호화된 출력 파형은 그림 14와 같다. 이상과 같이 설계된 4:1 병렬 ADC와 기존의 4:1 ADC[®]의 특성을 비교하면 표 4과 같다.

Integral Nonlinearity

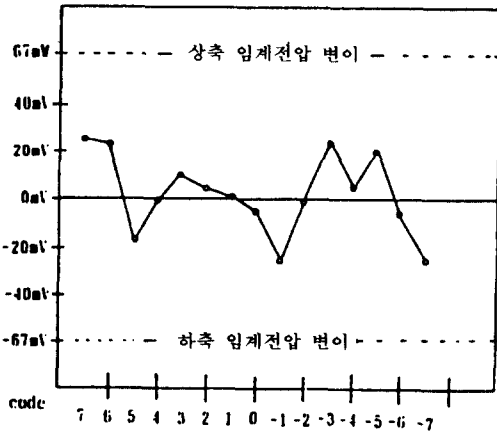


그림 8. 샘플링 주파수 2GHz, 66MHz 대역을 갖는 사인파 입력에 대한 Integral Nonlinearity

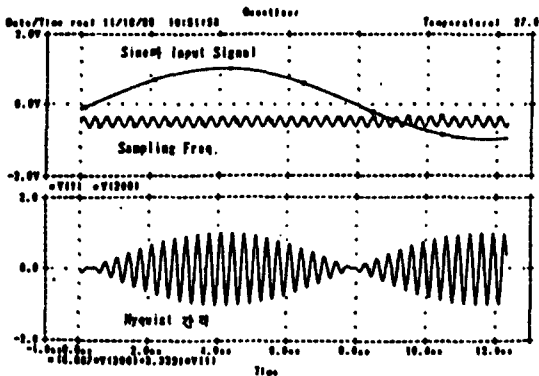


그림 9. 66MHz 입력신호, 2GHz 샘플링 주파수

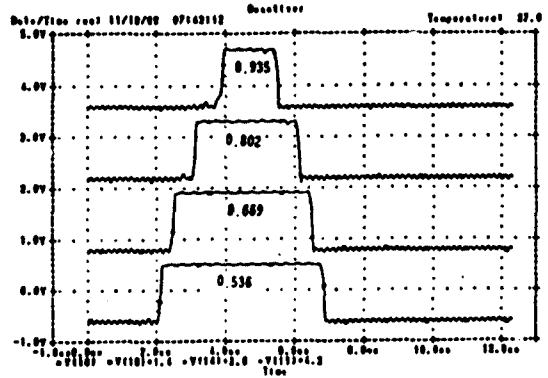


그림 10. 양자화 레벨 0.935, 0.802, 0.689, 0.536V에 대한 비교기 출력 파형

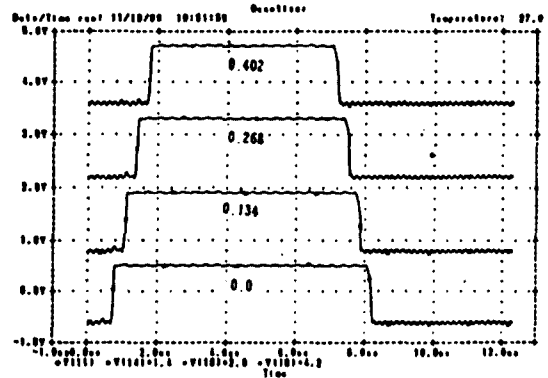


그림 11. 양자화 레벨 0.402, 0.268, 0.134, 0.0V에 대한 비교기 출력 파형

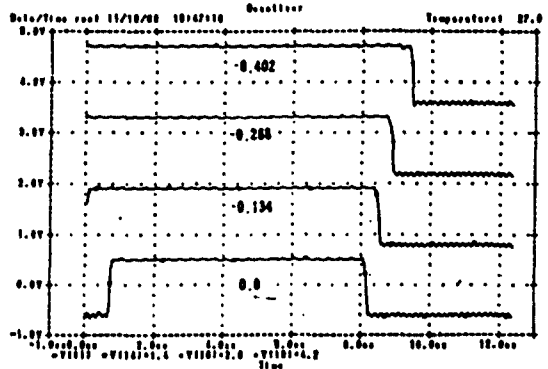


그림 12. 양자화 레벨 0.0, -0.134, -0.268, -0.402V에 대한 비교기 출력 파형

표 3. ADC회로 소자수의 비교

| 소자수 | 본논문 | 기존 논문 ^[9] |
|----------------------------|-----|----------------------|
| SCFL (fan-out=1) | 11 | 14 |
| 동일한 SCFL을 사용하여 ADC를 구성할 경우 | 450 | 540 |
| 동일한 SCFL을 사용하여 인코더를 구성할 경우 | 237 | 330 |

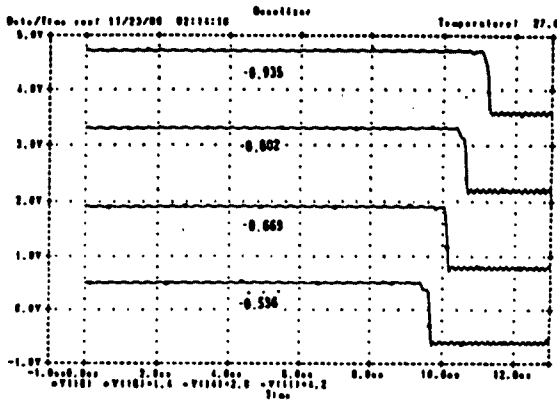


그림 13. 양자화 레벨 -0.536, -0.669, -802, -0.935V에 대한 비교기 출력 파형

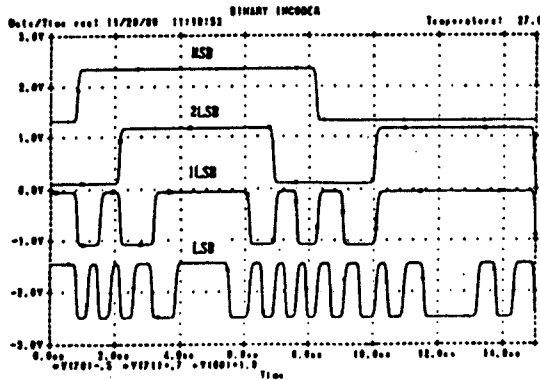


그림 14. 4비트 부호화된 디지털 출력 파형

표 4. 설계된 4:1 병렬 ADC 특성 요약 및 [9]와의 관계

| | 본논문 | [9] |
|---------|----------------|----------------|
| 해상도 | 4 | 4 |
| 입력신호 | | |
| 신호높이 | ±1V | ±0.5V |
| 대역폭 | 66MHz | 30MHz |
| 디지털 I/O | ±0.5V | ±0.25V |
| 샘플링비 | 3Gs/s | 1.5Gs/s |
| 전압원 | +1.5V -3.5V | +1.2V -3.8V |
| 전력소비 | 0.43W | 1.25W |

V. 결 론

본 연구에서는 SCFL 회로에 대한 설계 조건을 확장 개선하여 제시하였고, 이러한 개념을 토대로 설계된 SCFL 게이트는 속도와 전력면에서 향상됨을 알 수 있었다.

그리고 설계된 기본 로직을 이용, 4:1 병렬 ADC를 구성하여 시뮬레이션한 결과 비교기에서 offset 전압의 변이가 허용치 보다 훨씬 작아 실제 IC화할 경우 기존의 속도와 전력 소비면에서 우수할 것으로 사료된다.

참 고 문 헌

1. Francois Thomas et al., "1-GHz GaAs ADC Building Blocks" IEEE J. Solid State Circuits, Vol.24, pp.223-228, Apr 1989.
2. K.C. Wang et al., "A 4-bit Quantizer Implemented with AlGaAs/GaAs Heterojunction Ion Bipolar Transistors", GaAs IC Symposium, pp.83-86, 1987.
3. Andrzej Peczalski et al., "Design Analysis of GaAs Direct Coupled FET Logic", IEEE J. on Computer Aided Design, Vol. CAD-5, pp.266-273, Apr. 1986.
4. Walter R. Curtice et al., "A MESFET Model for Use in the Design of GaAs Integrated Circuits", IEEE Trans. Microwave Theory Tech. Vol.MTT-28, pp. 448-456, May, 1980.
5. Tho T. Vu et al., "The Performance of Source Coupled FET Logic Circuits, Vol. 23, pp.267-279, Feb. 1988.
6. Shinichi Katsu et al., "A Source Coupled FET Logic-A New Current -Mode Approach Logics", IEEE Trans. Electron Devices, Vol. ED-32, pp.1114-1118, June. 1985.
7. MASAO IDDA, et al., "Analysis of High-Speed GaAs Source Coupled FET Logic Circuits", IEEE Transaction Microwave Theory Tech, Vol. T-32, No.1, Jan. 1984.

8. M.S. Shur, "Analytical Models of GaAs FETs", IEEE J. Electron Devices, Vol. ED-32, pp.70-72, Jan. 1985.
 9. T.H. Chen and M.S. Shur, "Analytical Models of Ion Implanted GaAs FETs", IEEE, Electron Devices, Vol.

ED-32, pp.18-28, Jan. 1985.
 10. V.E. Garuts, E.O. Traa et al., "A Dual 2-bit, 1.5 Gs/s Analog to Digital Converter : , IEEE Bipolar Circuits & Technology Meeting, pp. 142-144, 1988.



尹夢漢(Mong Han YUN) 正會員
 1966年2月15日生
 1987年2月：韓國航空大學 航空電子工學科 卒業
 1990年2月：韓國航空大學 大學院 修了(工學碩士)
 1990年3月～現在：국방과학연구소



林明護(Myong Ho LIM) 正會員
 1961年3月1日生
 1987年2月：韓國航空大學 航空電子工學科 卒業
 1988年3月～88年11月：大韓電線(卒)
 1989年3月～現在：韓國航空大學大學院 航空電子工學科碩士課程中



李相元(Sang Weon LEE) 正會員
 1967年3月20日生
 1989年2月：韓國航空大學 航空電子工學科 卒業
 1989年9月～現在：韓國航空大學大學院 碩士課程中
 主關心分野：電子回路設計 및 超高速化合物半導體(HBT, MESFET).
 並 利用한 디지털 回路設計 및 지분레이저



李亨宰(Hyung Jae LEE) 正會員
 1933年3月20日生
 1958年3月：韓國航空大學 電子工學科 卒業
 1961年3月：釜陽大學校 工科學院 電氣工學科 卒業
 1972年2月：釜陽大學校 大學院修了(工學碩士)
 1988年2月：慶熙大學校 大學院(工學博士)
 1964年10月：韓國航空大學 助教授
 1971年7月：韓國航空大學 副教授
 1978年1月(現在)：韓國航空大學 教授
 1981年4月～1984年12月：本學會副會長