

## 주파수 도약 2진 비코히어런트 FSK 송수신기 실현에 관한 연구

正會員 朴 瑛 哲\* 正會員 金 在 亨\* 正會員 車 均 鉉\*

### A Study on the Implementation of Frequency Hopping Binary Noncoherent FSK Tranceiver

Young Chull PARK\*, Jae Hyung KIM\*, Kyun Hyon TCHAH\* *Regular Members*

**要 約** 본 논문에서는 도약속도를 높이기 위하여 이중 주파수 합성기를 도입하였으며 시스템을 간략화하기 위하여 다음의 몇가지 방식을 제안하였다.

PLL 루프에 직접 FSK 변조를 하기 위해 VCO의 이득을 선형화시켰으며, 2개의 수동상관기를 이용하여 코드동기를 얻을 수 있는 수정된 정합 필터 방식을 제안하였다.

**ABSTRACT** This paper investigates the design of a frequency hopping FSK tranceiver system, where the system enhancements are made in the following three aspects: dual frequency synthesization for the increased hopping rate, linearization of VCO gain in PLL to improve BFSK modulation characteristics, and fast code synchronization by the matched filter method.

#### I. 서 론

ECM(electronic counter measure)에 대응하기 위한 ECCM(electronic counter counter measure) 기법중의 하나인 대역확산(spread spectrum)<sup>(1)</sup>은 직접확산방식(direct sequence : DS),

주파수 도약방식(frequency hopping : FH), 시간도약방식(time hopping : TH) 및 chirp 변조방식이 있다. 그중 주파수 도약방식은 한개의 데이터를 전송하기 위하여 2회 이상 주파수를 도약시키는 고속 주파수 도약(fast frequency hopping : FFH, 1000hop/sec 이상)과 1회 주파수 도약시 여러개의 데이터를 전송하는 저속 주파수 도약(slow frequency hopping : SFH, 약 100 hop/sec 이하)이 있다.<sup>(2)</sup>

본 논문에서는 두개의 동일한 합성기를 사용하

\*高麗大學校 電子工學科  
Dept. of Electronic Engineering, Korea University.  
論文番號 : 90-27 (接受 1990. 2. 7)

여 교대로 출력시키는 이중(dual) 주파수 합성 방식을 사용하고 도약 속도의 상한점을 좌우하는 사장시간(dead time)을 무시할 수 있도록 하여 저속 도약의 주파수 합성기로 중속 주파수 도약 (medium frequency hopping : MFH, 200 hop/sec) 을 가능하도록 하고 정착시간에도 데이터를 전송하여 전송속도 변화기<sup>7)</sup>를 생략할 수 있도록 한다. 사용된 변조 방식은 직접 변조 방식으로 별도의 1차 FSK 변조기를 사용하지 않고, 위상 고정된 PLL 루프내에 2진 데이터를 VCO의 입력에 가산하도록 하였으며 루프 이득의 비선형성에서 발생하는 오차를 최소화 하기 위하여 전대역에서 VCO 이득을 일정하게 하는 선형화 회로를 제안한다.

반이중(half-duplex) 무전기는 빠른 코드 동기가 요구되므로 이에 적합한 정합필터(matched filter) 초기 동기 방식<sup>8)</sup>을 사용하였으며 송신기에서 데이터 클럭(16kHz)과 코드클럭(200Hz)을 동기시켜 보냄으로써 수신기에서 복구된

데이터 클럭을 분주하여 코드 클럭으로 사용할 수 있도록 하여 별도의 코드 동기 추적장치를 생략한다.

## II. 시스템의 설계 및 제작

그림 1은 제안된 FH 송수신기의 전체블럭도이다. 출력 주파수 범위는 63-88MHz이며 25KHz 간격으로 총 1023개의 채널을 가진다.

### II-1. 주파수 합성기의 설계

본 주파수 합성기는 tri-state 위상 검출기와 sample-hold 위상 검출기를 병용하고 있으며 그림 2에 나타내었다. tri-state 위상 검출기는 주파수와 위상을 동시에 비교하므로 획득시간(acquisition time)을 줄이는데 유리하며 sample-hold 위상 검출기는 내장된 제로-오더-홀드의 전달함수가 기준 주파수의 배수에서 영점을 가지기 때문에 이론적으로 90dB 이상의 기준 주파수

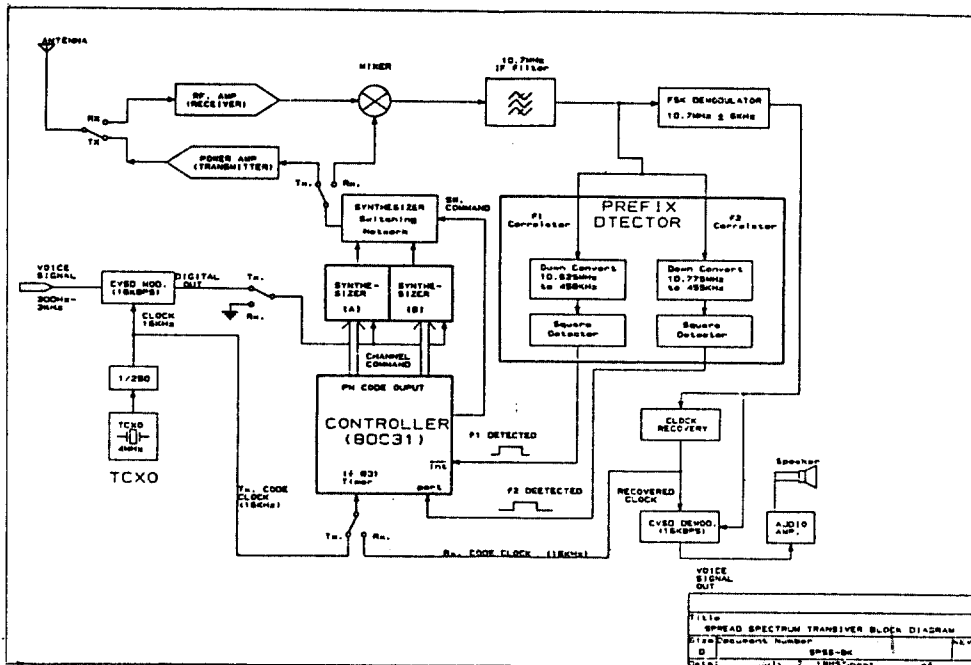


그림 1. 제안된 주파수 도약 송수신기의 블럭도  
Block diagram of proposed frequency hopping transceiver

역압 특성을 얻을 수 있다.<sup>(6)</sup>

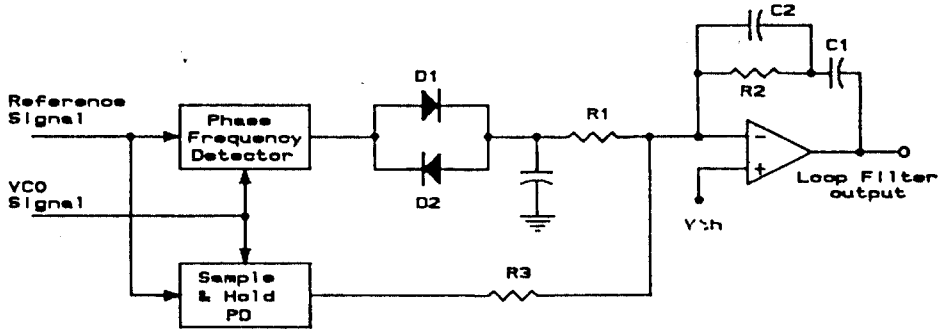


그림 2. 혼합 위상 검출기와 루프필터  
Hybrid phase detector and loop filter

위상 오차가 큰 경우에는 tri-state 위상검출기에서 큰 진폭의 비트(beat)가 발생하여 다이오우드(D1, D2)를 통과하지만 위상 오차가 작은 경우는 다이오우드에 의해 차단된다. 매우 큰 저항 R3는 sample-hold 위상 검출기의 출력을 감쇄시켜 위상 고정된 루프에만 영향을 미치도록 한다.

그림 3은 제작된 송신 및 수신 VCO의 전압/주파수 특성곡선이며 실선은 송신용, 점선은 수신용 VCO의 특성곡선이다.

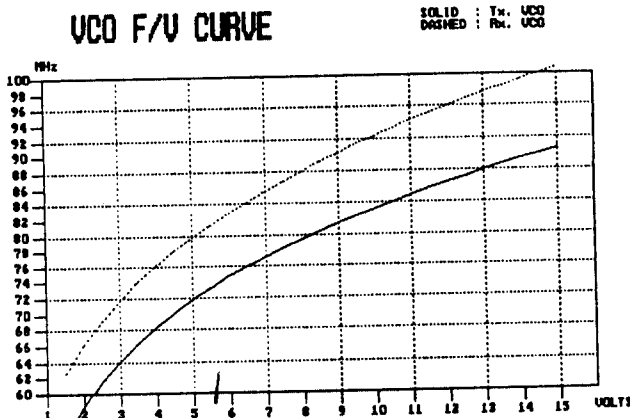


그림 3 송신기 및 수신기 VCO의 특성곡선  
Characteristic curves of VCOs for transmitter and receiver.

VCO의 낮은 주파수 대역에서는 높은 주파수 대역에서 보다 약 4배 이상의 이득을 가지므로 이를 보정하는 회로가 필요하다.

### II-2. BFSK 변조 및 VCO 이득 선형화 회로 설계

VCO에 직접 FSK 변조하기 위해 전대역의 VCO 이득이 일정하도록 선형화하는 회로(gain linearizer)를 설계하여 VCO 앞에 삽입하였다. 이득 선형화 회로는

$$V_L(V_i) = K_L [V_i]^{N_L} + V_{L0} \quad (1)$$

로, VCO의 특성곡선은

$$F(V) = K_0 [V - V_0]^{N_0} \quad (2)$$

로 근사화시킬 수 있으며 계수  $K_0$ ,  $V_0$ ,  $N_0$ 는 VCO의 특성곡선의 샘플치를 넣어결정할 수 있으며  $K_L$ ,  $N_L$ ,  $V_{L0}$ 을 식(2)의  $V$ 에 대입했을 때  $V_i$ 와  $F(V)$ 가 선형관계를 가지도록 근사화되는 값으로 결정한다.

(1)식과 같은 전달특성을 갖는 비선형 증폭기가 되며 그림 4에 점선으로 나타내었다. (1)식과 같은 전달특성을 갖는 비선형 증폭기를 실현하기 위해 4개의 소구간으로 나누어 구간 근사화 하였

으며(그림 4의 실선) 설계된 선형화 회로는 그림 5와 같다.

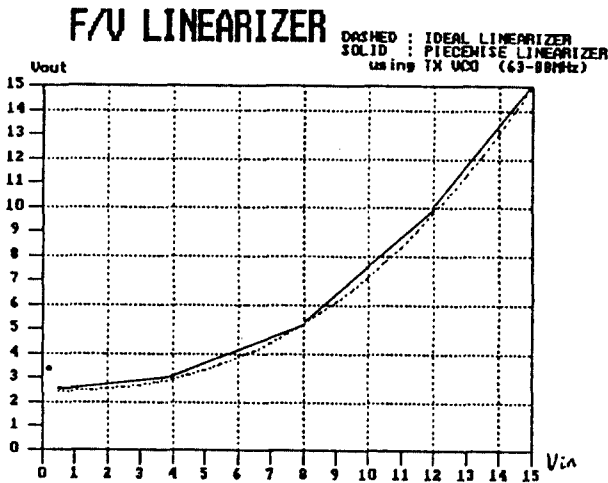


그림 4. VCO이득 선형화 회로의 특성곡선  
Characteristic curve of VCO gain linearizer

그림 6은 설계된 VCO의 이득 선형화 회로를 삽입하였을 때 VCO 특성곡선(실선)과 VCO 자체의 특성곡선(점선)을 나타낸 것이다. 그림에서 보듯이 송신기의 출력 주파수 범위(63MHz ~ 88MHz) 내에선 매우 우수한 선형성을 가지므로 VCO를 직접 변조할 때 전영역에서 균일한 변조 지수를 갖게된다.

변조된 데이터는 가산 증폭기에 의해 루프필터의 출력과 더해지고 VCO 이득 선형화 회로를 통하여 비선형 증폭된 후 VCO를 제어 및 변조한다. 그러나 수신상태에서는 CVSD로부터 오는 신호를 단락시켜 FSK 변조가 안되도록 한다. 이중 주파수 합성기는 2개의 주파수 합성기를 각각 독립적으로 동작시키며 출력을 번갈아 선택하기 위하여 스위칭 회로가 필요하다. 그림 7은 RF 신호를 고속으로 스위칭 하기 위해 PIN 다이오우드를 스위치로 사용한 회로이다.

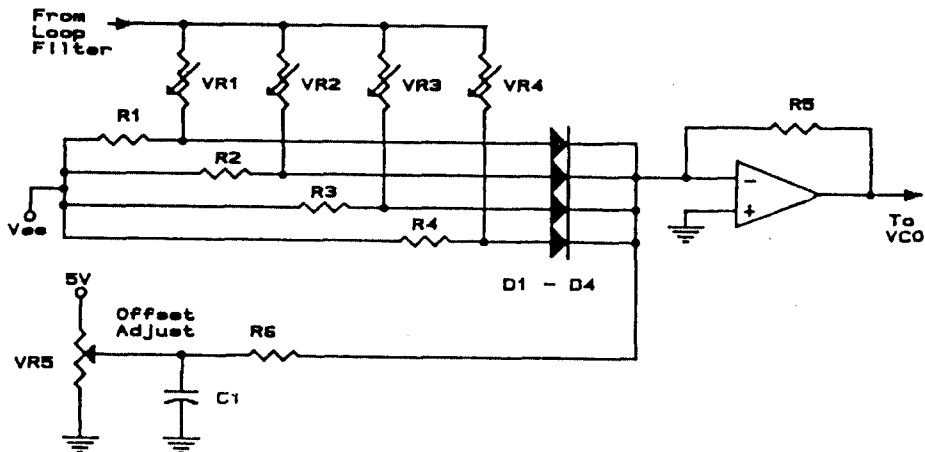


그림 5. VCO 이득 선형화 회로의 회로도  
Circuit diagram of VCO gain linearizer

### II-3. 코드 초기 동기 회로 설계

코드 동기 회로는 송신기에서 확산시킨 신호를 다시 좁은 IF 대역으로 역확산 시키기 위해 선결적으로 요구되는 장치이다. 초기 동기는 송수신

기가 먼저 정한 PN 코드의 위상이 시간적으로 하나의 도약 주기 이내가 되도록 맞추는 과정을 말한다.<sup>(6)</sup>

주파수 도약 시스템에 적용되는 초기 동기

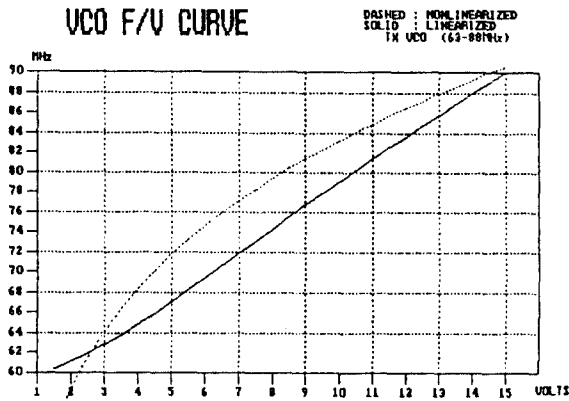


그림 6. 선형화된 전송 VCO의 특성곡선  
Characteristic curve of linearized transmission VCO

회로의 종류에는 stepped serial 방식, 정합 필터 방식, two-level 방식 등이 있으며 표 1에 3가지 방식을 비교하였다.<sup>(5)</sup>

반이중 방식의 무전기는 짧은 통화가 빈번하게 교환되므로 고속의 동기회로가 요구되며 정합 필터 방식이 이에 적합하지만 정합 필터 방식은 높은 신뢰도를 얻기 위해 많은 수동 상관기가 필요하므로 하드웨어가 복잡해진다. 따라서 본 시스템에서는 수동상관기를 2개로 줄이고 이에 따른 신뢰도의 하락을 막기 위해 초기 동기용 시퀀스(prefix)를 반복 전송하는 한편 동기점을 지연회로에 의해 추출하지 않고 마이크로프로세

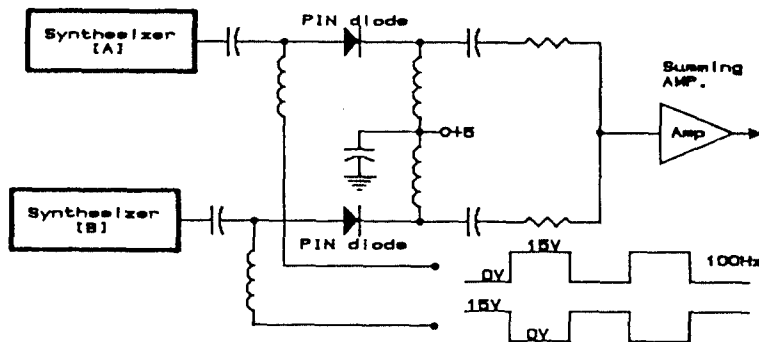


그림 7. 이중 주파수 합성기의 스위칭 회로  
Switching circuit of dual frequency synthesizer

표 1. 초기 동기 방식의 비교  
Comparison of initial synchronization methods

	stepped serial 方式	整合 필터 方式	two-level 方式
長點	同期 信賴度가 높다. 具現이 쉽다. 惡條件에서도 動作可能 하다.	實時間 探索으로 同期時間이 짧다.	同期時間이 짧고 同期 信賴度가 높다.
短點	同期時間이 길다.	하드웨어가 複雜하다.	하드웨어가 매우 複雜하다.
備考	跳躍速度를 높이거나 짧은 PN 코드를 使用하면 同期時間을 줄일 수 있다.	初期同期用 prefix를 使用하여 整合 필터의 갯수를 줄일 수 있다.	週期가 매우 긴 PN코드를 使用하여 빠른 同期의 信賴도를 要求하는 시스템에 適用

서를 사용하여 추출함으로써 정밀한 코드 시작 시간을 얻을 수 있는 변형된 정합 필터를 제안하였다.

초기 동기용 prefix는 3개의 부 prefix로 구성되며 상이한 부 prefix의 주파수 패턴으로 PN 코드의 시작 시각에 대한 정보를 보낸다. 그림 8은 수신기의 중간 주파수(IF) 출력에 나타날 prefix의 주파수 패턴이고  $f_1, f_2, f_3, f_x, f_{pn}$ 은 수신대기시 IF 필터의 출력 주파수이다. 따라서 그림 8과 같은 prefix가 수신되었을 때  $f_1$ 과  $f_2$ 에 정합된 2개의 수동상관기의 출력은 그림 9와 같다.

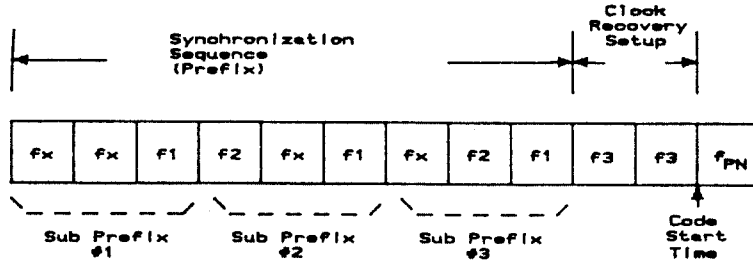


그림 8. 초기 동기용 prefix의 주파수 패턴  
Frequency pattern of synchronization prefix

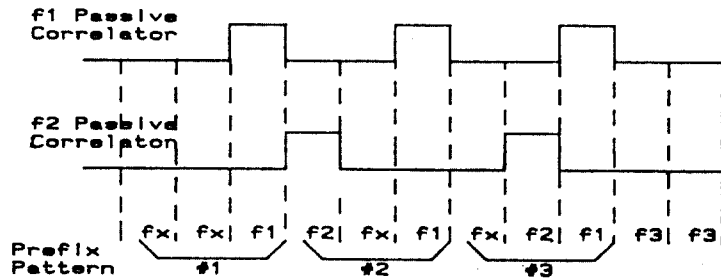


그림 9. IF 출력 파형과 수동상관기 출력 파형  
IF output waveform and passive correlator output waveforms

검출된 수동상관기 출력 펄스는 제어기에 입력되며 제어기는 부 prefix의 패턴에 따라 코드 시작 시각을 추출하여 타이머에 동작시킨다. 타이머는 부 prefix 패턴에 따라 초기값이 주어지며 타이머가 종료되는 순간에 PN 코드가 발생되기 시작한다.

f1 검출 펄스의 하강변(falling edge)에서 도약 주기 2% 이상의 펄스폭오차가 발생하거나 정해진 부 prefix 패턴이 아닐 경우는 타이머가 초기값 부여과정을 생략한다. 각각의 부 prefix에

코드 시작 시각의 정보를 가지고 있으므로 세계의 부 prefix중 최소한 하나만 일치하면 초기 동기가 가능하다.

### III. 실험 및 결과

#### III-1. 주파수 합성기의 스위칭 시간 측정

그림 10은 단일 주파수 합성기의 획득시간 및 이중 주파수 합성기의 사정 시간을 측정하기 위한 장치를 나타낸다.

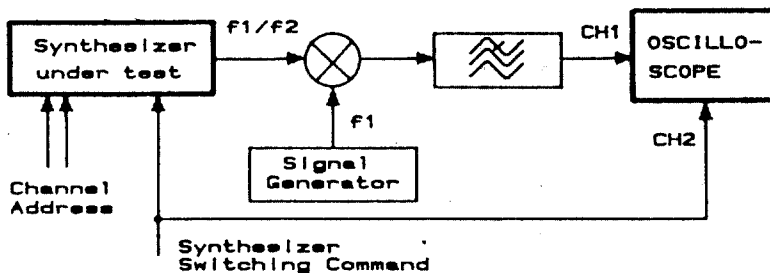
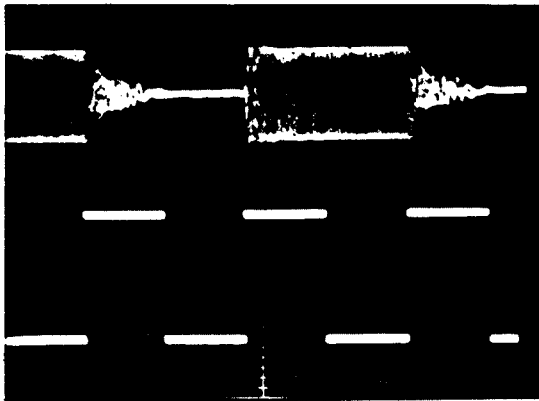


그림 10. 획득시간 및 사정시간 측정을 위한 구성도  
Test set for measuring switching time and dead time

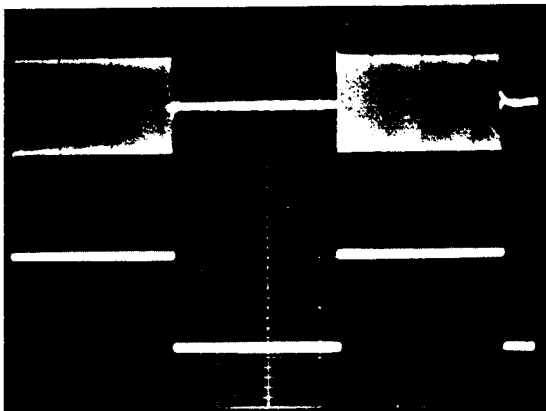
측정하려는 주파수 합성기를 2개의 주파수로 왕복시키고 측정 주파수 합성기의 2개 주파수중 하나로 정확하게 동조(tuning)시킨 신호 발생기 주파수를 혼합시킨다. 저역통과 필터로 차의 주파수 성분을 선택하면 주파수 합성기가 완전히 안정되는 시간 (DC 출력이 나오는 시간)을 측정할 수 있다.

그림 11은 단일 주파수 합성기가 65MHz와 88MHz를 초당 100회 왕복할 때의 획득시간을 측정한 것이며 약 3msec임을 보여준다. 그림 12는 이중 주파수 합성기와 63MHz와 88MHz를 초당 200회 왕복할 때의 주파수 스위칭 시간을 측정한 것이며 사정시간이 거의 없음을 보여준다.



y축: 1V/div, x축: 3msec/div

그림 11. 단일 주파수 합성기의 획득시간 측정파형  
Waveforms of switching time measurement for single frequency synthesizer

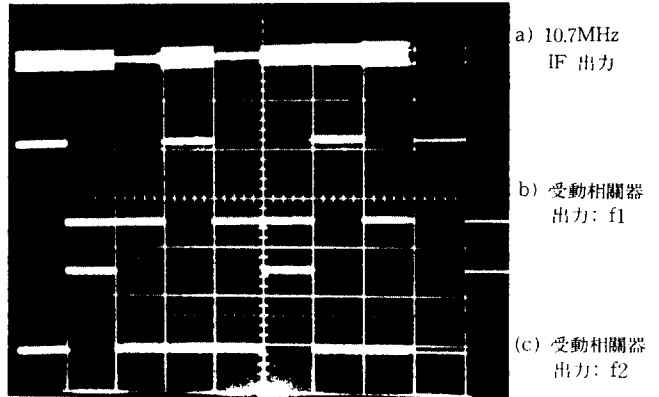


y축: 1V/div, x축: 1.5msec/div

그림 12. 이중 주파수 합성기의 사정시간 측정파형  
Waveforms of dead time measurement for dual frequency synthesizer

### III-3. 코드 동기 회로 특성 실험

그림 13은 초기 동기용 prefix(그림 9참조)만을 반복 전송시킬때 IF 필터 출력과 2개의 수동상관기의 출력 파형이다.



y축: 2V/div, x축: 5msec/div

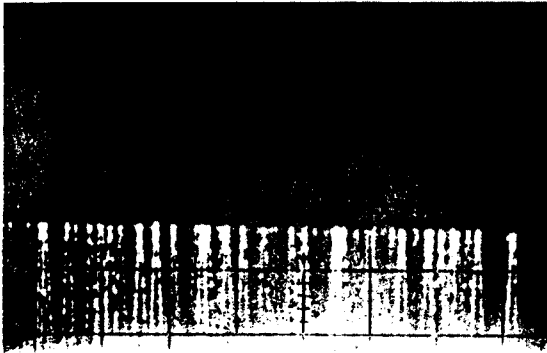
그림 13. prefix 패턴에 따른 수동 상관기 출력 파형  
Phase correlator output waveforms according to prefix pattern

수신대기 상태에서 prefix 패턴에 의한 도약신호중 f1, f2 그리고 f3는 IF 필터를 통과하여 RF 펄스로 나타나고(그림 13(a)), 임의의 주파수 fx는 IF 필터를 통과하지 못한다. RF 펄스는 수동상관기에 입력되어 그림 13의 (b), (c) 같은 구형펄스로 변환된다.

### III-3 전대역 주파수 도약 특성 실험

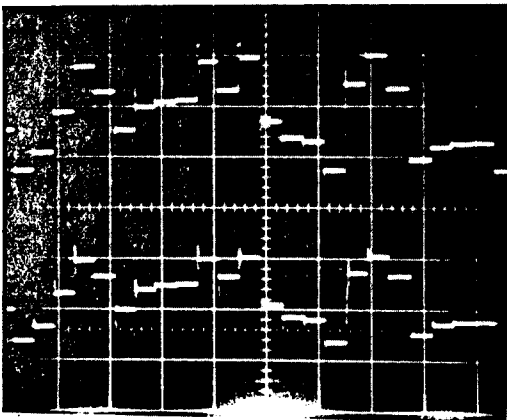
초기 동기된 후 송신기와 수신기는 동기된 PN 코드를 가지고 200회로 도약한다. 그림 14는 전대역(63-88MHz)을 도약하는 주파수 합성기 출력 스펙트럼이다.

코드 동기된 송신기와 수신기의 주파수 합성기는 VCO의 제어 전압을 각각 측정함으로써 동기 추적과정을 확인할 수 있다. 그림 15(a)의 파형은 송신기 주파수 합성기의 VCO 제어전압이고 그림 15(b)의 파형은 수신기 주파수 합성기의 VCO 제어전압이다.



y축: 10dB/div, x축: 2MHz/div

그림 14. 전대역 도약시의 송신기 출력 스펙트럼  
All band hopped spectrum



y축: 5V/div, x축: 10msec/div

그림 15. 초당 200회 도약하는 송신기와 수신기의 VCO 제어 전압  
VCO control voltages of transmitter and receiver with 200 hop/sec rate

#### IV. 결 론

본 논문에서는 확산대역폭이 63-88MHz, 채널 간격이 25kHz, 총 채널수 1023개, 도약속도가 200hop/sec인 VHF 대역 2진 FSK 주파수 도약 송수신기를 설계하고 구현하였다.

저렴한 가격으로 구현할 수 있는 저속의 (정착 시간:3msec) 주파수 합성기 두개를 사용하는 이중 주파수 합성 방식을 채택하여 중속의 주파수 도약 시스템을 구현하였다. 이중 주파수 합성기의 부수적 이점으로 사정시간이 없어졌기 때문에 도약 주기의 100%를 데이터 전송에 사용할 수 있게 되었으므로 전송속도 변환기를 사용할 필요가 없었다.

코드 초기 동기 방식은 고속 동기에 적합한 정합 필터 방식을 사용하였다. 정합 필터 방식은 동기 시간이 매우 빠른 대신 많은 수동상관기 및 시간지연기가 필요하므로 하드웨어가 복잡해진다. 본 논문에서는 수동상관기를 2개로 줄이는 대신에 초기 동기 확률을 높이기 위해 동기용 prefix를 부 prefix로 나누어 각각 특정한 주파수 패턴으로 초기동기 시간에대한 정보를 실어 보냈다. 코드 시작 시각 추출은 소프트웨어에 의해 처리함으로써 구현이 어려운 시간지연기를 생략할 수 있었다.

FSK는 변조는 VCO에 2진 신호를 더해서 변조하는 직접 변조 방식을 사용하기 위해 비선형 특성을 가지는 VCO 이득을 선형화시키는 회로를 설계하였다. 이에 의하여 전 확산대역에서 일정한 변조 특성을 얻을 수 있었다.

본 연구는 학술진흥재단의 연구비 지원으로 이루어졌으며 동 재단에 심심한 사의를 표합니다.

#### 참 고 문 헌

1. Robert c. Dixon, Spread Spectrum System, John Wiley & Sons, 1984.
2. Marvin K. Simon, et. al, Spread Spectrum Communication, Vol. I, Computer Science Press, 1986.
3. Marvin K Simon, et. al, Spread Spectrum Communication, Vol. II, Computer Science Press, 1986.
4. Marvin K Simon, et. al, Spread Spectrum Communication, Vol. III, Computer Science Press, 1986.



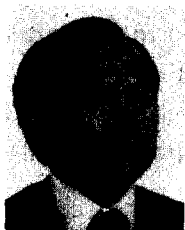
5. Roger E. Zierner & Roger L. Peterson, Digital communication and Spread Spectrum Systems, Macmillan Publishing Company, 1985.
6. Ulrich L. Rode, Digital PLL Frequency Synthesizers Theory and Designs, Prentice Hall, Inc., 1983.
7. 정창경, 주파수 도약 2진 비코히어런트 주파수 천이 키잉 송신기의 실현에 관한 연구, 고려대학교 전자공학과 박사학위 논문, 1986.
8. Stephen S. Rapaport. et., "A Comparision of Schemes for Coarse Acquisition of Frequency Hopped Spread Spectrum Signal", IEEE Trans. on Comm Vol. COM-30, 1983.
9. S. S. Rapaport. et., al "A Two Level Coarse Code Acquisition Scheme for Spread Spectrum Radio." IEEE Trans. on Commu. Vol. COM-28, 1980.



朴 瑛 哲 (Young Chull PARK) 正會員  
 1958年 7月27日生  
 1981年 2月: 高麗大學校 電子工學科 卒業(學士)  
 1987年 2月: 高麗大學校 大學院 電子工學科 卒業(碩士)  
 1987年 2月~1989年 9月: 三星電子通信研究所 無線研究室 勤務  
 1989年 2月~現在: 高麗大學校 電子工學科 博士課程



金 在 亨 (Jae Hyung KIM) 正會員  
 1961年 1月13日生  
 1983年 2月: 高麗大學校 電子工學科 卒業  
 1985年 2月: 高麗大學校 電子工學科 大學院 工學碩士 取得  
 1989年 8月: 高麗大學校 電子工學科 大學院 工學博士 取得  
 1989年 8月~現在: 高麗大學校 電子工學科 講師



車 均 鉉 (Kyun Hyon TCHAH) 正會員  
 1939年 3月26日生  
 1965年: 서울大學校 工學士  
 1967年: 美國일리노이大學校 工學碩士學位 取得  
 1976年: 서울大學校 工學博士學位 取得  
 1987年~現在: 高麗大學校 電子電算工學科 教授  
 ※主關心分野는 CAD 및 通信시스템等.