

## 高集積 회로를 위한 傾斜面 SWAMI 技術과 漏泄電流 分析

正會員 李 龍 宰\*

### The Technology of Sloped Wall SWAMI for VLSI and Analysis of Leakage Current

Yong Jae LEE\* *Regular Member*

**要 約** 本論文은 기존 LOCOS 工程의 張點을 모두 減소한 側面壁 SWAMI 技術에 대한 새로운 構造를 提示한다. 새로운 SWAMI 工程은 순수 窒化膜 應力과 體積 膨脹에 起因한 應力을 크게 줄이기 위해서 側面壁 주위에 얇은 질화막과 反應性 이온 飾刻으로 기울어진 실리콘 측면벽을 結合시켰다.

製作된 結果에 의하면, 缺陷이 없는 완전히 새부리 모양이 形成되지 않는 局地的 酸化 工程은 기울어진 面의 異方性 산화 隔離에 의해 實現시킬 수 있었다. 추가적인 마스크 段階는 要求되지 않는다. 이 工程에서 PN 다이오드의 漏泄電流은 기존 LOCOS 工程 보다 減少되었다. 한편 가장자리 部位는 漏泄電流 密度에서 평편한 接合 부위 보다 높게 分析되었다.

**ABSTRACT** This paper present new scheme for a Side Wall Masked Isolation(SWAMI) technology which take all the advantages provided by conventional LOCOS process. A new SWAMI process incorporates a sloped sidewall by reactive ion etch and a layer of thin nitride around the sidewalls such that both intrinsic nitride stress and volume expansion induced stress are greatly reduced.

As a fabricate results, a defect-free fully recessed zero bird's beak local oxidation process can be realized by the sloped wall anisotropic oxide isolation. No additional masking step is required. The leakage current of PN diodes of this process were reduced than PN diode of conventional LOCOS process. On the other hand, the edge junction part was larger than the flat junction part in the density of leakage current.

#### I. 서 론

高集積 회로에서 개별 素子들의 隔離 方法으로

LOCOS 工程이 사용되고 있는데, 이는 종래의 격리 技術 보다 表面의 平坦性, 고밀도화 및 現存 하는 고집적 회로 技術과의 양립성 등에서 長點을 갖고 있다. 그러나 LOCOS 工程에서는 熱的 산화 工程을 거치는 동안 窒化膜의 가장자리 부분에 새부리 모양(Bird's Beak)의 산화막이 形成된다. 이런 現象은 活性영역의 減少 뿐만아니라 再現性 에도 큰 문제가 되며, 새부리 모양의 정도는 保護

\*東義大學校 工科學 電子工學科  
Dept. of Electronic Communication Engineering,  
Donggeui Univ.  
論文番號 : 90-26(接受1990. 2. 3)

酸化膜의 두께에 따라 다르게 나타나며, 일반적으로 한쪽 보호 산화막 두께의 1~1.5배 정도이다. 이 結果로 인하여 集積率을 높이는데 제한적인 要素로 작용된다<sup>4)</sup>.

산화막 격리 방법을 이용한 超高集積 회로 應用에서 요구되는 사항은 1) 마스크 상의 設計值數와 最終 소자의 기하 構造 사이에 가능한 微細한 패턴 이동과, 2) 보호산화막의 두께가 다른 소자의 크기에 영향을 주지 않고, 3) 미세한 폭의 感光技術, 4)無缺陷 등이다<sup>5)</sup>.

본 研究에서는 LOCOS 공정에서 形成되는 새부리 모양의 산화막을 最小로 줄이기 위해서, 反應性 이온 식각법을 이용하여 실리콘을 이방성으로 식각 시키고, 精確하게 산화막과 질화막을 조절하여 SWAMI (Side-Wall Masked Isolation) 공정을 開發하였으며, 이는 LOCOS 공정과 양립이 되며, 한편 LOCOS 공정의 장점을 모두 지니고 있으며, 追加되는 마스크의 공정도 필요없으나 몇 단계의 공정이 요구되므로 수율에서 문제가 대두된다.

이 공정이 소자에 미치는 영향을 分析하기 위해 P-N 다이오드를 사각형과 손가락 모양으로 마스크를 설계하여, SWAMI 공정과 LOCOS 공정으로 각각 제작한 다이오드의 漏泄電流를 測定하여 공정시 缺陷의 정도를 分析하고자 한다.

## II. 工程 開發 및 分析

基板은 실리콘으로 結晶方向은 [100], 도핑 소스는 磷으로 N型, 도핑 정도는 比抵抗이 5 ohm-cm, 4인치 크기의 웨이퍼를 사용하였다. 표 1은 LOCOS 공정과 SWAMI 공정으로 격리구조를 제작할 공정 順序이며, LOCOS 공정과 SWAMI 공정의 차이는 LOCOS 공정에 마스크의 추가없이 몇 단계 추가공정으로 인한 두께의 型像比 差異로 가능하다.

LOCOS 공정은 표 1에서 1)의 산화막 형성 단계에서 應力을 줄이기 위한 산화막 SRO. 1을 50nm를 길렀으며, 2) 단계는 활성영역 부분의

산화막에서 再酸化를 막기 위하여 低壓 CVD 방법으로 실리콘 질화막 1을 150nm를 形成 시켰다. 3)은 활성영역 定意를 위한 마스크를 사용하여 사진 감광 공정을 한 다음 4)에서 질화막 1, SRO 1, 실리콘 550nm를 반응성 이온 식각법으로 C2F6 가스를 사용하였으며, 이때 실리콘은 異方性으로 飾刻되어진다. 5)는 감광막을 제거한 후 11)에서 보호산화막을 온도 1000°C에서 1000nm를 濕式으로 길렀으며, 12)에서 질화막을 습식으로 除去하였다. 工程 結果는 보호산화막과 형성 후 질화막 가장자리에 새부리 모양의 산화 800nm 정도 활성영역으로 浸透된 상태로 電子 顯微鏡 사진 결과 나타났다.

이러한 새부리 모양의 산화막이 活性 영역에 潛飾되는 부분을 줄이기 위한 공정이 표. 1의 6), 7), 8), 9), 10)의 공정으로써, LOCOS 공정에서 追加된 全 工程이 SWAMI 공정이다.

표 1 SWAMI 격리 공정 순서  
Process sequence of SWAMI isolation

- (1) Grow stress relief oxide.(SRO 1) -500Å
- (2) Deposit LPCVD nitride (nitride. 1) -1500Å
- (3) Pattern island region (mask)
- (4) Plasma etch nitride 1, SRO 1, silicon  
(1500Å) (500Å) (5500Å)
- (5) PR strip
- (6) Grow stress relief oxide(SRO 2) -500Å
- (7) Deposit second nitride (nitride 2) -700Å
- (8) APCVD oxide 2 -7000Å
- (9) Plasma etch (APCVD oxide, nitride 2, SRO  
2)
- (10) APCVD oxide wet etch
- (11) Grow field oxide - 10000Å
- (12) Nitride strip (wet)

SWAMI 工程은 LOCOS 공정에서 마스크의 追加 공정은 없으며, 6)의 SRO. 2는 식각된 실리콘 부분의 應力을 줄이기 위한 산화막으로 50nm를 成長시켰으며, 7)의 질화막 2는 식각된 傾斜 부분에 보호산화막 形成時 再酸化를 방지하기 위하여 질화막을 70nm를 吸着 시켰다. 8)의

APCVD 산화막은 大氣 상태에서 CVD로 산화막을 700nm 증착 시킨후, 9)에서 反應性 이온 식각 (RIE)으로 APCVD 산화막, 질화막 2, SRO.2만 蝕刻 시킨다. 이때 두께를 정확하게 식각 시킴으로 傾斜 벽면에는 기울어진 만큼 型像比의 差異로 산화막과 질화막이 두껍기 때문에 마스크를 사용하지 않고 마치 마스크를 사용하여 사진 感光공정을 進行한 것과 같은 結果가 그림1의 d)와 같은 構造이다.

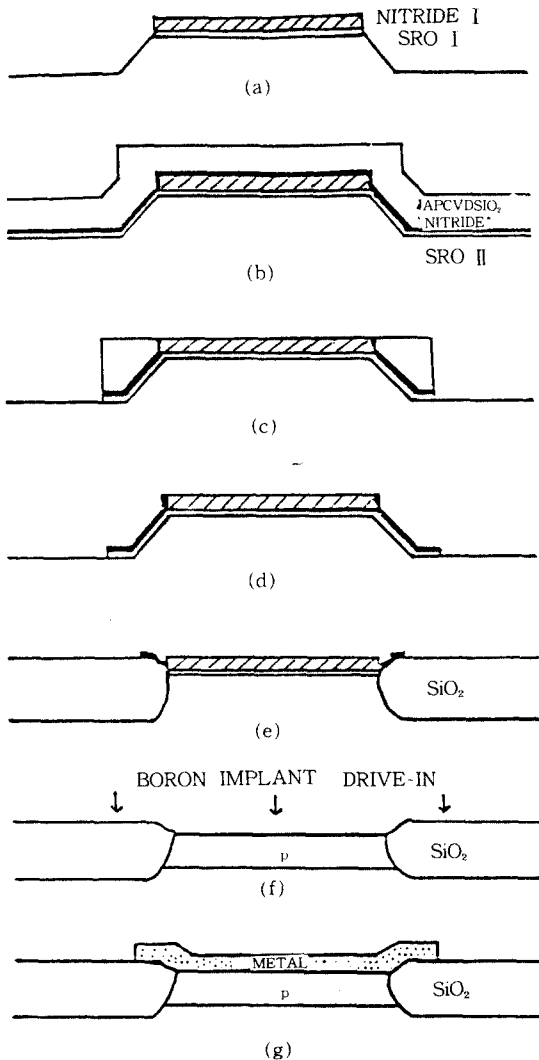
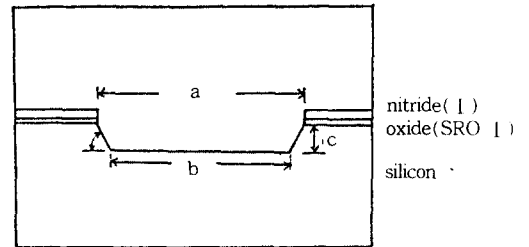


그림 1 주요 공정 단면도  
Major process schematic diagram

그림 1은 LOCOS, SWAMI 공정과 P-N 다이오드 製作의 主要 斷面圖로써, LOCOS 공정은 a), f), g) 段階로 제작하였으며, SWAMI 공정은 全斷面圖이며, 만약 a) 단계에서 基板 실리콘을 垂直으로 식각한다면, 隔離 結果 측면 부분인 질화막 2 가장자리 부분 아래에 보호산화막 형성시 산소 침투로 산화막이 성장되면서 體積 膨脹에 기인하는 缺陷이 生成되기가 용이하다<sup>(3)</sup>. 그래서 실리콘을 異方性으로 식각시키면 기울어진 측면이 형성되어, 傾斜面이 보호산화막 형성 동안에 體積 膨脹에 야기되는 큰 應力 영향을 기울어진 측면의 질화막 2를 가장자리 부분을 들면서 체적 팽창이 되기 때문에 실리콘에서 받는 應力은 LOCOS 工程에서 받는 應力보다 훨씬 적게되므로 가장자리 부분의 결함 발생이 줄어든다<sup>(4) (5)</sup>.



( a=5.4um, b=4.7um, c=0.4um,  $\alpha=50^\circ$  )

\* Dimension of "a" on the mask = 5um.

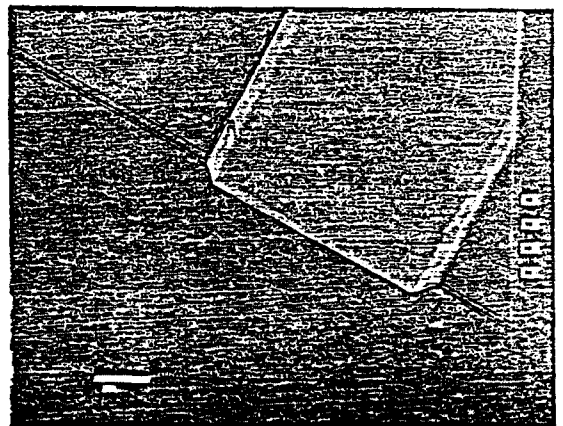
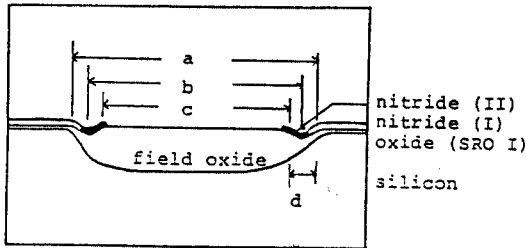


그림 2 이방성 식각후 전자 현미경 사진(X 15000)  
SEM photograph of anisotropic structure



( a=5.4um, b=4.7um, c=4.4um, d=0.5um )

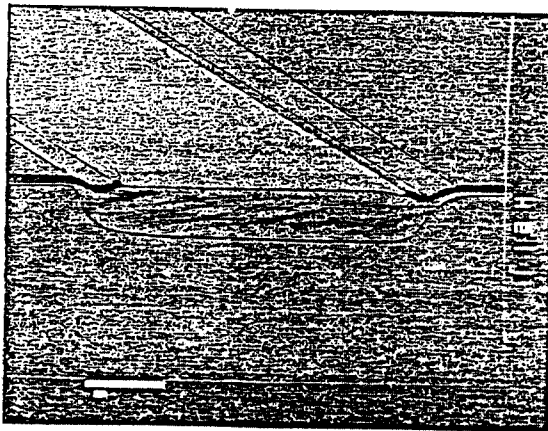


그림 3 보호산화막 형성후 전자 현미경 사진( $\times 15000$ )  
SEM photograph of field oxidation

그림2는 전자현미경 사진으로 그림 1의 a) 단계를 確認한 結果로 精確한 기울기는 54.74度이지만 본 實驗의 イ방성 식각의 結果로 約 50度 기울기로 확인되었다. 다시 應力 保護 산화막을 乾式으로 50nm 기른 다음 常溫 상태로 산화막을 700nm 吸着시켰으며, 또 反應性 이온으로 精確히 식각을 行한다. 그림 3은 保護산화막 形成後 새부리 모양의 산화층이 形成되지 않은 전자 현미경 사진이다. 이는 素子 製作時 활성화 영역이 마스크 상의 면적과의 차이가 거의 없다는 意味이다.

素子 製作 結果 SWAMI 공정이 LOCOS 공정과의 差異를 分析 하기 위한 P-N 다이오드 제작을 위한 P형은 이온 주입법으로 도핑 소오스를 보존, 表面 濃度는  $1 \times 10^{14}$  atoms / cm<sup>2</sup>, 注入 에너지는 50 KeV로 하였으며, 不純物 침투 공정은 100℃ 溫度에서 30分 동안이며, 接合 깊이는 自動 分抛 抵抗 測定 장비로 900 nm 측정되었다. 두번

째 마스크를 사용하여 接觸窓을 연 다음 알루미늄 1000 nm를 蒸着後, 세번째 마스크를 사용하여 電極을 形成시켰다.

### Ⅲ. 缺陷 분석 및 素子 製作 結果

保護 酸化膜 形成으로 인하여 결함 발생을 規明 하는 것이 SWAMI 공정의 主關心 분야로써, 가장자리 轉位(edge dislocation)가 주로 形成되는 것으로 알려져 있으며, 이 轉位가 에너지 準位에서 깊은 再結合 준위로 形成되어 다이오드에 많은 漏泄電流의 원인이 된다<sup>(4)</sup>. 활성화영역 가장자리 부분의 보호산화막 形成後 轉位の 발생에 원인이 되는 應力變型의 定度를 抽出하기 위한 表現은 식(1)과 같다.

$$S = (y' - y) / t = 0.532 y' / t \quad (1)$$

여기에서 S : 스트레인

t : 식각된 실리콘 깊이

y : 산화막 형성시 식각되는 실리콘 깊이

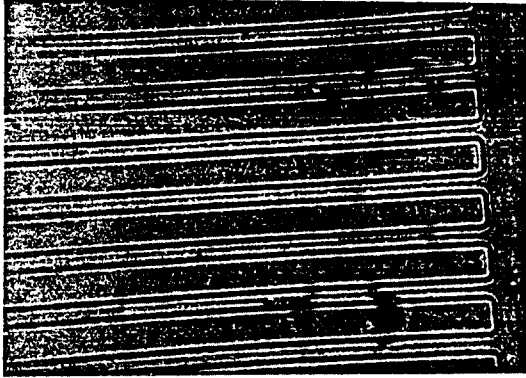
y' : 활성화영역 아래 부위의 수직 방향의 산화막 두께

식의 意味에서도 새부리 모양의 산화막이 形成 되면 스트레인도 많이 받게된다. SWAMI工程은 새부리 모양의 산화막이 形成되지 않으며 保護산화막 形成단계에서 窒化膜을 들면서 形成되기 때문에 應력도 줄어들면서 缺陷도 없어진다.

보호산화막과 形成後 스트레인의 結果는 LOCOS 공정이 SWAMI 공정 보다 큰 값을 갖기 때문에 應력도 큰 값을 갖고 여기에 起因한 결함이 많이 形成될 수 있다. 그림 4는 가장자리 부위별 轉位를 公證別로 확인한 사진으로 a)는 SWAMI 공정이며 b)는 LOCOS 공정의 試片을 가장자리 부위를 Wright 飾刻으로 결함을 400倍率로 擴大한 結果이다.

이 결함이 漏泄電流의 원인이 되기 때문에 누설 전류 측정을 위한 素子 設計는 표 2로 다이오드

a) SWAMI process



b) LOCOS process

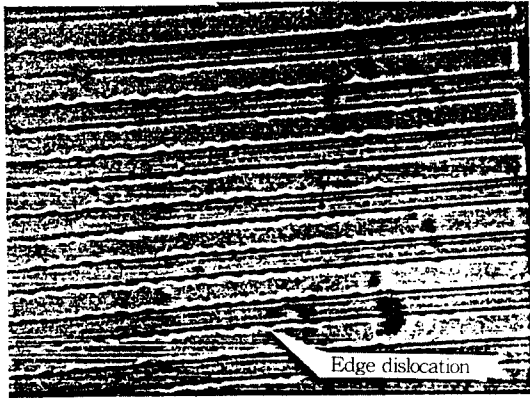


그림 4 Wright 식각후 가장자리 轉位  
Edge dislocation after wright etching

面積 및 둘레이며, 공정 結果에 의하면 SWAMI 공정은 planar 다이오드와 finger 다이오드는 설계 상의 면적과 둘레가 同 一하며, LOCOS 공정은 類型別로 設計上의 면적과 둘레가 다른데 이 原因은 새부리 모양으로 인한 活性領域의 減少를 고려한 면적과 길이로써, 보호산화막 1000nm 두께에 800nm 정도 활성영역을 潛飾한 새부리 모양 산화막을 고려한 값이기 때문이다.

逆方向 누설전류의 측정 結果가 그림 5이며, a)는 SWAMI 공정에서의 planar 型態와 finger 형태의 漏泄電流를 측정값으로 planar 型的 다이오드가 가장자리 길이가 긴 finger 型態 보다 적은 누설전류 結果이며, b)는 LOCOS 工程의 결과이다.

표 2 다이오드의 집합 면적과 가장자리 길이  
Flat area, edge length of diodes

SWAMI PROCESS	AREA	LENGTH
• PLANAR DIODE	22900 $\mu^2\text{m}$	624 $\mu\text{m}$
• FINGER DIODE	10400 $\mu^2\text{m}$	4240 $\mu\text{m}$
LOCOS PROCESS		
• PLANAR DIODE	22398 $\mu^2\text{m}$	618 $\mu\text{m}$
• FINGER DIODE	7028 $\mu^2\text{m}$	4189 $\mu\text{m}$
W : bird beak factor		
W=0.8 $\mu\text{m}$ (for field oxide: 1 $\mu\text{m}$ )		

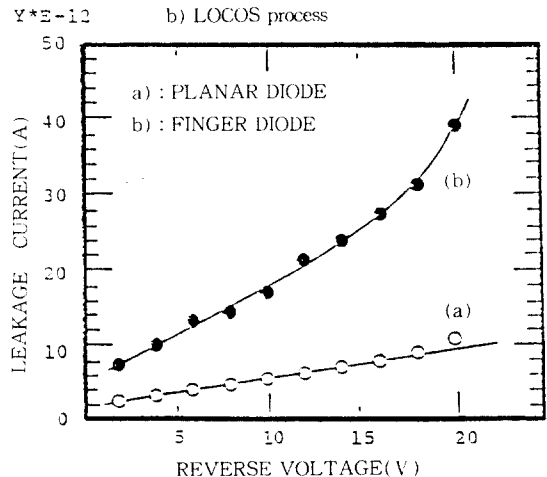
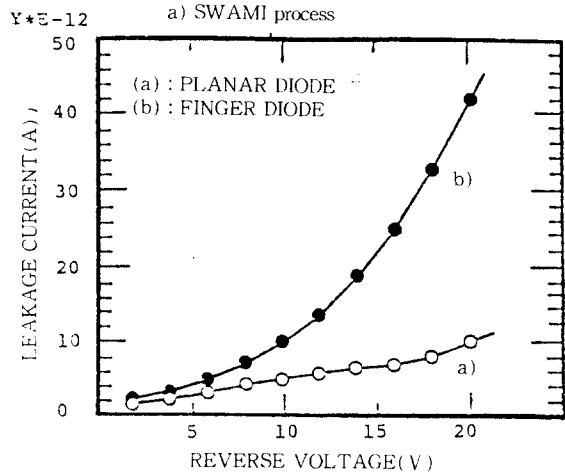


그림 5 역방향 I-V 특성  
Reverse bias I-V characteristics  
a) SWAMI process b) LOCOS process

그림 6은 같은型態別로 planar와 finger 다이오드를 SWAMI 공정과 LOCOS 공정의 逆方向 電壓 인가시 누설전류 측정 결과이다. 이 結果 SWAMI 공정이 同一-형태에서 적은 電流값을 갖는데 이는 工程時 결함 정도를 暗示하여 준다. 한편 側方向 特性에서 공정과 型態가 미치는 영향은 전압을 10mV에서 100mV까지 側方向 電流-電壓 측정 결과 임계 전압이 0.65V 정도로써 다이오드의 공정이나 型態별로 차이가 나지 않았다.

#### IV. 結果 및 考察

測定 結果를 바탕으로 각각의 경우 活性接合 부분과 가장자리 部位로 구분하여 活性接合 부분 電流密度( $J_1$ )와 가장자리 접합 부분의 電流密度( $J_2$ )를 抽出하는 關係式은 式2이다.

$$I_1 = A_1 J_1 + P_1 J_2 \quad (2)$$

$$I_2 = A_2 J_1 + P_2 J_2$$

여기에서

$I_1, I_2$  : 역방향 누설전류

$A_1, A_2$  : 活性接合 부위의 면적(設計上 면적)

$J_1$  : 활성접합 부위의 누설 面電流 密度( $A/\mu m^2$ )

$P_1, P_2$  : 가장자리 접합 부분의 길이

$J_2$  : 가장자리 부위의 線電流 밀도( $A/\mu m$ )

工程別 순방향 臨界電壓에 나타나는 영향은 式2에서 추출한 結果인 그림 7로써, SWAMI 공정과 LOCOS 工程 차이에서 나타날 수 있는 電流密度를 구한 結果가 同一-하게 0.65V 근처에서 임계 現象이 나타났다. 또 素子의 가장자리 부위와 平坦한 부위에서 나타난 特性도 동일한 臨界現象으로 抽出되었다. 이는 PN 다이오드의 순방향 임계 전압이 소자제작 과정에서 發生될 수 있는 缺陷 발생에는 無關하게 나타난 結果이다.

그림 8은 누설전류 密度와 電壓 特性으로 a)는 SWAMI 공정과 b)는 LOCOS 공정의 다이오드에서 그림 5를 바탕으로 式2에서 抽出한 전류 밀도의 자료이다. 이는 가장자리 接合부분의 線電流 密度가 활성영역 부분의 漏泄電流 密度 보다 훨씬 缺陷이 많다는 意味이다. 이 자료 解析은 SWAMI 공정과 LOCOS 工程에서 前者의 공정이 後者의 공정 보다 누설전류 밀도가 낮은 값을 보이는데, 이는 다이오드의 接合에서 가장자리 接合部分이 활성영역 接合 부위보다 缺陷이 많은 結果이다. 原因은 保護 酸化膜 형성시 熱的 酸化 공정중 應力의 影響을 많이 받는 結果로 직접적

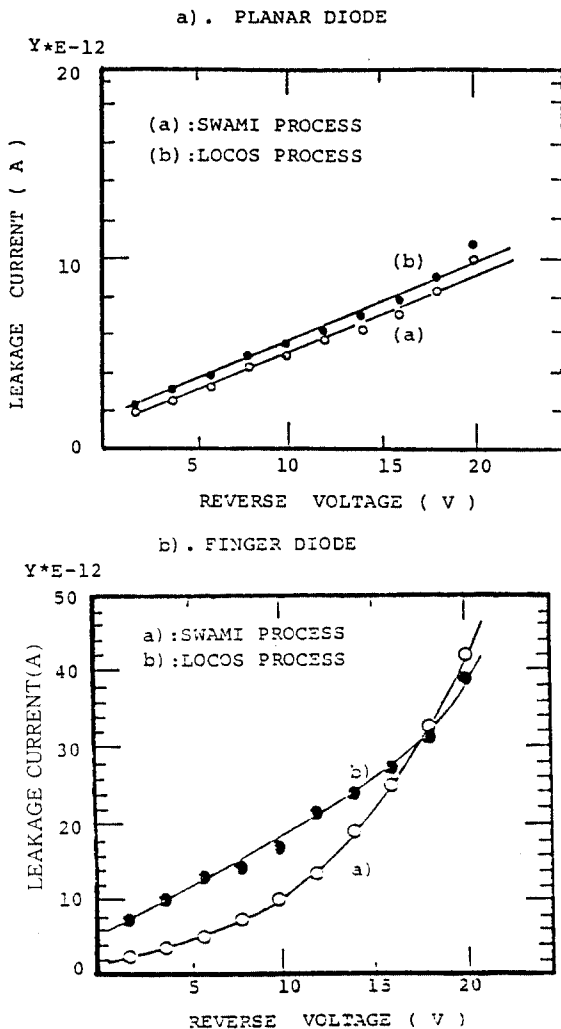


그림 6 다이오드 型態별 逆방향 I-V 特性  
Reverse bias I-V characteristics for diode shape  
a) Planar type b) Finger type

인 缺陷의 정도를 分析한 그림 4의 가장자리 부위의 Wright 飾刻 實驗과도 일치하는 結果이다.

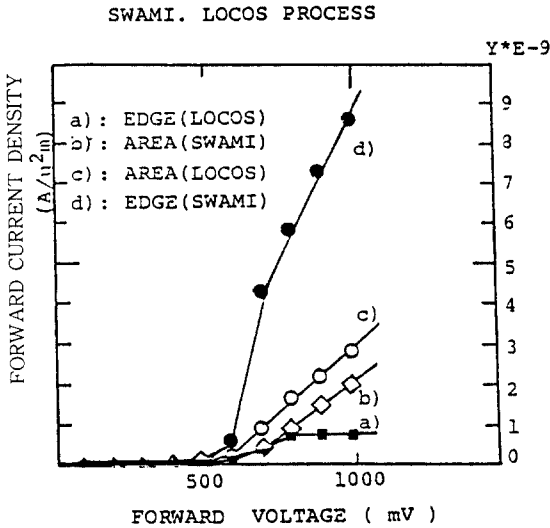


그림 7 순방향 임계전압 특성  
Forward turn-on voltage characteristics

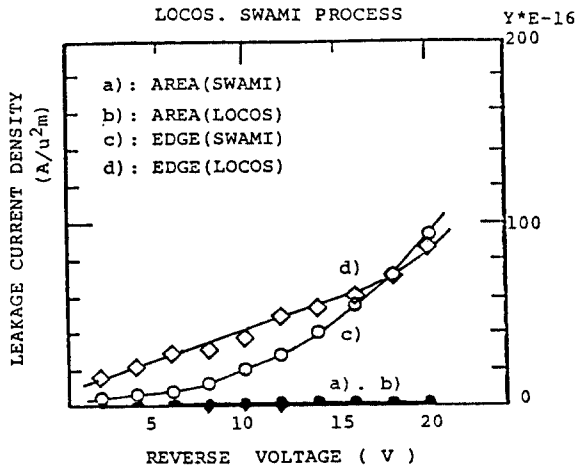


그림 8 다이오드별 누설전류 밀도 특성  
Leakage J-V characteristics for diode shape

### V. 결 론

反應性 이온으로 基板을 異方性과 窒化膜, 산화

막을 型像比 차이가 날 수 있도록 正確하게 飾刻이 가능하며, 식각한 構造에서 保護酸化膜 형성 工程에서 새부리 모양의 酸化層을 없앨 수 있으며, 熱的 膨脹에 기인한 缺陷도 줄일 수 있는 工程으로 分析 結果 判明되었다.

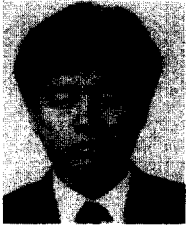
이 공정 技術의 長點은 1)無缺陷의 접근, 2)表面의 平坦性, 3)마스크의 추가 段階를 要求하지 않으면서 現存하는 隔離 技術과 양립이 可能하며, 4)保護酸化膜 두께의 줄임이 없이 素子의 기하 構造를 축소시킬 수 있기 때문에 超高速 集積 및 高速 소자 제작에 應用<sup>6)</sup>될 수 있다. 短點으로는 기존의 工程에 몇단계의 工程이 要求되기 때문에 大量 生産時 수율 저하의 原因이 될 수 있다.

이 工程은 高速 고집적 回路의 마이크로 미터 以下의 設計를 갖는 VLSI회로 製作에 필요하며, 進歩된 PSA, NSA, CMOS 技術등에 적용 可能하다.

### 參考文獻

1. J. A. Appels, E. Kooi, "Local oxidation of silicon and its application in semiconductor device technology" Philips Res., Rep., Vol. 25, No. 2, pp. 118~132, 1970
2. Kuang Yi Chiu, J. L. Mool "A Bird beak free local oxidation technology feasible for VLSI circuits fabrication", IEEE. Trans on Electron Devices, Vol. ED-29, No.4, April, 1982.
3. E. Kooi "Formation of silicon nitride at a Si-SiO<sub>2</sub> interface during Heat-treatment of oxidized silicon in NH<sub>3</sub> gas". J. Electro-chem. Soc., Vol., 123, No. 7, pp. 1117~1120, 1976
4. Kuang Y. Chiu "This Sloped-Wall SWAMI a defect free zero bird's-beak local oxidation process for scaled VLSI technology", IEEE Trans. on Electron Device, Vol. ED-30, No. 11, Nov, 1983.
5. Shizuo Sawada, Osamu Ozawa "Electrical properties for MOS LSI's Fabricated using Stacked Oxide SWAMI Technology" IEEE Trans, on Electron Devices Vol. ED-32, No. 11 pp. 2243~2248, Nov. 1985
6. Yohji Watanabe, Tohru Furuyama, "A New CR-delay Circuit Technology for High-density and High-speed

DRAMs", IEEE. J. of Solid-State Circuit, Vol. 24, No. 4, pp. 905~910, Aug. 1989.



李 龍 宰 (Yong Jae LEE) 正會員

1954年10月11日生

1974年3月~1981年2月:慶北大學校工  
科大學 電子工學科 卒業

1981年3月~1983年2月:延世大學校大  
學院 電子工學科(工學碩士)

1983年3月~1986年8月:延世大學校大  
學院 電子工學科(工學博士)

1983年3月~1984年7月:三星半導體研  
究所 研究員

1985年3月~1988年2月:韓國電子通信研究所 集積回路 改發  
部 先任研究員

1988年3月~現在:東義大學校 工科大學 電子工學科 助教授

※主關心分野:semiconductor devices process and design  
modeling, refractory metal silicide.