

본 논문은 상공부에서 시행한 공업기반기술개발 사업의 기술개발 보고서의 내용임을 밝힙니다.

# 디지털형 전자유도식 선속계에 관하여

이 상 집\* · 임 정 빈\* · 정 태 권\*\*

목	차
1. 서 언	2.5 구형과변환기
2. 선속계 시스템의 구성	2.6 counting pulse기
2.1 속력신호검출기	2.7 A/D converter
2.2 속력신호처리기	2.8 속력펄스기
2.3 속력신호증폭기	3. 정확도시험
2.4 주파수변환기	4. 결 언

## 1. 서 언

선박속력에 비례하는 신호를 전자유도 원리로 검출하고 이것을 처리하여 속력과 항정이 지시되게 하는 전자유도식 선속계가 실용화된지 오래되었다.<sup>1,2)</sup> 선속계의 기존 시스템은 속력신호 처리과정에서 서보모타, 회전반, 마찰축 등이 활용되고 있어<sup>3)</sup> 기계적인 마찰로 내구성, 정밀성 및 신호처리속도 등에 문제점이 있었다. 최근에 개발된 시스템에는 속력신호 처리과정에 디지털 처리기법을 활용하고 있어 그 결함이 크게 보완되었다.<sup>4)</sup> 그러나 이러한 신기술은 쉽사리 공개되지 않으므로 국내에서 독자적으로 개발할 필요가 있었다.

본 연구에서는 선속계 시스템의 국산화를 위한 기초연구로써 기존제품을 참조하면서 속력신호처리, 지시기 등을 설계 제작하였던 바 그 주요회

로의 특성과 연구결과를 소개하고자 한다.

계통의 각 요소들을 설정함에 있어서 다음과 같은 점을 고려하였다.

- 1) 속력신호검출기 sensor는 신호출력의 선형성과 수중장애물에 의한 파손빈도 등을 감안하여 flush형으로 한다.
- 2) 속력변동 파악이 신속하게 이루어지고 잡음의 혼입이 방지되도록 속력신호의 주파수가 2배 되게 변환한다.
- 3) 변환속도의 신속성과 안정성 및 정밀도를 감안하여 축차비교형(successive approximation) A/D converter를 구성한다.
- 4) 12bit로 변환된 속력신호를 12단계로 분주된 표준주파수와 비교하여 해당속력에 대한 일치신호가 결정되게 한다.
- 5) 일치신호가 gate control 신호의 모태가 되어

\* 正會員, 韓國海洋大學

\*\* 正會員, 韓國海技研修院

노트당 10KHz 신호로 출력되게 한다.

- 6) A/D 출력 비트신호를 D/A 출력 전압신호로 변환하여 전압비교기에 feed back되게 함으로써 speed servo로 동작하게 한다.

## 2. 선속계 시스템의 구성

본 시스템은 속력신호검출기(speed sensor), 전압비교기(differential transformer), 신호변환기(si-

gnal converter), ADC(analog-to-digital converter), DAC(digital-to-analog converter) 등으로 된 speed servo계와 비교기, gate controller, 주파수분주기 등으로 된 지시기구동계로 되어 있다.(그림 1, 2).

### 2.1 속력신호검출기

솔레노이드 코일을 절연체로 밀봉하고 그 표면에 두 전극을 부착한 상태로 해수중에서 이동시키면 두 전극간에 유도기전력이 생기는데 이 원리를 이용한 것이 EM log의 속력신호검출기(speed se-

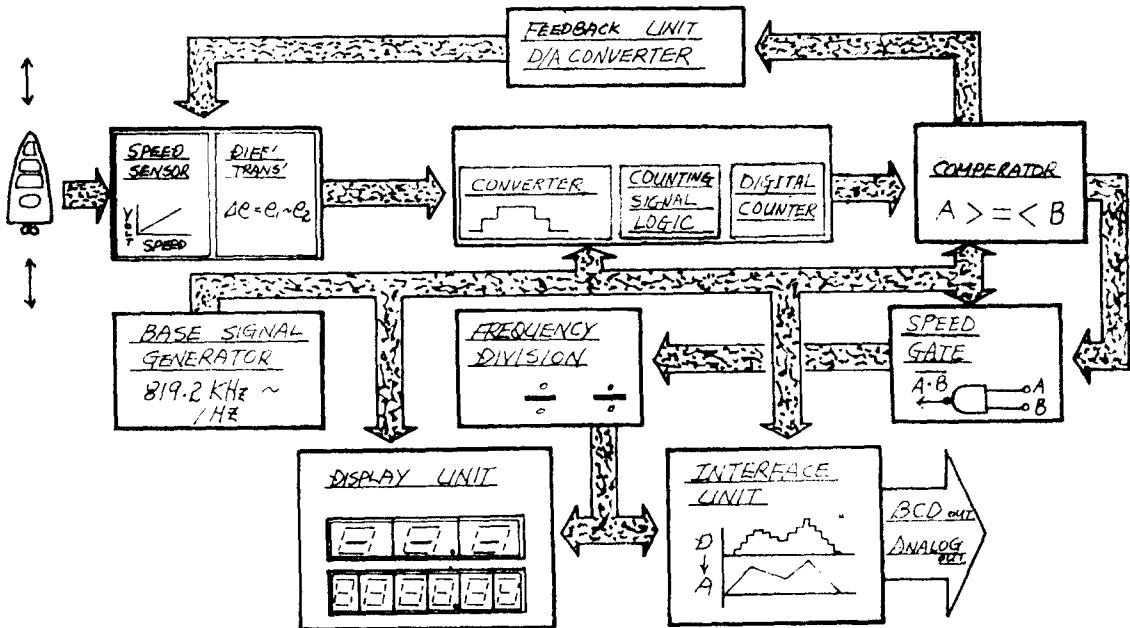


그림 2. Functional block diagram for over-all system

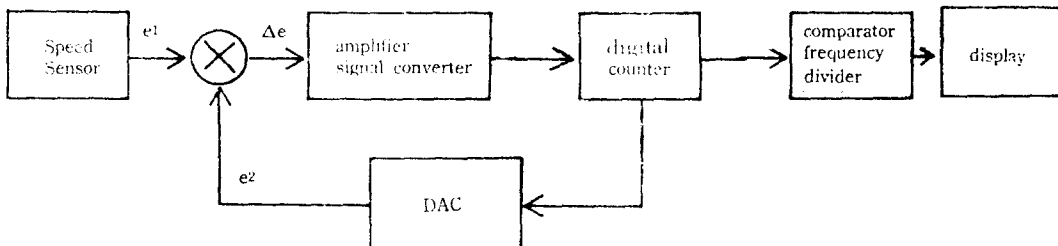


그림 1. Over-all block diagram of speed servo system

nsor)이다.

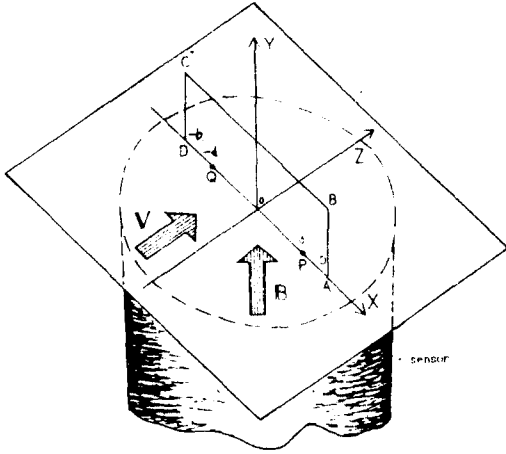


그림 3. Electric potential of flush-type speed sensor

그림 3과 같이 flush형 sensor의 밀면을 위로 하고 두 전극 P, Q가 배열된 방향을 x축, 선박 이동으로 해수가 유동하는 방향을 z축, 솔레노이드코일에 의한 자장의 방향을 y축으로 하고 평균유속을  $\bar{V}$ , 평균자속밀도를  $\bar{B}$ 라고 하며, 코일에 의한 자장이 실제로 미치는 영역에 주목하여 y축 상의 영역(0,  $\infty$ )를 (0, C)로, x축 상의 영역( $-\infty, \infty$ )를 (-b, b)로 가정하면 P, Q 사이에 발생하는 기전력은

$$\begin{aligned}
 U_{PQ} &= U_P - U_Q = U(a, 0) - U(-a, 0) \\
 &= \frac{\bar{B}\bar{V}}{4\pi} \left[ 2c \log \frac{(a-b)^2 + c^2}{(a+b)^2 + c^2} + 4(a-b) \right. \\
 &\quad \left. \tan^{-1} \frac{c}{a-b} - 4(a+b) \tan \frac{c}{a+b} \right] \dots (1)
 \end{aligned}$$

여기서 자속밀도 B는 거리  $x^2 + y^2$ 에 따라 급속히 감소하므로,  $b=a, c=2a$ 라 가정할 수 있으므로 (1) 식은

$$U_{PQ} = \frac{\bar{B}\bar{V}}{4\pi} 2a(2 \log 2 + \pi) = \lambda \bar{B}\bar{V} d \dots (2)$$

$$\text{단, } d=2a, \lambda = \frac{1}{4\pi} (2 \log 2 + \pi)$$

로 표시된다. 따라서 전극 P, Q 사이에 유도되는 기전력은 평균자속, 평균유속, 전극사이의 거리와의 곱에 비례함을 알 수 있다.<sup>5,6,7,8)</sup>

### 2.2 속력신호처리기<sup>9,10,11)</sup>

속력신호처리기는 선박속력에 대한 speed sensor 출력전압( $260\mu\text{V}/\text{Kt}$ ) 신호를 주파수( $10\text{KHz}/\text{Kt}$ ) 신호로 변환하는 기능이 있으며 그 구성과 동작은 그림 4와 같이 요약된다.

Speed Sensor로 부터 검출된  $260\mu\text{V}/\text{Kt}$ , 60Hz 신호는 비교트랜스(differential transformer)에 입력되고 이것과 응답속력신호(후술)과의 차는 두개의 Tr.과 Op. amp.로 된 신호변환기를 통하여 약  $26\text{mV}/\text{Kt}$ , 120Hz로 출력된다. 이것은 두개의 전압 비교기(A, B)에 입력되고 고속, 저속, 증속, 감속, 정속 등에 따라 폭이 달라지는 구형파로 변환되어 Counting 펄스기에 입력된다.

한편, 속력이 증속중이면 high, 감속중이면 low로 되는 C 출력도 이 펄스기에 입력된다. 이 펄스기는 기준 clock pulse 800Hz와 감도조정 pulse가 속력에 따른 counting 신호가 되게 하고 디지털 counter가 up count 또는 down count 하도록 한다. 디지털 counter의 출력은 D/A converter에 입력되어 속력에 상응하는 전압으로 출력되고 이것은 영점 조정기, 선형오차조정기(full scale adjuster) 등을 통하여 응답속력 신호로서 비교 트랜스에 feed back된다. 디지털 counter 출력은 또한 비교기(A  $\leftrightarrow$  B)의 비교입력( $A_n$ )이 되고 이것은 819.2KHz로 분주된 비교용 기준주파수 ( $B_m$ )과 비교되어 속력에 따라 출력시기가 다른 일치신호( $S_{A=B}$ )가 출력된다. 이  $S_{A=B}$  신호가 flip-flop, 주파수분주기 등을 거쳐 주파수신호( $10\text{KHz}/\text{Kt}$ )로 변환되며 이것은 다시 주파수분주기를 통하여 1Hz, 5Hz, 10Hz, 100 pulse/NM 등과 같이 되어 지시부를 구동할 수 있게 된다.

### 2.3 속력신호증폭기<sup>12,13)</sup>

선박속력에 비례하는 유도기전력을 증폭, 여과

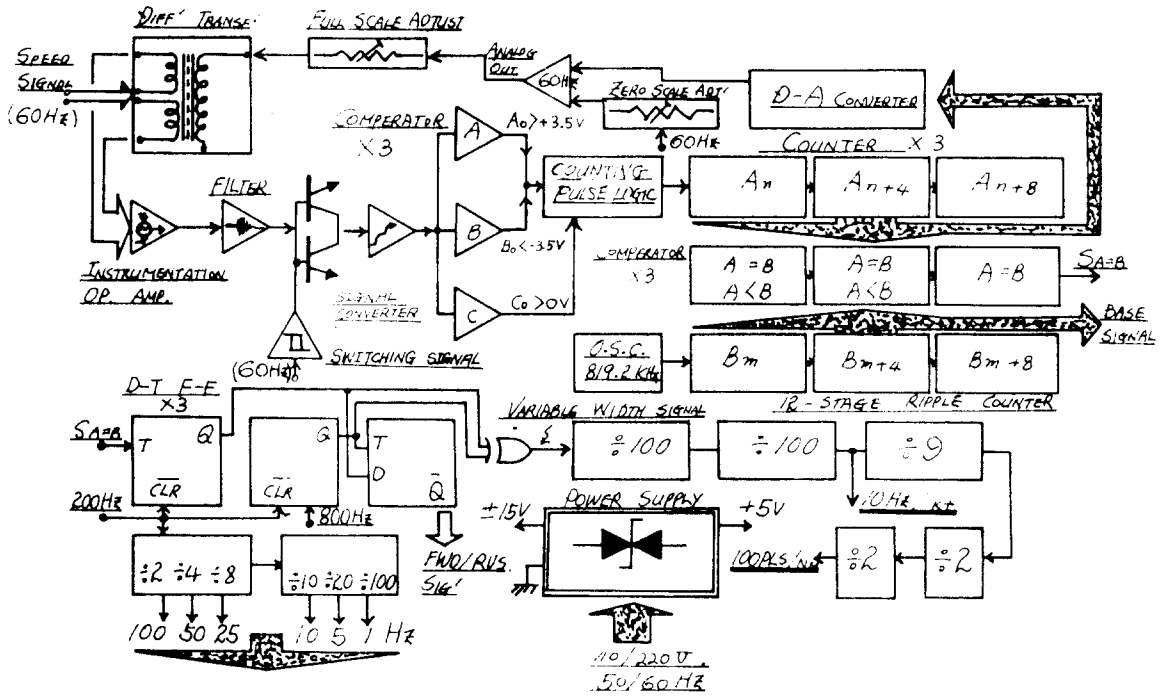


그림 4. Functional block diagram of speed signal processor

하는 회로로 비교변압기 T1, op. amp.(INA101AM) U1, op. amp. (LF 351) U2 등으로 구성되어 있다 (그림 5).

선박속력에 따라 속력검출기에 유도된 기전력  $e$  1은  $260\mu V/Kt$ , 60Hz로 T1의 1차 코일의 단자 4, 5간에 걸리고 이것과 2차 코일의 단자 1, 2간에

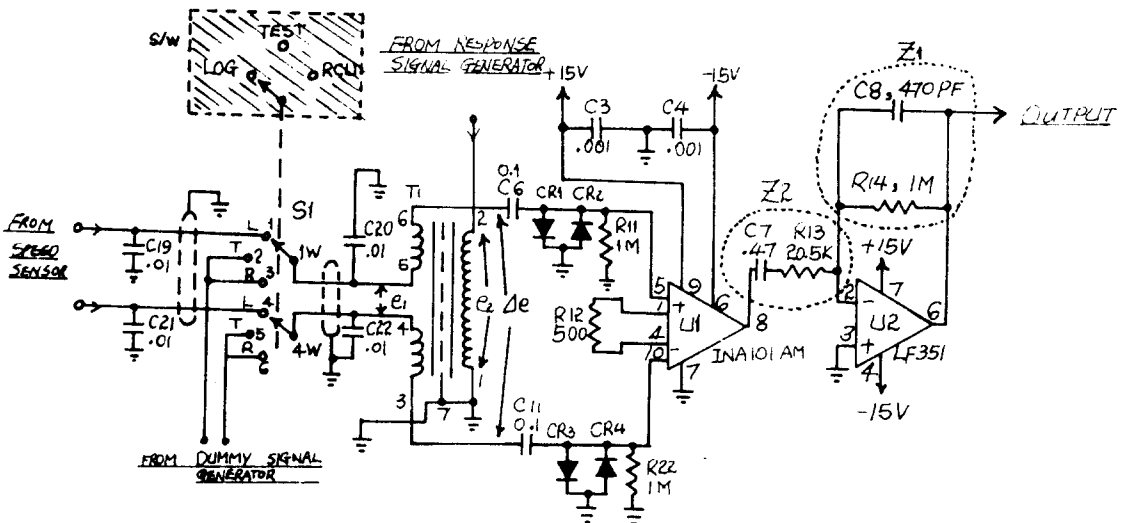


그림 5. Differential transformer and amplifier

걸리는 응답전압  $e_2$ 와의 차전압  $\Delta e$ 는 U1에 입력되어 동상입력이 제거된 것이 출력되며 이것은 U2로 구성된 필터에 입력되어 순수한 신호원만 선택되어 증폭된다. U1과 U2에 의하여 증폭된 전압은 구형파로 변환되어 Counter가 디지털 속력신호를 출력하게 하고 이것은 DAC를 거쳐서 응답신호  $e_2$ 가 된다.  $e_2$ 는  $\Delta e$ 에 대하여 크기는 비례하고 위상은  $90^\circ$ 로 어긋난 것으로 T1의 2차 코일단자 2를

통하여 feed back되어 전 계통은  $\Delta e = e_1 \sim e_2$ 가 될 때까지 동작한다.

선박속력이  $-8.2$ 노트,  $0.0$ 노트,  $42.0$ 노트 동일 경우에 유도되는 기전력에 상응하는  $e_1$ 을 dummy 신호로 입력하고, DAC로 부터 feed back되는 응답신호  $e_2$ , 두 신호의 차전압  $\Delta e$ , U1과 U2의 출력등을 관측한 결과 그림 6과 같다. (그림 6에서 위로부터 (1)~(4)는 오실로스코프의 time/division을

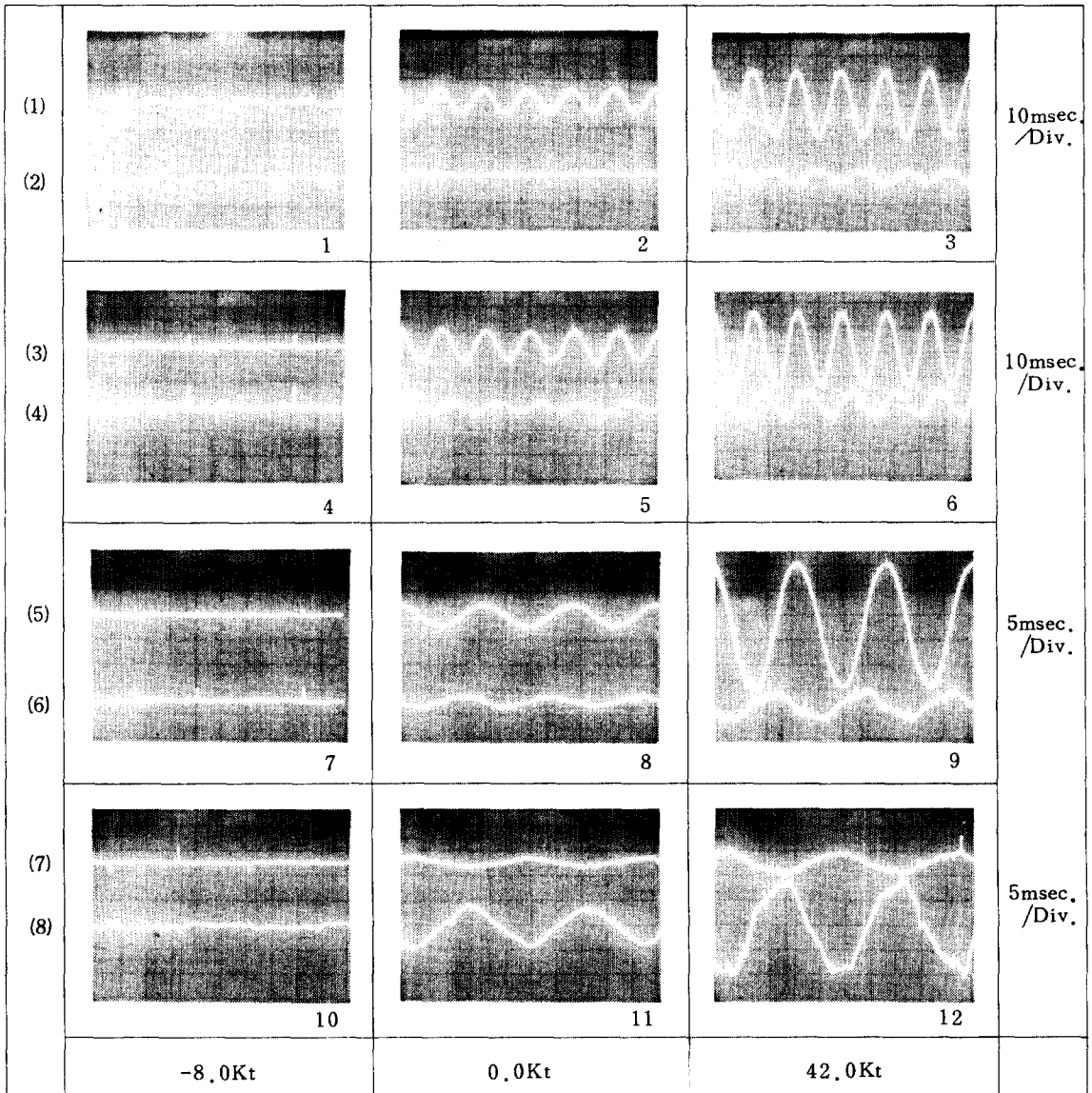


그림 6. In and output from speed signal amplifier

10m sec.로, (5)~(8)은 5m sec.로 하여 측정할 결과이다.)

2. 4 주파수변환기<sup>14, 15)</sup>

주파수변환기는 U2로 부터 입력되는 속력신호의 변동을 신속히 파악하고 신호에 잡음이 혼입되는 것을 억제하기 위하여 60Hz 속력신호를 120 Hz로 변환하는 기능이 있으며 Tr. 제어용 구형파 출력기 U5D(LM339), NPN Tr.Q2(2N22A)과 PNP Tr.Q1(2N2907)로 된 push-pull형 증폭기 및 무극성 컨덴서 C9 등으로 구성되어 있다(그림 7).

그림 8은 -8.2Kt, 0.0Kt, 42.0Kt 등의 속력에 상응하는 더미(dummy)신호를 입력하였을때 주파수가 2배로 변환되어 출력된 결과를 보인 것이다. 이들 출력은 선박속도가 저속인 경우에는 진폭이 작고 고속인 경우에는 진폭이 큰 것을 알 수 있다.

요컨대 속력신호와 90°위상차를 갖는 구형파로 Q1, Q2를 동작되게 함으로써 속력신호의 반주기

마다 갖는 피크치에서 스위칭 동작이 이루어지고 하한 피크치가 반전되어 피크치 변동상태가 신속히 파악되게 하였고 그 결과 속력신호 주파수는 120Hz로 변환된다.

또 Q1과 Q2는 ±3V에서 크랩프 회로로 동작되게 하여 차동증폭기 U4가 포화되는 것이 방지되며 U4에는 속력신호의 정·부파형이 동상으로 입력되어 잡음의 혼입이 억제되게 하였다.

2. 5 구형파변환기<sup>16)</sup>

구형파변환기는 120Hz로 변환된 속력신호를 입력으로 하여 선박속력이 고속, 저속, 중속, 감속 등으로 변함에 따라 각각 다른 형태의 구형파를 출력하는 기능이 있으며 Op. amp.(LM339) U5A, U5B, U5C가 내장된 패키지로 되어 있다.

속력신호의 진폭이 +3.5V인 기간에는 U5A의 출력이 low로 되며 -3.5V 이하인 경우에는 U5B의 출력이 low로 되어 두 신호의 가산출력(U5A + U5

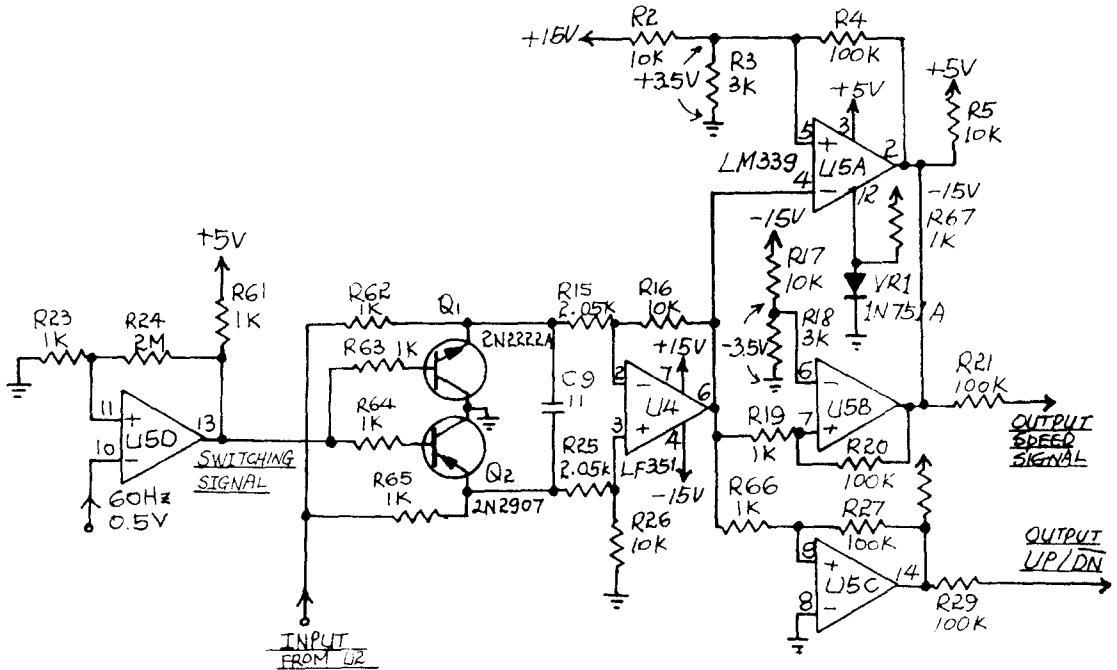


그림 7. Speed signal frequency converter

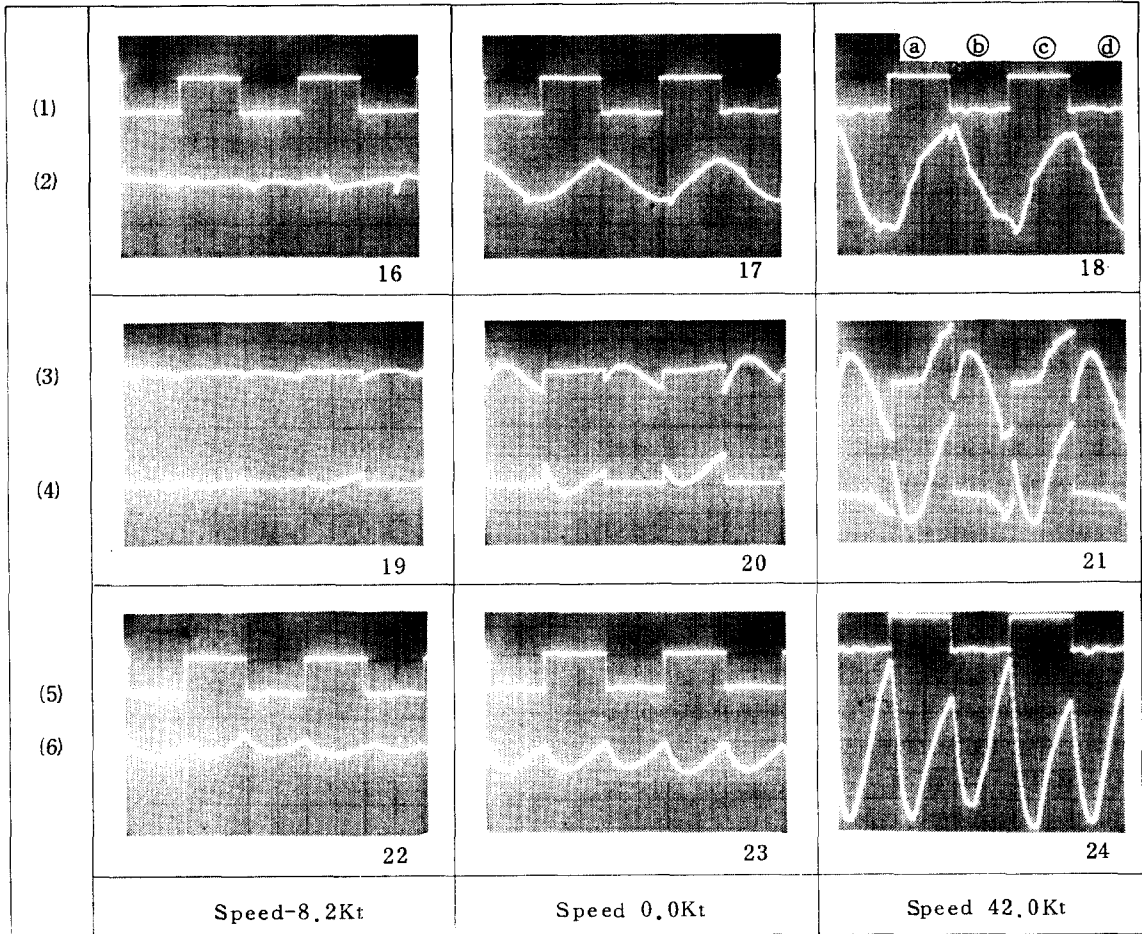


그림 8. In and output of frequency converter at different speeds

B)은 그림 9 및 그림 10과 같이 구형파로 된다.

그림 9는 고속일수록 신호의 피크치가 기준 level에 차단되는 빈도가 많아지므로 구형파 출력은

low 상태인 시간이 많아진 것을 나타내고 그림 10은 속력이 일정할 경우에는 출력 구형파의 high 상태와 low 상태의 시간이 같고 감속중일때는

-8.6Kt

0.0Kt

42.0Kt

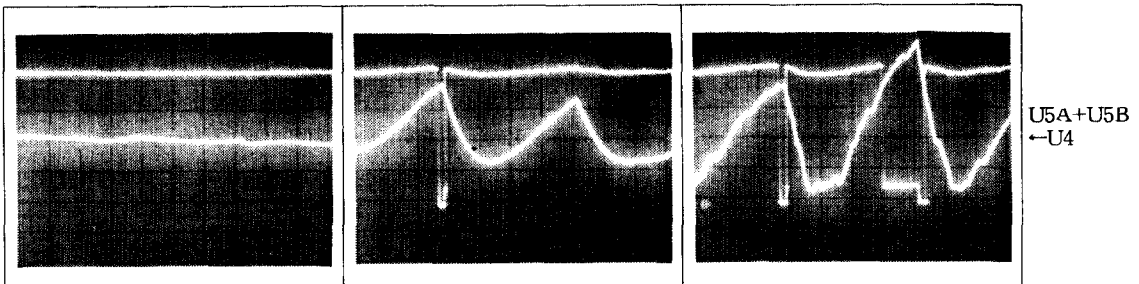


그림 9. In and output of the voltage comparators at different speeds

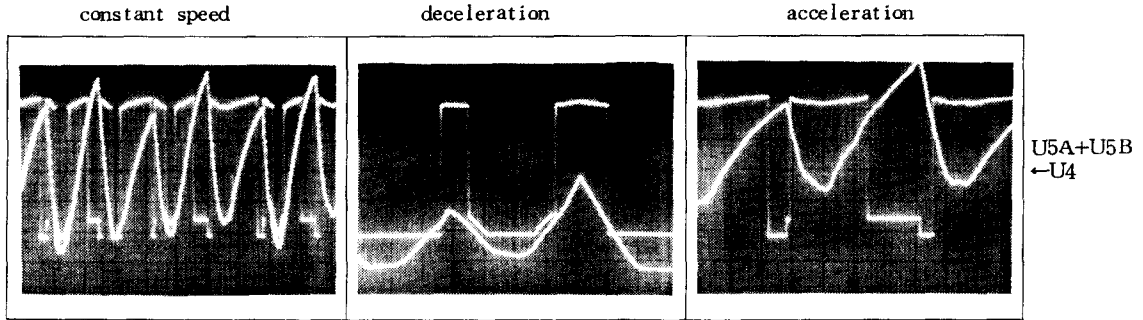


그림 10. In and output of the voltage comparators under the changing speed

high 상태보다 low 상태로 되어있는 기간이 길며 증속중일때는 그 반대로 되는 것을 나타내고 있다.

### 2.6 Counting pulse기

구형과 속력신호의 low 기간에는 기준 clock pulse 800Hz가 high인 기간에는 선택 clock pulse(사용자가 speed sevo의 감도를 조정하고자 5단, 5Hz, 10Hz, 25Hz, 100Hz, 200Hz로 분주된 clock pulse중 어느 하나를 선택한 것)가 각각 counting pulse로 출력되게 하는 기능이 있다.

Nand schmitt trigger(4093BD) U9A, U9B, U9C, U9D로 구성되어 있으며(그림 11) 각각의 hysteresis 문턱전압은 2.3V이다. 그림에서 구형과 입력신호를 A, 공급전압 B, 기준 clock pulse를 C, 선택 clock pulse를 D, 출력을 E라 하면

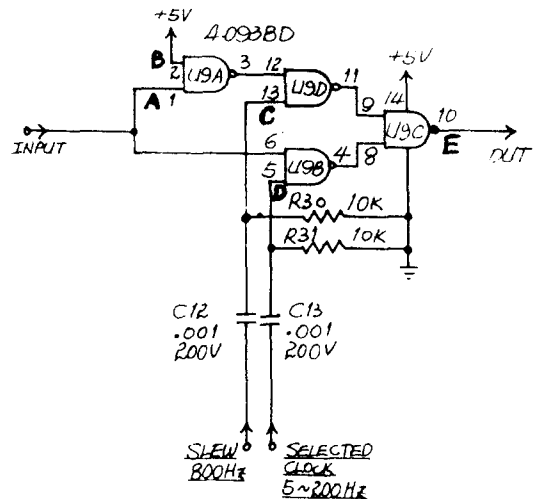


그림 11. Counting pulse logic

$$E = \overline{\overline{A \cdot 1 \cdot C} \cdot \overline{A \cdot D}} = (A \cdot C) + (A \cdot D) \dots\dots\dots (4)$$

과 같은 관계가 성립된다.

식 4에서 A의 low 상태가 입력되면 E=C가 성립되고, high 상태가 입력되면 E=D가 된다. 여기서 C는 800Hz이고 D는 사용자가 택한 선택 clock pulse이다.

### 2.7 A/D Converter<sup>17)</sup>

펄스화된 속력신호 U9C 출력과 이것이 up count 또는 down count되게 제어하는 신호 C 출력을 받아 속력에 상응하는 디지털 신호를 출력하

고 노트단위로 표시될 속력신호 모태인 일치신호(coincidence signal)를 발생하는 기능이 있다. A/D 변환속도는 빠르고 일정하여야 하며 그 정밀도도 좋아야 하므로 3개의 binary up/down counter(4029BD) U10, U11, U12와 2조의 데이터를 비교하여 대소, 일치판정을 하는 magnitude comparator(4585BD), U13, U14, U15 및 주파수 분주 기능이 있는 12단 주파수 분주기(4040F) U16 등으로 축차비교형(successive approximation) A/D converter를 구성하였다(그림 12).

속력신호 펄스는 U10, U11, U12에서 카운트되어 12(3×4)비트 속력신호가 되며 이것은 comparator U13, U14, U15의 An측에 입력된다.



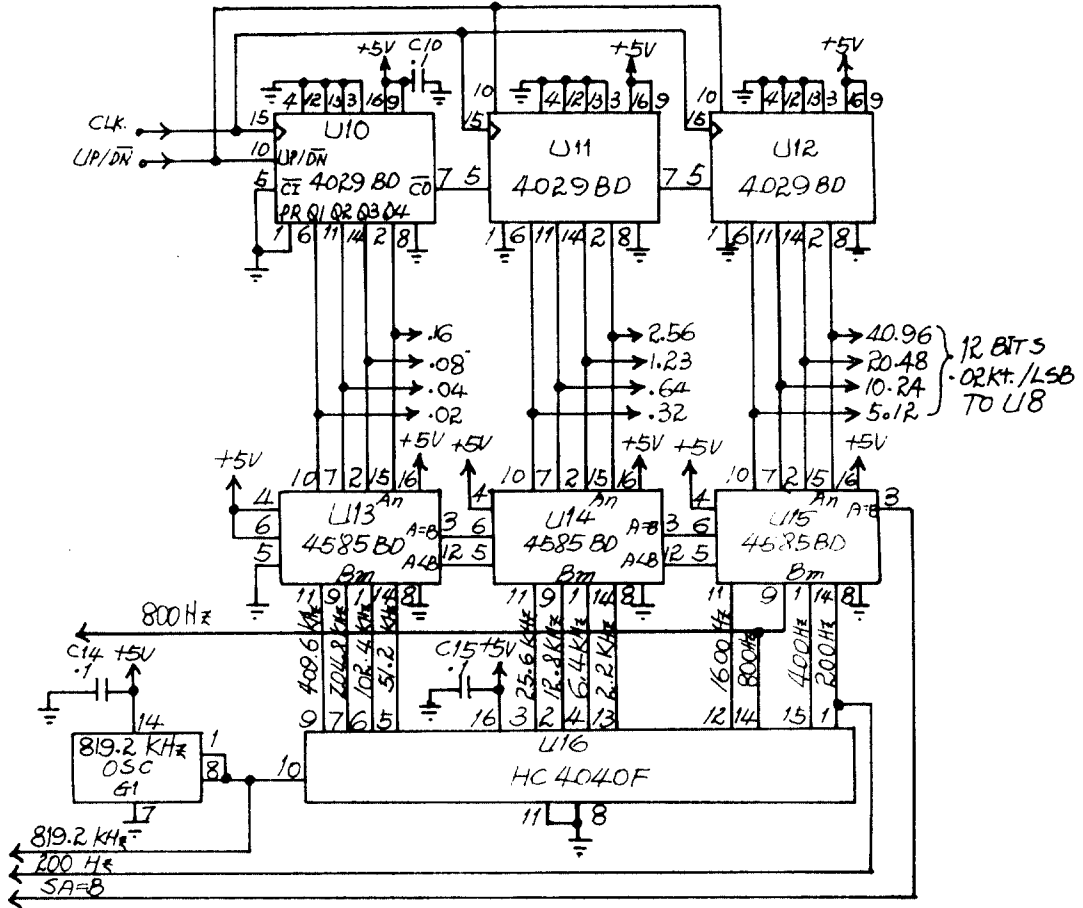


그림 12. A/D converter circuit

한편 발진기 G1의 819.2KHz는 주파수분주기 U16에 의하여 12단계로 분주된 시간기준표준신호(time base reference signal)가 되며, 이것은 비교기준용 12비트가 되어 comparator Bm 측에 입력된다. 즉 U16은 pulse의 하강에지에 동작하는 ripple counter(그림 13)로서 12단계 master-slave F-F로 동작하여 819.2KHz를 409.6KHz, 204.8KHz, 102.4KHz, 51.2KHz, 25.6KHz, 12.8KHz, 6.4KHz, 3.2KHz, 1.6KHz, 800Hz, 400Hz, 200Hz 등 12가지로 분주된 clock pulse를 출력하며 또 F-F는 직렬접속으로 되어 있어 입력주기에 대하여 1/4096 주기까지 분주된다.

up/down counter의 12비트에 상응하는 속력정

보는 분해능 0.02Kt를 최소치, 81.92Kt를 최대치로 잡고 LSB(Least Significant Bit)는 0.02Kt, MSB(Most Significant Bit)는 40.96Kt가 되도록 12단계로 분할 배치하였다(그림 12).

만약 속력이 2.04Kt일 경우에는  $0+0.04+0.08+0+0+0.64+1.28$  등의 단계의 값을 합한 것에 해당하므로 12비트의 출력은 1100110으로 되고 819.2KHz의 입력펄스수인 비트타임(bit time)은  $2^1+2^2+2^5+2^6$  즉 102가 된다(그림 13).

비트타임 102인 순간은 주파수분주기 U16도 Q7, Q6, Q3, Q2 등이 H로 된 상태이므로 comparator Bm 측에 입력되어 일치신호가 생기며 이 신호의 출력시기는 comparator 내부에서 비교동작 개시점

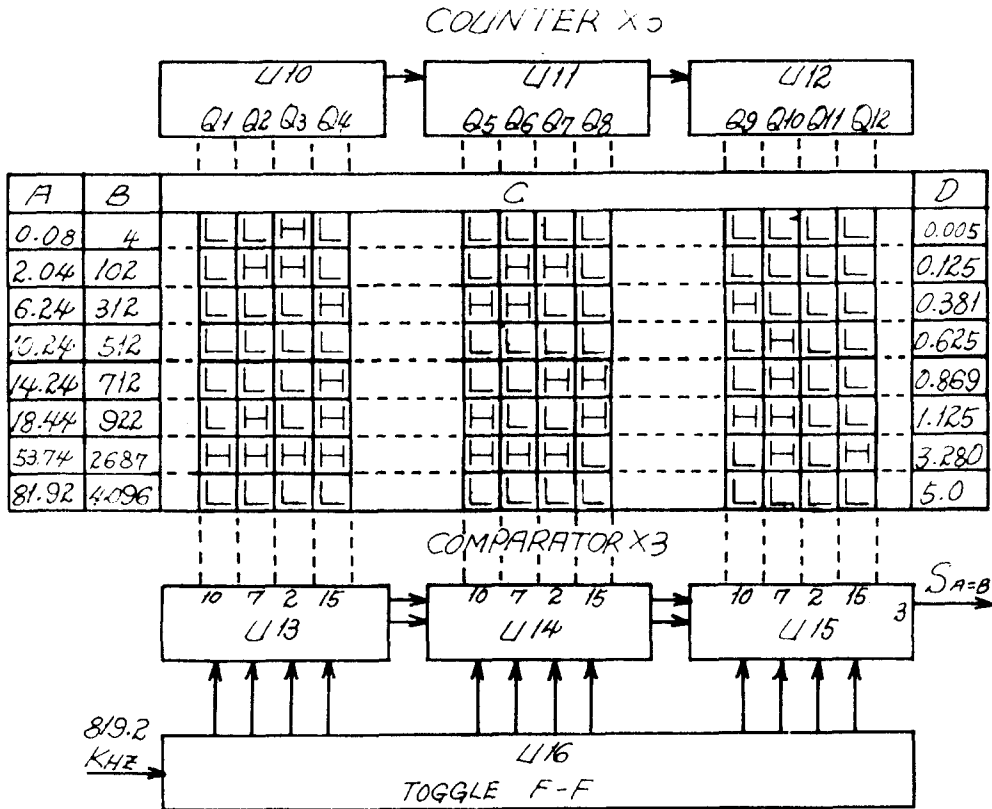


그림 13. Bit time and output of digital counter for different speeds.

A : Speed in kt. by counter, B : Bit time by 819.2KHz,

C : Digital signal by counter, D : Time in msec. from the starting point of comparing work to signal  $S_{A=B}$

으로 부터 약 0.125msec( $100 \div 819200 \times 102$ ) 경과한 순간이 된다. 그림 13은 여러단계의 속도(A)에 상응하는 비트타임(B), counter 및 주파수분주기의 출력상태(C), 비교동작 개시점으로 부터 일치신호 출력시기(D) 등의 관계를 나타내기 위한 것이다.

### 2. 8 속도펄스기

A/D Converter에서 결정된 속도일치 신호  $S_{A=B}$  또는 800Hz를 trigger 입력으로, 200Hz를 clear 입력으로 하여 단위속력당 10KHz 신호로 출력하고 전진, 후진 속도 구분을 위한 high, low 신호를 출력하는 회로로 D-T flip-flop(4012BD), U17A, U19A, U19B, Nand gate(4093BD), U21A, U21C, Ex-or

gate(4030BD), U20A, U20D, interface U29B(DS3632 J-8) 및 Op.amp(LM741C) U18 등으로 구성되어 있다(그림 14).

U19A, U19B는 그림 15와 같이 clear 입력(200 Hz)이 trigger 입력(800Hz 또는 일치신호  $S_{A=B}$ )에 우선하므로 출력 2의 시작점은 200Hz 신호에 의하여 결정되는 동작 특성이 있다. 그림 15의 A의 경우에는 D 입력이 high인 상태에서 T 입력보다 C 입력이 먼저 입력된 경우이므로 Q 출력은 C 입력 pulse의 상승에지에서 low(clear 상태)로 되고 T 입력 pulse의 상승에지에서 high로 환원되는 경우이며 B의 경우는 T와 C 입력이 동시에 입력되어 Q 출력이 low로 되고, C의 경우에는 T 입력이

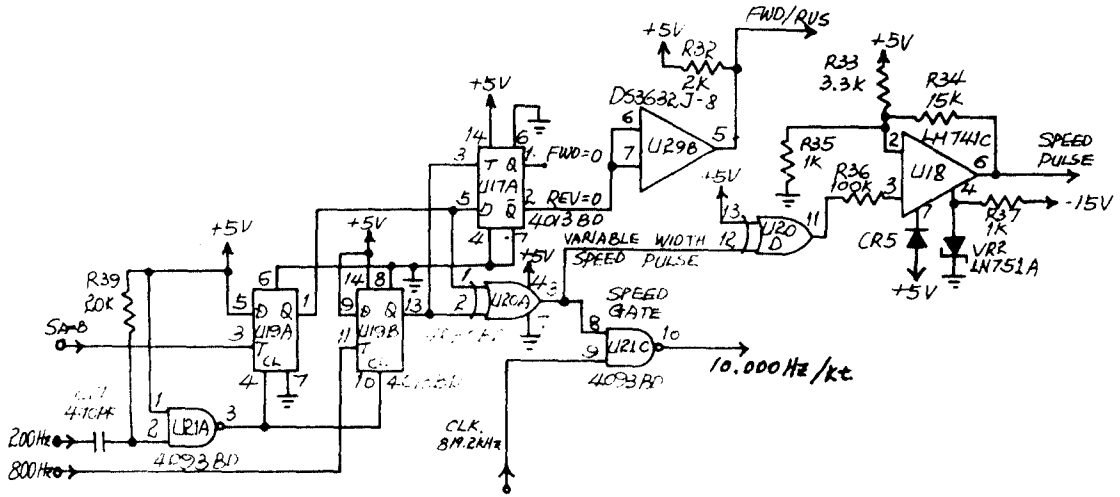
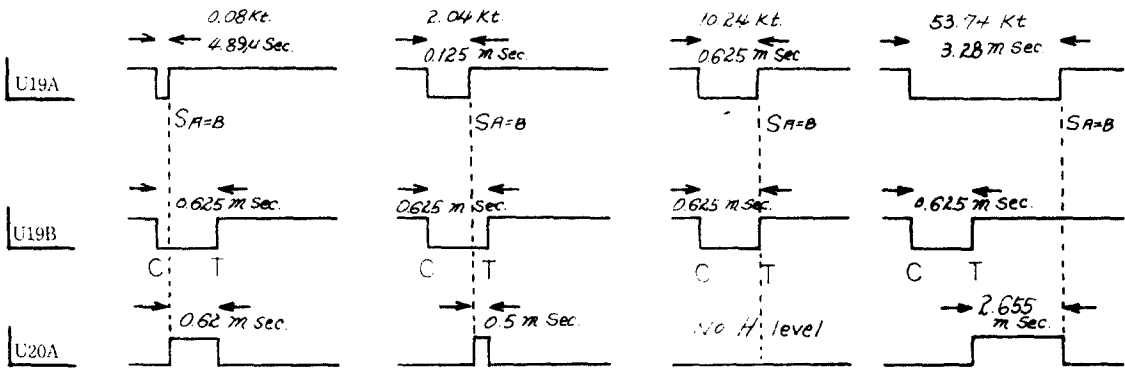


그림 14. Speed signal processor

D-T F-F		A	B	C
	U19A	U19B		
D	+5V	+5V		
T	S <sub>A</sub> =B	800Hz		
C	200Hz	200Hz		
Q				

그림 15. Output state for U19A and U19B



C : negative edge of 200Hz    T : positive edge of 800Hz

그림 16. Signal processing of speed gate unit at different speeds

비록 먼저 입력되더라도 C 입력에 따라 Q 출력이 low로 되는 것을 나타낸 것이다. 이와같이 C 입력 200Hz의 상승에지에서 reset 시작점이 되는 U19A, U19B의 두 출력이 Ex-or gate U20A에 입력되면 그 출력특성은 그림 16과 같다.

### 3. 정확도시험

합정을 이용하여 진속도와 지시속도(측정속도)를 비교한 결과 다음과 같다.

가. 1차 실선탐재시험

LEVER POSITION	진 속도	측정속도	오 차
10	4.3 KTS	4.5 KTS	+0.2 KTS
20	8.3	8.1	-0.2 KTS
30	11.7	11.1	-5.1%
40	14.2	14.25	0.4%
50	17.8	16.9	-5.0%
60	19.25	19.28	0.2%
70	23.1	22.9	-0.9%
80	25.9	25.2	-2.7%
90	30.56	30.3	-0.9%
100	32.6	32.85	-0.8%

나. 보완후 2차 실선탐재시험

LEVER POSITION	진 속도	측정속도	오 차
10	4.87	4.91	+0.04 KTS
20	8.68	8.72	+0.04 KTS
30	10.52	10.72	0.19%
40	12.80	12.88	0.006%
50	16.01	15.88	0.81%
60	19.14	18.98	0.83%
70	21.70	21.50	0.92%
80	27.00	27.10	0.37%
90	29.59	29.62	0.1%
100	30.67	30.90	0.74%

\* 판정기준 : 진속도와 INDICATOR & TRANSMITTER의 지시치의 차가 0-10 Knots 구간에서 0.1Knots, 2 이상에서 1% 이내

### 4. 결 언

선박의 대수 속력제인 전자유도식 선속계를 국산화하기 위한 기초연구로서 기존 제품을 참조하여 계통의 특성을 해석하고 proto-type을 설계·제작하여 실선탐시험을 하였던바 다음과 같은 결과를 얻었다.

- 1) 솔레노이드의 코일에 자장이 균등자계이고, 그것이 미치는 영역이 유한한 것으로 하면 speed sensor에 의한 속력신호는 선속에 비례한다.
- 2) sensor 검출신호는 주파수변환으로 속력신호의 피크검출이 가능하다.
- 3) 속력신호는 피크치의 크기에 따라 가변폭을 가진 구형파로 변환할 수 있다.
- 4) 디지털 속력신호는 비교회로에 의해 시간기준신호로 변환할 수 있다.
- 5) 디지털 속력신호를 아나로그 속력신호(응답신호)로 변환하여 신호비교기(speed sensor 신호와 응답신호와의 비교)에 feed back하는 speed servo계를 구성할 수 있다.
- 6) 잡음혼입 제거방법, 신속·정확성이 요구되는 A/D converter제작, 속력크기를 시간적 크기로 변환하는 일치판정 기법 등과 같은 기술축적이 가능하였다.
- 7) proto-type으로 제작한 것을 실선탐시험한 결과 실제속력에 대한 지시오차는 전진·전속 50 Kt에서  $\pm 1\%$  이내였다.

본 연구의 성과를 바탕으로 두쌍의 전극으로 구성된 speed sensor를 설계하여 전진·후진 속력과 좌우이동 속력이 동시에 지시되는 선속계가 개발되어야 할 것이다.

### 참고문헌

- 1) 이상집 : 기본항해기기, 아성출판사, pp. 24-72. 1982
- 2) Lyman W. Griswold, "Underwater Logs", Journal of The Institute of Navigation, vol. 15, No. 2, pp. 127-135. 1968

- 3) Technical manual for Electromagnetic Log (EML-12) Hokushin Electric Works, LTD, 1975
- 4) Technical manual for MHC Electromagnetic Log System by Gould Inc., 1985
- 5) 本多 敏. 山塚弘郎: 金東治. 秋山忠次: 導體管壁に電位分布を形成する電磁流量計の理論, 計測自動制御學會論文集, 第19卷, 第12號, pp. 47-49, 1983
- 6) Ivar Stakgold, "Green's functions and boundary value problems", Wiley-interscience, pp. 73-75, 1979
- 7) Francis B. Hildebrand, "Advanced Calculus for Applications", Prentice-Hall, pp. 665-667, 1976.
- 8) Michael D. Greenberg, "Application of Green's Functions in Science and Engineering", Prentice-Hall, pp. 81-85, 1971
- 9) 이장규 외 15명, 정밀계측장치 제작에 따른 해석기법 개발, 과학기술처, pp. 129-137, 1987
- 10) Svante Signeel Kare Mossberg, "Offset-Compensation of Two-phase Switched-Capacitor Filters", IEEE Transactions Circuits and Systems Vol. 36, No. 1, 1989
- 11) 吉田哲, 中川正雄, 角替利男, 改良PWM型 DA變換回路に関する研究, 電子通信學會論文誌 vol. J68-C, No. 4, 1985
- 12) Hiroki Matsumoto, Hiromi Shimizu, and Kenzo Watanabe, "A Switched-Capacitor Charge-Balancing Analog-to-Digital Converter and Its Application to Capacitance Measurement", IEEE Transactions Circuits and Systems, Vol. 1M-36, No. 4, 1987
- 13) Gerhard Troster and Dieter Herbst, "Error Cancellation Technique for Capacitor Arrays in A/D and D/A Converters", IEEE Transactions on Circuits and Systems vol. 35, No. 6, pp. 749-755, 1988
- 14) Ivo de Lotto and Gain Enrico Paglia, "Dithering Improves A/D Converter Linearity", IEEE Transactions on Circuits and Systems, vol. 1M-35, No. 2, pp. 170-, 1986
- 15) Saleem M.R.Taha, "Speed Improvement for Dual-slope A/D Converters" IEEE Transactions Circuits and Systems, vol. 1M-34, No. 4, 1985
- 16) 山口珪紀, "計測におけるアナログ信號のデジタル處理", 電子通信學會誌 vol. 61, No. 10, 1978
- 17) 構沢典男, "AD. DA變換技術", 電子通信學會誌 vol. 58, No. 2, 1975