

반도체 소자에서의 전자장 수치해석

강 영 태* · 김 태 한** · 황 창 규***

(*삼성전자 반도체연구소 MOS DVC연구원,
동 DVC연구팀장, *동 반도체부문 담당임원)

1. 서 론

1949년 Shockley등에 의한 bipolar 접합 트랜지스터의 발견 이래, electron-device 모델링에 상당한 노력이 집중되었다. 그러나 기본적인 반도체 방정식의 비 선형성에 의해 해석적인 closed-form 식을 구하는 것은 거의 불가능하였다. 컴퓨터의 발달과 함께 수치해석 기법이 발전하면서, 기본적인 반도체 방정식과 현실적인 device 특성 입력조건 및 물리적인 파라미터에 근거하여 1964년 Gummel[1]에 의하여 1차원 BJT의 수치적인 simulation이 처음으로 시도되었다. 그후 1969년 Kenedy 및 Obrien[2]에 의한 접합형 전계효과 트랜지스터와 Slotboom[3]에 의한 2차원 Bipolar 접합 Transistor에 대하여 Poisson 방정식과 연속 방정식을 수치해석하는 단계에 도달하였다. 현재의 초고집적 device 기술의 핵심부품인 MOSFET에 대한 simulation은 1971년 [4], 1973년 [5]에 각각 발표되었으며, 최근에는 super-computer의 출현과 함께 3차원 수치해석 simulation[6]까지 가능하게 되었다. 이와 함께 순수한 device의 특성을 연구하는데 주로 사용된 과거의 수치해석 simulation 기법은 현재는 device 설계를 위한 tool로 활용되는 단계에 도달하였다. 현재 반도체 기술은 deep submicron device 제작을 가능케 하였으며 이와 같은 device 특성을 이용한

memory 기술은 4MDRAM 양산수준에 와 있다. 이와함께 제품에 사용되는 device의 전기적인 특성분석 및 성능 최적화는 매우 어려워졌으며 2차원 구조의 simulation과 Drift-Diffusion 방정식으로도 특성화가 어려운 물리적인 현상들이 출현하기 시작하였다. 예로써 DRAM의 α -입자에 의한 회로의 오동작 [7], ALFEN[8] 등이 그 대표적인 예로 꼽을 수 있다.

본 논문에서는 이와같은 역사적인 배경을 이해하고 보다 나은 수치해석 기술을 개발하는 목적으로 반도체 분야에서 사용되는 방정식의 전개과정, 물리적인 모델링, 수치적인 해석기법 및 응용분야에 대하여 살펴보기로 한다. 또한 수치해석 기법과 밀접한 관련이 있는 컴퓨터 분야에서의 성능추이와 앞으로 device 설계자들이 필요로 하는 Simulation tool 조건등에 대하여 서술하기로 한다.

2. 반도체 방정식

2.1 Poisson 방정식

반도체 디바이스들의 전자적인 특성은 외부에 인가되는 field에 의한 반송자들의 움직임에 관계한다. 이들을 모델화하기 위해서는 Maxwell 방정식과 경계조건이 필요하다. 즉

$$\text{rot}\mathbf{E} = -\frac{\partial}{\partial t}\mathbf{B} \quad (2-1, a)$$

$$\text{rot}\mathbf{H} = \frac{\partial \mathbf{D}}{\partial t} + \mathbf{J} \quad (2-1, b)$$

$$\text{div}\cdot\mathbf{D} = \rho \quad (2-1, c)$$

$$\text{div}\cdot\mathbf{B} = 0 \quad (2-1, d)$$

식 (2-1)에서 $\mathbf{J} = \mathbf{J}(r, t)$, $\rho = \rho(r, t)$ 라 하더라도 Maxwell 방정식으로는 반도체의 물리적인 문제들을 특성화 시킬수 없다. 4개의 방정식 중 2개의 방정식만이 선형 독립이기 때문이다. 그러므로 두가지의 부가적인 관계가 필요하다.

$$\mathbf{D} = \epsilon_0\mathbf{E} + \mathbf{P} \approx \epsilon\mathbf{E} \quad (2-2, a)$$

$$\mathbf{B} = \mu_0\mathbf{H} + \mathbf{M} \approx \mu\mathbf{H} \quad (2-2, b)$$

여기서 \mathbf{P} 와 \mathbf{M} 은 각각 dipole 및 magnetic moment이며 ϵ , μ 는 각각 매질의 유전율 및 투자율이다. 식 (2-2)는 근사식이며 비교적 작은 전자계내와 그다지 높지 않은 동작 주파수에서 거의 정지 상태인 매질에 적용된다.

$$\mathbf{B} = \int_{-\infty}^t \epsilon(r, t-t')\mathbf{E}(r, t)dt' \quad (2.3)$$

Maxwell 방정식을 보다 다루기 쉬운 형태로 하기 위하여 vector potential \mathbf{A} 및 scalar potential ϕ 를 도입하면,

$$\mathbf{B} = \text{rot}\mathbf{A} \quad (2-4, a)$$

$$\mathbf{E} = -\frac{\partial}{\partial t}\mathbf{A} - \text{grad}\phi \quad (2-4, b)$$

Lorentz 조건 식 (2-5)와

$$\text{div}\mathbf{A} + \left(\frac{1}{c^2}\right)\frac{\partial\phi}{\partial t} = 0 \quad (2-5)$$

식 (2-2)를 고려하여, 식 (2-4)를 식 (2-1a)(2-1b)에 적용하면

$$\nabla^2\mathbf{A} - \frac{1}{c^2}\frac{\partial^2\mathbf{A}}{\partial t^2} = -\mu_0\mathbf{J} \quad (2-6, a)$$

$$\nabla^2\phi - \frac{1}{c^2}\frac{\partial^2\phi}{\partial t^2} = -\frac{\rho}{\epsilon} \quad (2-6, b)$$

여기서 광속도 $C = (\mu\epsilon)^{-1/2}$ 이며 ϵ 은 공간적으로 균일하다고 가정하였다. device dimension이 동작 주파수와 관련된 파장보다 작으면 quasi-static 조건이 성립되며[9], 이와 같은 조건하에서는

$$\mathbf{E} = -\text{grad}\phi \quad (2-7)$$

$$\nabla^2\mathbf{A} = -\mu_0\mathbf{J} \quad (2-8, a)$$

$$\nabla^2\phi = -\frac{\rho}{\epsilon} \quad (2-8, b)$$

그러므로 전계와 자계는 분리되며 $\mathbf{E}(r, t)$ 를 풀기

위하여 (2-8, a)를 풀 필요는 없다. oxide와 silicon 같은 유전율이 다른 매질이 인접한 경우에 (2-8, b)는 식 (2-9)로 변환해야 한다.

$$\nabla(\epsilon\nabla\phi) = -\rho \quad (2-9)$$

반도체에서 공간전하 밀도 ρ 는 가전자대와 전도대의 반송자 밀도와 dopant농도에 의존한다.

$$\rho = q(p-n+N) \quad (2-10)$$

열평형 조건하에서만 반송자 농도인 n, p 가 전위의 함수로써 정해지나, 외부의 조건에 영향을 받는 경우에 해를 구하기 위해서는 전자 및 홀에 대한 연속 방정식이 필요하다.

2.2 연속 방정식

방정식 (2-1, b)로부터, divergence를 취하고 방정식 (2-2, c)를 고려하면,

$$\text{div}\mathbf{J} + \frac{\partial\rho}{\partial t} = 0 \quad (2-11)$$

을 구할 수 있다. 반도체내에서 전류밀도 \mathbf{J} 는 가전자대의 홀의 운동과 전도대내의 전자의 운동에 의하여 발생한다.

$$\text{div}(\mathbf{J}_n + \mathbf{J}_p) + q\frac{\partial}{\partial t}(p-n) = 0 \quad (2-12)$$

n, p 를 각각 독립 변수로 하면 식 (2-12)는 두개의 식으로 분리할 수 있다.

$$\text{div}\mathbf{J}_n - q\frac{\partial n}{\partial t} = +qU \quad (2-13, a)$$

$$\text{div}\mathbf{J}_p + q\frac{\partial p}{\partial t} = -qU \quad (2-13, b)$$

여기서 U 는 단위 체적당 net 재결합율로 정의된다.

이와 같은 Drift와 확산에 의한 반송자의 특성을 분석하는 방법외에도 Boltzmann 전송방정식에 근거한 수치해석 기법이 있으나 [10] 여기서는 생략하기로 한다.

3. 물리적인 모델링

소자 시뮬레이터는 소자의 물리적인 특성을 정확히 예측해야 하므로 이에 사용되는 물리적인 모델에 따라 해석 영역이 제한된다. 반도체소자는 주로 반송자들의 발생 및 재결합현상에 의해 지배를 받으며 거시적으로 볼 때 외부단자에 흐르는 전류는 반송자

들의 이동도 모델에 따라 변화한다. 일반적으로 소자 Simulation을 위해서는 Auger 재결합, SRH 재결합, 농도에 의존하는 SRH 재결합, 표면 이동도의 약화, 농도에 의존하는 이동도, 드레인 전계에 의존하는 이동도 및 impact 이온화 모델등이 일반적으로 모델링되어 있다.

3.1 이동도 모델

MOSFET, BJT 소자의 단자특성을 결정짓는 물리적인 파라미터 중의 하나이며 이동도식이 복잡할 경우 해의 수렴특성을 결정짓는 Jacobian 행렬이 복잡해지면서 불량한 수렴특성을 나타내는 반면에 해의 정확도는 증가한다.

Low field일 때 inversion 영역내에서 effective mobility는 impurity scattering, phonon scattering 및 surface scattering에 영향을 받으며 이들에 의한 total mobility는

$$\frac{1}{\mu_{tot}} = \frac{1}{\mu_{imp}} + \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sur}}$$

이다.

· 농도에 의존하는 모델

불순물 산란 및 격자산란에 의존하는 모델이며 300°K에서 불순물농도의 함수로써 이동도를 보간(interpolation)시킨다. 이 모델은 전계가 존재하지 않는 조건하에서 유효하다.

· Analytic 모델

온도와 농도에 의존하는 실리콘에 대한 해석적인 이동도 모델이며 전계가 존재하지 않는 조건하에서 적용된다.

해석적인 이동도 모델은 물리적으로 격자산란, 불순물산란의 조합식으로 되어 있으며 MOSFET 등의 실리콘-산화물 경계에서 발생하는 표면산란을 고려한 이동도식이 아니므로 게이트 바이어스가(threshold 전압) 이상의 선형동작 영역에서는 게이트 전압-드레인 전류특성을 실험치와 fitting시키지 못한다.

이와 같은 경우에는 표면산란에 의한 이동도약화를 고려하고 있다. [11]

· Lateral field에 의존하는 모델

MOSFET의 드레인 전계가 상승할수록 반송자는 열적인 drift 속도의 한계인 1.07E7(cm/sec) 정도로

운동하며 포화속도에 도달한다. 이들은 드레인 전계의 변화에 따른 velocity saturation현상으로 모델링한다.

3.2 Auger발생, 재결합 모델

불순물 농도가 높은 영역에서 잉여 캐리어의 재결합은 전자와 홀 간의 direct recombination에 의해 이루어지며 이를 Auger 재결합 이라 한다. Auger 재결합 모델에 의한 전자포획과 전자방출은 두개의 전자와 한개의 홀이, 홀 방출과 홀 포획은 한개의 전자와 두개의 홀이 각각 참여한다. 이들은 trap의 도움으로 인한 천이 확률이 더욱 높다는 것이 알려져 있다. [13] Auger 메카니즘은 전류의 흐름이 무시되는 높은 농도의 이동반송자가 존재하는 영역, 즉 BJT등의 에미터 영역에서 발생할 수 있다.

3.3 Bandgap narrowing 효과

일반적으로 반도체 소자는 Fermi-Dirac 통계에 의해 반송자 농도를 결정한다. 그러나, 컴퓨터를 이용한 시뮬레이션 입장에서 계산의 효율성을 위하여 주로 Boltzmann통계를 이용하게 되며 높은 불순물 농도의 수치해석시에 결과가 부정확해진다. 이와같은 이유로 유효 반송자 농도에 의해 bandgap narrowing 효과를 고려하고 있으며 이 모델은 BJT 디바이스 영역에서 유효하다. 수학적인 편차는 불순물의 보상량이 10% 이하일때 8E19(cm⁻³) 이하의 농도에서는 10%이내의 오차를 가지나 도핑이 많이 되었거나 보상된 불순물의 경우에는 큰 오차가 발생한다. [14]

3.4 Impact Ionization 효과

Short channel 디바이스로 갈수록 드레인 edge에서는 높은 전계가 유지된다. 이전계는 전자-홀 쌍들을 발생시키고, 발생된 전자는 gate oxide 내부로 trap되며 홀은 기판쪽으로 모이거나 소스 쪽으로 흘러 들어간다. Trap 된 전자들에 의해 디바이스의 threshold 전압이 증가하고 transconductance가 감소하며, 홀들에 의한 substrate 전류증가 및 기생 NPN TR의 형성등은 디바이스의 신뢰성에 심각한

영향을 미친다.

4. 수치적인 해석기법

이미 언급한 바와같이 디바이스 방정식은 3개의 편미분 비선형 방정식으로 구분되며, 수치해석 기법에 의하여 이산화(discretization)시키면 강하게 결합된 비선형 대수방정식의 set이 생긴다. 이 방정식들은 비선형 반복법으로 풀어야 하며 두가지 방법이 폭넓게 채택되고 있다. Gummel법[15]에서 방정식들은 순서대로 풀게 된다. 즉 Poisson방정식의 해석 시에는 의사 페르미 준위를 고정시키고 풀다음 새로이 얻어진 전위가 연속 방정식에 대입되어 반송자 농도를 update시키게 된다.

새로운 반송자 농도는 다시 Poisson 방정식의 우변항에 대입되어 해가 수렴할 때까지 과정이 반복된다. 이 방정식은 일반적으로 반송자 흐름이 비교적 적은 device동작 영역에서 효율적이다. Newton법[16]에서 모든 변수들은 각각의 iteration 동안 변화한다는 가정하에서 풀게되며, 변수들간의 모든 결합이 고려된다. 그러므로 Newton법은 매우 안정하며 해를 구하는 시간을 바이어스 조건에 거의 무관하게 된다. 이와 같은 수식의 일반적인 처리방법을 기본으로한 반도체 방정식의 수치해석에 사용되는 방법은 유한 차분법(F.D.M), 유한 요소법(F.E.M), 경계요소법(B.E.M) 및 Boltzmann 전송 방정식을 고려한 Monte Carlo 법등이 있다.

각각의 수치해석법을 설명하기 위하여 1차원 Poisson방정식에 근거한 수식 전개과정을 설명하고자 한다.

4.1 유한 차분법

$$\frac{d}{dx} \left(\epsilon \frac{d\phi}{dx} \right) + q(p-n+N) = 0 \quad (4-1)$$

$$\phi = \phi_p \quad \text{on Dirichlet 경계} \quad (4-2, a)$$

$$\frac{d\phi}{dx} = 0 \quad \text{on Neumann 경계} \quad (4-2, b)$$

Simulation하는 영역의 매질이 homogeneous하고 반송자 농도가 Boltzmann 분포함수일 경우에 식 (4-1)은 식 (4-3)으로 교체된다.

$$\frac{d^2u}{dx^2} + \frac{1}{L_D^2} (e^{-u+\psi_p} - e^{-u-\psi_n} + N_n) = 0 \quad (4-3)$$

여기서

$$u = \frac{q}{KT} \phi$$

$$u_n = \frac{q}{KT} \phi_n \quad L_D^2 = \frac{\epsilon KT}{q^2 N}$$

$$u_p = \frac{q}{KT} \phi_p \quad N_n = \frac{N}{n_i}$$

식 (4-3)의 좌변에 있는 첫항에 대하여 Taylor Series를 적용하면

$$u(x + \Delta x) = u(x) + u'(x) \cdot \Delta x + \frac{1}{2!} u''(x) (\Delta x)^2 \dots$$

$$u(x - \Delta x) = u(x) - u'(x) \cdot \Delta x + \frac{1}{2!} u''(x) (\Delta x)^2 \dots \quad (4-4)$$

설명된 편의상 mesh간격을 균일하게 하면 식 (4-4)로부터

$$u''(x) = \frac{1}{(\Delta x)^2} [u(x + \Delta x) - 2u(x) + u(x - \Delta x)] \quad (4-5)$$

가 얻어진다.

그러므로 식 (4-5)를 식 (4-3)에 대입시키면 수치해석이 가능한 유한 차분식이 얻어진다. 식 우변은 각각의 mesh에서 상수로 가정한다. 식에서 볼 수 있듯이 유한 차분법은 매질이 homogeneous한 device내의 수치해석이 용이하다. 유한 차분법을 이용한 반도체 방정식의 수치해석은 H.K. Gummel에 의한 1차원 BJT Modeling, De Mari[17]에 의한 변수들의 normalization, 전류 연속방정식의 local truncation error 감소에 사용된 연속 방정식의 Gummel-Schafetter이산화 방법[18] 등을 거치면서 현재 가장 안정화된 수치해석 기법이 되었다. 이 기법을 이용하는 대표적인 tool로는 PISCES[19], HFIELDS-3[20], TOPMOST[21], SIERRA[22] 등을 들 수 있다.

4.2 유한 요소법

유한 요소법을 이용한 1차원 Poisson방정식의 수치해석 과정중 식 (4-3)까지는 동일하다. 여기서는 고전적인 Galerkin[23]법을 이용한 수식과정을 설명하기로 한다. Taylor series는 해를 구하고자 하는

vertex 근처에서 선형적인 변화를 가정한다. 이와 같은 방법으로 유한 요소법에서는 형상함수[24]를 사용하며 미지해 u 를 근사화(approximation)시킨다.

$$u = \sum_{i=1}^2 N_i(x) \cdot u_i \quad (4.6)$$

여기서, 형상함수 $N_i(x)$ 는 다음 특성을 갖는다.

$$\begin{aligned} \sum_i N_i &= 1 & N_i &= 1 \text{ if } i=j \\ \sum_i \frac{dN_i}{dx} &= 0 & & 0 \text{ if } i \neq j \end{aligned} \quad i, j=1, 2$$

그러므로 이와같은 형상함수의 특성을 이용하면 mesh구간을 별도로 처리할 수 있어 anisotropic한 매질을 다루는 것이 용이해진다. 식 (4-3)의 이산화 시에는 error가 발생하며, 이 error를 최소화시키는 weighting함수 W 를 도입하고, 방정식을 적분형으로 바꾸면,

$$\int_{\Gamma} W \frac{d\phi}{dx} d\Gamma \quad (4-7)$$

여기서 Γ 는 영역의 boundary를 의미하며 Ω 는 영역의 내부를 의미한다. 경계조건 식 (4-2b)에서 $\frac{d\phi}{dx} = 0$ 이므로 식 (4-7)은

$$\int_{\Omega} \frac{dw}{dx} \cdot \frac{d\phi}{dx} \cdot d\Omega = - \int_{\Omega} \frac{dW}{dx} \cdot \frac{d\phi}{dx} d\Omega \quad (4-8)$$

이 된다.

식 (4-8)에 식 (4-6)을 대입하고 형상함수의 특성을 이용하면

$$\int_{\Omega} W \left[\frac{d^2\phi}{dx^2} \right] d\Omega = \int_{\Omega} \frac{dN_i}{dx} \cdot \frac{dN_j}{dx} d\Omega \{ \phi \} \quad i, j=1, 2 \quad (4-9)$$

식 우변은 상수로 가정한다.

유한 요소법을 이용한 수치해석은 대량의 입력 데이터 발생, F.D.M에 비하여 행렬의 불량한 특성 및 Gummel-Schaffetter 이산화 방법의 부재등이 존재하기 현재 개발이 진행중인 기법으로 1989년 이후에 유한 요소법에 사용되던 (S-G)이산화 방법이 연속 방정식에 채택되면서 발전하고 있다. [25] 현재는 순수한 유한 요소법과 유한 차분법의 장점을 살린 Hybrid유한 요소법이 우세하며 대표적인 예로는 IBM FIELDAY[26]가 있다.

4.3 경계 요소법

경계요소법은 유한 요소법으로부터 한단계 더 진

보한 수치해석 방법이다. 식 (4-7)을 다시 변형하면,

$$\int_{\Omega} w \frac{d^2\phi}{dx^2} d\Omega = \int_{\Gamma} w \frac{d\phi}{dx} d\Gamma - \int_{\Omega} \frac{dw}{dx} \cdot \frac{d\phi}{dx} d\Omega \quad (4-10)$$

$$\int_{\Omega} \frac{dw}{dx} \cdot \frac{d\phi}{dx} = \int_{\Gamma} w \frac{dw}{dx} d\Gamma - \int_{\Omega} \frac{d^2w}{dx^2} \cdot \phi d\Omega \quad (4-11)$$

$$\begin{aligned} \int_{\Omega} w \left[\frac{d^2\phi}{dx^2} \right] d\Omega &= \int_{\Gamma} w \frac{d\phi}{dx} d\Gamma - \int_{\Gamma} \phi \frac{dw}{dx} d\Gamma \\ &+ \int_{\Omega} \phi \frac{d^2w}{dx^2} d\Omega \end{aligned} \quad (4-12)$$

이다.

경계요소법의 식 (4-12)에서 $\frac{d^2w}{dx^2} + \delta(x-x')$ 을 만족하는 수식을 찾을 수 있으면 순수한 경계적분식으로 해석할 수 있다. 일반적으로 Laplace방정식의 경우에 해는 존재하나 source항인 Poisson방정식의 우변항에 대한 경계적분 적용이 불가능하므로 반도체 방정식의 수치해석에는 별로 사용되지 못하고 있다.

5. 응용분야

현재의 초고집적 회로에서 cross talk잡음 및 신호 지연에 영향을 주는 기생 정전용량은 Laplace방정식에 의하여 특성화된다. 실험적으로 기생정전용량을 구하는 방법은 많은 칩 면적의 소모와 공정 파라미터를 폭넓게 변화시킬 수 없는 제한 때문에 Simulation으로 많은 응용이 기대되는 분야이다. 집합 정전용량은 수동 소자의 대표적인 예로 기생정전용량을 구하는 패턴과 마찬가지로 측정을 위한 패턴에는 많은 칩면적이 소모된다. DRAM 기술에서 집중적으로 최적화시키는 파라미터로는 threshold전압, punchthrough전압, field isolation특성, subthreshold특성 등이 있으며 이들은 poisson방정식으로 특

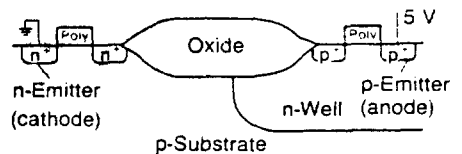


그림 1. 기생 thyristor를 나타내는 CMOS inverter의 단면도

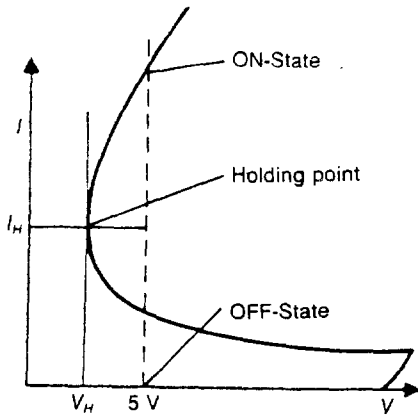


그림 2. thyristor의 I-V특성 곡선

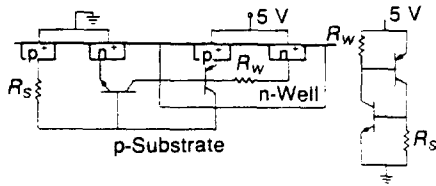


그림 3. thyristor의 등가회로

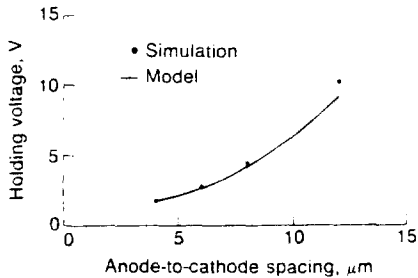


그림 4. PISCES를 이용한 holding voltage 시뮬레이션

성확된다. Deep Submicron MOSFET의 전류-전압 특성, Breakdown, CMOS Latch-up, SER, ALFEN 등은 기판 전류 발생, Gate 전류 injection문제등 device 신뢰도에 많은 영향을 주게 되므로 Poisson 방정식과 연속 방정식들을 동시에 해석함으로써 분석할 수 있다.

다음은 CMOS Latch-up의 응용예다. 그림 1은 [27] CMOS inverter의 단면도다. thyristor로 알려진 이 구조는 power device로 사용된다. 그림 2는 thyristor의 I-V curve다. thyristor가 trigger되면 trigger current가 흐르고 device는 망가진다. 그림 3

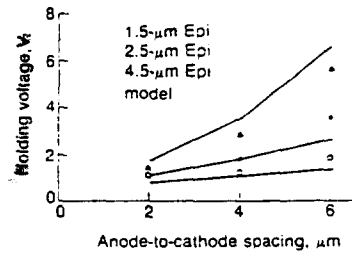


그림 5. epi 두께변화에 따른 isolation space 대 holding 전압 특성곡선

은 coupled된 두 Bipolar TR를 나타낸다. Latch-up을 방지하기 위해서는 guardring 및 anode와 cathode 간 거리를 변화시켜 positive-feedback mechanism을 줄여야 한다. 그림 4는 epi layer를 사용하지 않은 구조의 anode와 cathode 거리에 따른 holding voltage 값이고 그림 5는 epi layer를 사용한 경우다.

6. 차세대 반도체 기술개발을 위한 device simulation 기술

이상에서 언급한 바와 같이 반도체 방정식은 maxwell 방정식으로부터 출발하여 물리적인 모델, 수치적인 모델 등에 대하여 무수한 가정을 하고 simulation을 진행하게 된다. 앞으로는 엄격한 모델링이 점차 필요해질 것이며 이에 따라 수치해석 기법도 발달해야 한다. 본절에서는 이와 같은 방향에서 3차원 Drift-확산 방정식의 수치해석을 위한 필요 조건을 computer hardware 및 수치해석, Algorithm 관점에서 설명하고자 한다. 1990년 상반기 현재 Unix Operating System을 탑재한 10 MFLOPS급의 Engineering Workstation들이 발표되고 있으며 이와 같은 system으로는 적어도 3차원 1-carrier 연속방정식의 수치해석이 가능할 것으로 보인다. Simulation software들을 이용한 3차원의 반도체 방정식에 대한 수치해석 및 device 설계자들이 활용할 수 있기 위해서는 적어도 다음 8가지의 기능이 필요하다고 본다.

- 사용자 친숙성 (user friendliness)
- Graphic pre, post-processing
- main memory 및 disk storage의 효율적인 사용
- 효율적인 vectorization 및 parallelization code

개발

- 파라미터 추출(Junction charge 등)
- 효율적인 초기해(Initial Solution) 설정
- 수치해석 hierarchy상의 확장성
- 3차원 process와의 interface가 용이

7. 결 론

본 논문에서, 반도체 내에서의 전자장 해석을 위한 Maxwell방정식의 단순화, 반도체 방정식의 전개, 물리적인 모델링, 수치해석 기법, 응용분야 및 차세대 반도체 기술 개발을 위한 device simulation 기술등을 review하였다. Poisson방정식의 고유한 quasi-static approximation을 고찰하였으며, Drift-확산식의 유효성 범위를 증가시키기 위하여 각 물리적인 모델들을 review하였다. 반도체 수치해석에서 빈번히 사용해진 F.D.M, F.E.M 및 B.E.M 기법의 장단점과 각각의 수치해석 기법을 이용한 Simulation tool들을 언급하였다. 또한 현재의 반도체 기술과 차세대 반도체 memory기술을 위한 Simulation의 응용분야 및 3차원 Simulation에 필요한 기본적인 tool의 조건을 언급하였다.

참 고 문 헌

- [1] H.K. Gummel, IEEE Trans. Electron Devices, vol. ED-11, pp. 455-465, 1964.
- [2] D.P. Kenedy and R.R. Obrien "Two-dimensional Mathematical analysis of Planar-type junction Field-Effect Transistor," IBM J. Res. Dev. Vol. 13, pp. 662-674, 1969.
- [3] J.W. Slotboom, "Iterative Scheme for 1-and 2-dimensional D.C. Transistor Simulation." Electron. Lett. vol. 5, pp. 677-678, 1969.
- [4] D. Vadrope, N.H. Xuong, "Mathematical 2-dimensional Model of Semiconductor Devices," Electron. Lett., vol. 7, pp. 47-50, 1971.
- [5] M.S. Mock, "Two-dimensional Mathematical model of Insulated-Gate Field effect Transistor," solid state Electron., vol. 16, pp. 1251-1259, 1973.
- [6] T. Toyabe and H. Masuda, "Methods of three dimensional transient simulation and their applications to VLSI reliability problems", NASECODE V, pp. 74-84, 1987.
- [7] S. Murakami and Ichinose et al., "Improvement of soft-Error Rate in MOS SRAM'S", IEEE J. Solid state circuits, vol. 24, No. 4, pp. 869-873, 1989.
- [8] E. Taheda, D. Hisamoto, and T. Toyabe, "The alpha-particle-induced source/drain penetration (ALPEN) effect", IEEE/IRPS pp. 109-112, 1988.
- [9] W.L. Engl, Process and Device Modeling, North-holland, ELSEVIER SCIENCE publishing Company Inc., pp. 109-111, 1986.
- [10] 참고문헌 9의 pp. 135-139.
- [11] S. Selberherr, A. Schutz and H. potzl, "MINIMOS -A two-dimensional MOS Transistor analyzer," IEEE Trans. Electron Devices, vol. ED-27, pp. 1540-1550, Aug. 1980.
- [12] S. Selberherr, Analysis and Simulation of Semiconductor Devices, New York: Springer-Verlag, 1984.
- [13] 참고문헌 9의 p. 131.
- [14] J.W. Slotboom, "The p-n product in Silicon," solid state electron., vol. 20, pp. 279-283, 1977.
- [15] 참고문헌 1과 동일
- [16] O. Manck, H. Heimeier and W. Engl, "High injection in a two-dimensional transistor," IEEE Trans. ED-21, pp. 403-409, 1974.
- [17] A. de Mari, solid State Electron, vol. 11, p. 1021, 1968.
- [18] D. Scharfetter and H.K. Gummel, IEEE Trans. Electron Devices, vol. ED-16, p. 64, 1969.
- [19] M.R. Pinto, C.S. Rafferty and R.W. Dutton, "PISCES-II -Poisson and Continuity Equation solver," Stanford Electronics Lab. Technical report, stanford University, September 1984.
- [20] P. Ciampolini et al., "Realistic device simulation in three dimensions," IEDM. pp. 131-134, 1989.
- [21] N. Shigyo and R. Dang, "Analysis of an anomalous Subthreshold Current in a fully Recessed oxide MOSFET using a three dimensional device simulator," IEEE J. Solid state circuits, vol. sc-20, No. 1, pp. 361-365, 1985.
- [22] J. Chern et al., "SIERRA: A 3-D Device Simulator for Reliability Modeling," IEEE Trans. CAD. vol. 8, No. 5, pp. 516-527, 1989.
- [23] John J. Barnes and Ronald J. Lomax, "Finite Element Methods in Semiconductor device simulation," IEEE Trans. Electron Devices, vol. ED-24, pp. 1082-1089, 1977.
- [24] E.Hinton and D.R.J. Owen, An introduction to

-
- Finite Element Computations, Pineridge Press Limited, Swansea, U.K. 1979.
- [25] G. Tan et al., "Two-dimensional Semiconductor Device Analysis based on new Finite-Element Discretization employing the S-G Scheme," IEEE Trans. CAD. vol. 8, No. 5, pp. 468-478, 1989.
- [26] E.M. Buturla et al., "Finite-Element Analysis of Semiconductor devices: The FIELDAY program," IBM J. Res. Dev., vol. 25, pp. 218-231, 1981.
- [27] Amitava Chatterjee, Jerold A. Seitchik, Jue-Hsien chern and Ping Yang, "Latchup Modeling Using PISCES," IEEE circuits and devices magazine, pp. 35-38, Nov., 1987.