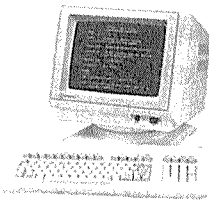


吳 吉 祿
韓 國 電 子 通 信 研 究 所
컴퓨터 연구부장/工博

RISC

프로세서 구조와 행정전산망 주전산기



1. 서 론

1987년에 들어서부터 RISC(Reduced Instructoin Set Computer) 라는 용어가 컴퓨터 시스템 학계에 유행 어처럼 보다 널리 사용되기 시작하였다. RISC의 어원의 유래는 미국 버클리 대학에서 1982년에 발표한 RISC I (1) 칩을 들 수 있으나, 그 기본 개념은 IBM 사의 801 (2) 머신에서 출발 되었다고 알려져 있다.

RISC 개념이 발표되기 이전의 컴퓨터 개발은 하나의 명령어로 복잡한 기능을 수행토록 하여 성능을 개선하고자 하는 노력이 주를 이루고 있다. 이를 대표하는 머신으로는 DEC 사의 VAX 기종을 들 수 있으며, 그 극단의 예를 Intel 사의 iAPX-432 마이크로 프로세서에서 볼 수 있다. 이와 같은 컴퓨터의 유형을 RISC와 구별하기 위하여 CISC(Complex Instruction Set Computer) 라 칭한다.

RISC와 CISC를 구별 하고자 할 경우 이를 각각 별도로 정의하지 않고 RISC를 먼저 정의하고 이에 맞지 않는 경우를 CISC로 정의하는 방식이 주로 사용되며 RISC의 특징을 정의하면 다음과 같은 것들이 있다.

- 대다수의 명령어의 단일 싸이클 수행
- 명령어의 하드 와이어드 디코딩
- 비교적 적은 수의 명령어와 어드레싱 모드
- 고정된 명령어 포맷 사용
- 최적화(Optimized) 컴파일러 사용
- 파이프라인 구현에 용이한 구조
- 많은 수의 레지스터 사용

버클리 대학에서 개발된 RISC I, RISC II, 스탠포드 대학에서 개발된 MIPS 등 대학에서 시작된 연구결과는 페어차일드 사의 Clipper, Sun Microsystems 사의 SPARC(Scalable Processor Architecture), AMD 사의 AM29000 등으로 산업체로 확산되고 있으며 기존 CISC 계열의 메이커도 RISC의 개념을 새로운 칩에 도입하고 있는 것이 현 실정이다.

RISC 프로세서의 개발동향은 여러개의 Survey 논문에 의해 정리된 바가 있다. Silbey에 의해 최근 마이크로 프로세서의 구조에 관한 사례(3)가 정리되었으며, Gimarc에 의해 1980년 중반기 이후의 RISC 프로세서(4)가 조사되었다. 국내에서도 RISC에 관한 관심은 많았으며 한국전자통신연구소의 위탁으로 한양대에서 RISC 조사(5, 6)가 수행된 바 있다.

본 고에서는 RISC의 기존의 사례연구를 보완하고, RISC의 유행에 가려 그 최근 개발동향이 소홀히 취급되고 있는 CISC의 발전방향을 분석하고자 한다. 그리고 이와 관련된 행정전산망 주전산기 목표시스템에 사용된 CPU칩과 앞으로의 국내 CPU 개발전망에 대해 논하고자 한다.

2. 최근 프로세서 개발 동향

최근 프로세서 개발 동향은 크게 나누어 기존 CISC 칩의 성능 개선과 새로운 RISC 구조를 갖는 칩의 개발로 크게 나누어 진다. 표1에 최근 개발된 CPU칩 내지는 프로세서 구조에 관련된 정보를 정리하였다. CISC 진영의 대표적인 칩들로는 Intel 사의 80386, Motorola 사의 68030, National Semiconductor 사의 32532가 있으며 이들은 '70년도 후반부터 사용되어 오던 기존의 아키텍처를 호환성을 유지하며 이의 성능을 개선해 나아가고 있다. 호환성을 유지하고 이를 개선하려면 명령어가 추가되어야 하므로 더욱 복잡한 방향으로 발전하게 되는 것은 당연한 결과라 할 수 있다.

위 셋 칩 중 가장 먼저 상품화된 Intel 사의 80386은 80286의 16비트 레지스터를 32 비트로 늘렸고, 어드레스 범위도 30 비트에서 46 비트까지로 늘려 큰 가상 어드레스를 필요로 하는 응용분야에도 쉽게 사용할 수 있는 여지를 두었다. 레지스터 크기의 증가로 정수연산 처리는 직접적으로 처리속도가 개선되었으며 다른 요소를 감안하면 80286에서 80386으로 시스템을 재설계할 경우 2~3 배의 성능 향상이 이루어 지는 것을 알 수 있다.

Motorola 사의 68030의 경우 별도의 MMU(Memory Management Unit)을 사용하여야 하였던 68020에 비해 MMU가 내장되었으며 종래 있던 명령어 캐시에 데이터 캐시를 추가하여 처리속도면에서 향상을 기하고자 하였다. 명령어의 추가는 직접 연산에 관계되는 부분은 거의 없었으며, MMU의 내장으로 인한 어드레스 변환시

간의 단축과 데이터 캐시에 의한 메모리 액세스 시간의 단축으로 68020 사용시보다 약 2 배의 성능향상을 가져올 것으로 보도되고 있다.

National Semiconductor의 32532 칩은 68030과 비슷한 방식, 즉 MMU의 내장, 명령어 캐시와 데이터 캐시의 내장으로 성능의 향상을 시도하였다. 콘트롤 회로가 비교적 단순함으로 512 비트의 데이터 캐시, 1024 바이트의 2세트 데이터 캐시를 사용함으로써 68030 보다 큰 캐시를 갖고 있다. 이와 같은 캐시의 도움으로 32532는 68030이나 80386의 약 2 배되는 10 MIPS의 성능을 갖는 것으로 발표되고 있다.

일본 NEC의 경우 V20, V30, V40, V50에서는 Intel 사의 8086 프로세서에서 출발한 아키텍처를 사용하였으나, 새로 개발된 V60과 V70에서는 독자적인 아키텍처를 갖추었다. 레지스터의 갯수를 32개로 늘렸고 메모리 관리기법에 있어서도 세그멘테이션 대신 페이지징 기법을 택하였다. 그러나 구조적으로 여전히 CISC 계열의 영향을 받은 프로세서로 평가된다.

CISC 계열의 프로세서로서 꼭 언급되어야 할 것은 일본의 TRON(The Realtime Operating system Nucleus) (7) 칩이다. 1983년부터 일본 동경대학의 사카무라 교수에 의해 개발된 구조로 일본의 대다수 컴퓨터 업체에서 개발에 참여하고 있는 칩이다. 공개된 아키텍처를 이용하여 각 회사가 별도로 개발하고 있으며 비트조작 기능, 운영체제 지원기능 등 복잡한 기능을 명령어 수준에서 정의하고 있는 CISC 칩의 특성을 갖고 있다. 이는 일본내의 반도체 칩 기술이 상당부분에 있어 미국을 앞지르고 있으며 뒤떨어진 소프트웨어 기술을 하드웨어기술로 보완하려는 노력의 일부로 볼 수도 있다.

RISC 진영은 마이크로 프로세서 시장을 확보하지 못한 반도체 메이커, 시스템 전문 메이커, 그리고 각 대학에서 이루어지고 있다. 버클리 대학의 RISC I, RISC II, 스탠포드 대학의 MIPS 등은 이미 여러 논문에 그 내용이 소개된 바 있다. 그리고 이미 개발이 완료되어 상품화가 이루어진 프로세서로는 Fairchild 사에서 개발하였고 현재 Intergraph 사에서 사용중인 Clipper, IBM 사에서 실험적으로 시장에 발표한 ROMP 칩을 사용한 RTPC, 또 수년간의 연구를 바탕으로 정의한 Hewlett Packard 사의 Precision Architecture 등을 들 수 있으며 이들에 관해서는 충분한 소개가 이미 이루어진 단계이다.

표 1. 고속 CPU 칩의 컴퓨터 특징 비교표

비교항 제품명	제 조 업 체	구 조 적 특 징						어 레 엔 드 스 역	발 표 시 기
		MMU	CACHE	FPU	REG #	v COD	MIPS		
M 68030	Motorola	On Chip	On Cbip	Co 68881	16 ×32	Yes	7s 12p	4 G	1987
I 80386	Intel	On Chip	Off Chip	Co 80387	8 ×32	Yes	5s	64T	1985
Z 80000	Zilog	On Chip	On Chip	Co 32106	16 ×16	?	5s 12p	4 G	1986
V 70	NEC	On Cbip	On Chip	On Chip	32 ×32	Yes	2.5s 5.5p	4 G	Q1'88
TRON	Hitacbi, Fujitsu, Mitsu.	On Chip	On Chip	Off Chip	-	-	-	4 G 이상	NA
MicroVAX 칩 (1987)	DEC	On Chip	On Chip	Off Chip	16 ×32	Yes	NA	4 G	1987
NS 32532	National Semiconductor	On Chip	On Chip	Co 32381	8 ×32	Yes	15p	4 G	1987
Edge 2000	Edge	Card	Card	Card	16 ×32	No	16p	4 G	1987
Am 29000	AMD	On Chip	IPB/ BTC	Co 29027	192 ×32	No	15p	4 G	Q1'88
Spectrum	HP	Off Chip	Off Chip	Off Chip	32 ×32	No	10p	256T	1985
SPARC	SUN	Off Chip	Off Chip	Off Chip	120 ×32	No	10p	-	1987
SPUR	Berkley	Off Chip	IPB/ CC	Co FPU	32×32 8 muit	No	NA	4 G	1987
MIPS-X	Stanford	Off Chip	On Chip	Co FPU	32 ×32	No	20p	-	1987
CLIPPER	Intergraph	Off CPU	Off CPU	On CPU	32×32 8 ×64	Partial Yes	5s 33p	4 G	1986
CRISP	AT & T	Off Chip	On Chip	Off CPU	32×32 cache	No	16p	-	1987
R2000	MIPS	Off Chip		Co R2065	32 ×32	No	8p	-	1986

p : peak s : sustained

1987년도에 발표된 새로운 RISC 구조로는 Sun Microsystems 사의 SPARC (8), AMD 사의 AM29000 (9), 버클리 대학의 SPUR(Symbolic Processing Using RISC) (10), 스탠포드 대학의 MIPS-X(11), 를 들 수 있으며 이에 대해 소개하기로 한다. AMD 사의 AM29000 은 RISC의 특징이 두드러지게 나타나는 칩이다. 192개의 32 비트 레지스터 파일을 갖고 있으며 이를 스택케시로 이용할 수 있어 RISC II에서 사용되는 레지스터 윈도우 사용의 장점을 얻을 수 있다. 또한 192개 중 128개의

레지스터는 8 개의 뱅크로 구별할 수 있으며 이를 이용하여 빠른 컨텍스트 스위칭을 수행할 수 있다. 또한 32 개의 Branch Address의 4 연속된 명령어를 Branch Target Cache에 보관할 수 있어 Branch가 일어날 경우에도 60%의 경우 지연이 발생하지 않도록 되어 있다. 거의 모든 명령어가 1 사이클에 수행되므로 25Mhz 의 클럭을 사용할 경우 17MIPS라는 놀라운 성능을 보여준다. RISC 형태의 명령어라는 것을 감안하더라도 우수한 프로세서의 하나라고 평가할 수 있다.

Sun Microsystems 사의 SPARC은 버클리 대학의 RISC II 설계팀인 Patterson교수에 의해 설계되었으며 따라서 RISC II의 영향을 많이 받았다. 구체적인 내용으로는 Overlapped Register Window 사용은 RISC II와 아주 흡사하다. 또한 Tagged Architecture를 일부 지원하는 명령어를 포함하고 있어 LISP이나 Small-talk 구현의 경우 성능 향상에 큰 도움을 줄 것이다. SPARC의 또하나의 특징은 Open Architecture 정책을 사용한다는 것이다. VLSI 칩 구현은 Fujitsu 사의 CMOS 게이트 어레이를 이용한 성능 10 MIPS 칩이 이미 제품에 사용되고 있으며, Cypress Semiconductor 사에 의한 20 MIPS 칩, Bipolar Integrated Technology 사에 의한 ECL 칩의 구현이 진행중이다.

스탠포드 대학의 MIPS-X는 이전의 MIPS의 경험을 살려 2세대의 RISC 칩을 설계하고자 하는데 그 목적이 있다. 여기에서 강조되는 특징은 공유메모리 다중 프로세서의 구현이라는 것이다. 캐시의 동질성(consistency)을 유지하기 위하여 캐시 컨트롤 명령을 포함하였다. 또한 TLB의 동질성 문제를 해결하기 위하여 TLB를 CPU 칩 내에 두지 않고 메인 메모리에 두어 TLB Miss시의 처리시간의 지연을 줄이도록 하였다.

버클리 대학의 SPUR는 다중 프로세서와 심볼릭 프로세싱에 목표를 두고 개발되었다. 이전에 같은 대학에서 개발된 RISC II의 Overlapped Register Window 개념이 역시 사용되며, Tagged 명령어가 상당수 포함되어

있다. 또하나의 특징은 캐시 구조를 종래에 주로 사용되던 Physical Cache 개념을 사용하지 않고 Virtual Cache를 사용하였다는 것이다. Tagged 명령은 Default 데이터 타입을 정수(integer)로 정의하여, 정수인 경우 페널티 없이 수행하고 만일 다른 데이터 타입인 경우에는 트랩을 발생하여 트랩 핸들러가 이를 처리하는 방법을 택하여 LISP 언어에서 꼭 필요한 데이터 타입을 확인하는 절차를 생략할 수 있는 구조를 갖도록 하였다.

이와 같은 새로운 RISC 칩들과 1 세대의 RISC 칩들의 진화과정을 도시하면 그림 1과 같다.

3. 행정망 주전산기의 CPU

행정망 주전산기 개발사업은 1987년 6월에 총 4년간의 사업기간으로 공식적으로 시작되었다. 새로운 컴퓨터 시스템을 개발하고자 할 경우 컴퓨터 시스템의 구성에는 다음에 사용될 CPU 칩이 중요한 의미를 갖는다. 기존의 아키텍처를 개선하고 이를 칩으로 구현할 경우 CISC 타입의 칩은 3년 이상의 개발기간이 필요하다. RISC 타입 칩의 경우 칩의 구현에는 1년 내지 1년 반의 비교적 짧은 개발기간이 소요되지만 새로운 아키텍처의 설계와 이의 검증에 소요되는 시간을 고려하면 2년 내지 2년반의 기간이 소요된다. 총 4년이라는 사업기간중 1년은 시스템의 생산 및 현장시험으로 사용되므로 3년이내에 소프트웨어 개발까지를 완수하려면

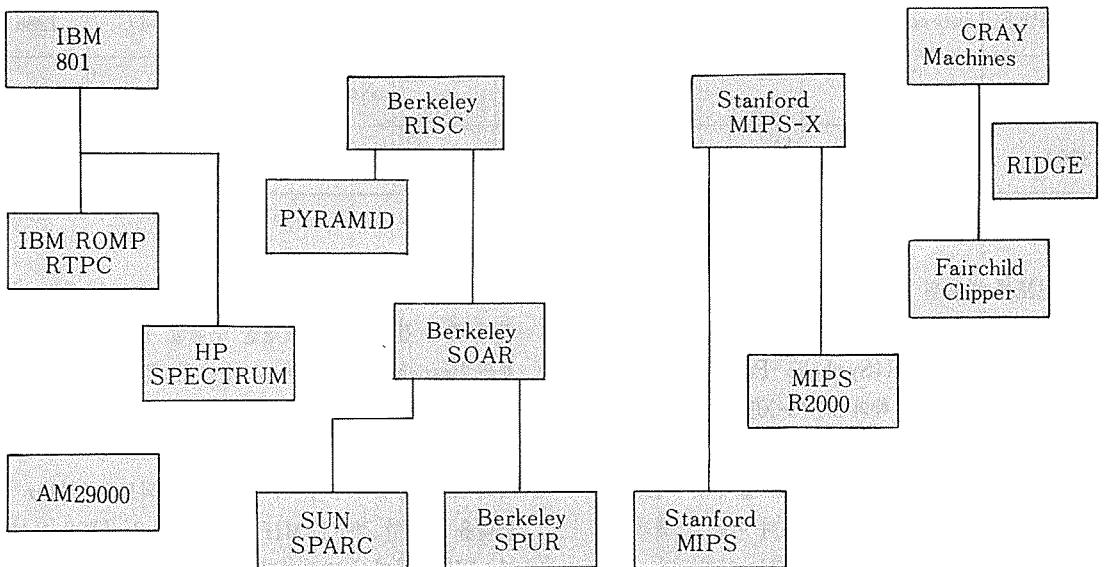


그림 1. RISC 칩의 진화과정

독자적인 CPU 칩을 처음부터 목표시스템에 사용한다는 것은 시기적으로 불가능한 대안이다. 따라서 CPU 칩은 기존 메이커의 칩을 사용하도록 하였다.

행정전산망 목표 시스템에 사용하고자 하는 CPU는 다음과 같은 기준하에서 선정되어야 할 것이다.

- 완전한 칩의 PCB 제작단계에 입수가능 여부
- 칩 메이커의 안정성
- 소프트웨어 개발 툴의 존재 여부
- 개발 연구팀의 해당 칩에 대한 경험 여부

이중 처음 두 항목, 즉 칩의 입수 가능여부와 칩 메이커의 안정성은 행정전산망 주전산기의 경우 필수조건으로 최근 개발된 RISC 칩은 선정 대상에서 제외될 수밖에 없었다. CISC 타입 칩 중에서 전술한 Intel의 80386, Motorola의 68030, National Semiconductor의 32532의 3 가지 칩만이 대안이 될 수 있다.

이 3 칩을 객관적으로 평가할 수 있는 자료는 CPU 선정 당시에는 입수 불가능 하였으며 각 메이커가 제시하는 자료에 근거를 두면, 32532 칩이 68030이나 80386 보다 2 배 이상의 성능을 갖는 것으로 평가되었다. 그러나 칩 메이커의 안정성 여부에서 National Semiconductor 사가 타사에 비해 다소 취약한 점이 있는 것으로 판단되었으며 또한 개발 연구팀이 Motorola의 68000계열의 CPU 사용경험이 월등히 많다는 점을 고려하여 68030으로 결정하였다.

컴퓨터 제품의 특징중 하나는 제품에 웨일리(family) 개념이 있다는 것이다. 즉 소프트웨어 내지는 하드웨어에 투자한 자원은 계속적으로 성능이 개선된 제품에 이용될 수 있다는 것이다. 소프트웨어만을 생각한다면, 동일한 프로세서 아키텍처를 사용하여 호환성을 유지하므로 소프트웨어에 투자된 자원을 인용할 수 있으며, 하드웨어 측면에서는 동일한 버스를 사용함으로써 인쇄기판회로를 계속적으로 사용할 수 있다. 행정전산망 주전산기의 경우에도 이러한 웨일리 개념은 당연히 도입되어야 이에 투자된 인적 물적자원을 장기간 사용할 수 있을 것이다.

소프트웨어의 경우 오브젝트 코드의 호환성을 유지하려면 동일 계열의 CPU 칩을 이용하여야 하며, 소스 코드 수준의 호환성을 위하여는 꼭 동일계열의 CPU 칩을 사용할 필요는 없다. 이는 운영 체제에 UNIX를 이용하므로 소스 프로그램만을 유지하면 응용 프로그램에 있어서는 어떤 CPU를 사용하는가 그다지 중요한 사항

이 아니기 때문이다. Sun Microsystems 사에서는 이러한 개념을 도입하여 과감히 68000 계열의 칩에서 독자적인 칩으로 프로세서 칩을 변경하고도 소프트웨어에 투자된 자원을 보전하는데 성공하고 있다. 행정망 주전산기의 경우에도 이러한 개념을 도입하여 다음 모델을 개발하는 방식이 하나의 대안으로 검토되고 있다.

4. CPU 칩의 자체 개발

행정전산망 주전산기 개발에는 사업목표가 제품개발에 우선을 두고 있으므로 새로운 아키텍처를 갖는 CPU 칩을 사용할 수 없다는 성격이었다. 그러나 CPU 칩을 외국업체에 의존하게 될 경우 국내에서 개발되는 모든 컴퓨터 제품의 성능의 상향선은 CPU 칩에 의해 결정되게 된다. 따라서 국제시장에서의 경쟁은 기술적 성능면에서의 경쟁이 아닌 가격경쟁에 의존하여야 한다. 우리나라는 국제시장에서 계속 흑자상태를 유지할 전망이나 미국이나 유럽공동체 국가들에 의한 국내시장 개방압력과 함께 자국에서 고지를 선점한 기술산업을 위협의 수단으로 사용할 가능성도 있으며 이를 위한 대응책의 하나로서 CPU 칩의 개발은 필요하다.

독자적인 CPU 개발을 위한 기초연구로 한국전자통신연구소에서는 64 비트 CPU인 M640 [12] CPU 칩의 개발에 참여한 경험이 있으며, 국내의 여건에 맞는 프로세서 구조로 HARP(High performance Architecture RISC type Processor) 라고 명명된 프로세서의 구조연구를 진행하고 있다. 국내의 여건에 맞는다는 것을 다시 정의하면 다음과 같은 것들이 있을 수 있다.

- 아키텍처에 있어 외국 메이커와 법적인 문제가 발생하지 않을 것.
- 전체 개발기간이 짧아 제품화의 기간을 단축할 수 있을 것.
- 한글의 특성을 살릴 수 있을 것.
- 동일한 아키텍처를 국내 여러 업체가 사용할 수 있을 것.
- 장기간(2000년대까지) 근본적인 아키텍처의 변경이 없어야 할 것.
- 기존의 상용 프로세서에 비해 성능이 우수할 것.

개발기간이 짧아야 한다는 것은 근본적으로 RISC 방식을 택하여야 한다는 것을 의미하며, 외국과의 법적인 문제가 발생하지 않으려면, 이미 개발 공개된 아키텍

츄어 허가를 얻은 후 사용하거나 독자적인 아키텍츄어를 개발하여 이를 국내에 공개된 아키텍츄어로 보급하는 방법이 있다. 또한 한글의 특성을 살리기 위해서는 한글의 기본단위인 16 비트 데이터를 처리할 명령어 등이 포함되어야 한다. 현재까지 정의된 HARP의 구조적 특징을 정리하면 다음과 같다.

- RISC 타입의 32 비트 프로세서
- 32개의 32 비트 범용 레지스터
- 3 개의 어드레싱 모드
- 48 비트의 가상 어드레스
- 4 스테이지 파이프라인
- 캐시, MMU 및 부동소수점 처리 유니트와의 별도 칩 사용
- Condition Code는 Carry만 사용

5. 결 론

본 고에서는 최근 프로세서의 동향을 소개하고 행정 전산망 주전산기의 CPU 칩 선정에 대한 배경을 설명하였다. 또한 한국전자통신연구소에서 개발하고 있는 HARP라는 프로세서 구조에 대해 간단히 언급하였다. 최근 CPU 개발동향은 호환성을 유지하고자 하는 측면에서는 기존 CISC 칩의 개선방향으로 노력하고 있고, 새로 컴퓨터 시장에 침투하려는 업체는 RISC 방식을 택하는 경향이 있다. 이는 소스 프로그램이 보편적으로 사용되며 RISC 칩 개발기간이 CISC 칩 개발기간보다 짧기 때문에 새로운 공정기술을 사용할 수 있다는 두 가지 측면으로 해석된다. 그러나 CISC 칩의 장점도 무시할 수 없으며 특히 실리콘 컴파일러 기술 등 CISC 개발기간을 단축할 수 있는 Tool과 회로 설계기술이 발달할 경

우 CISC 기술이 다시 각광을 받을 가능성도 있다는 것을 명심하여야 한다.

참 고 문 헌

1. David A. Patterson and Carlo H. Sequin, "A VLSI RISC," Computer, Sep. 1982, pp. 8-21.
2. George Radin, "The 801 Minicomputer," IBM Journal or Research and Development, Vol. 27, No. 3, May 1982, pp. 237-246.
3. A. Silbey, et. al, "A Survey of Advanced Microprocessors and HLL Computer Architectures," Computer, Aug. 1986. pp. 72-85.
4. Charles E. Gimarc and Veljko M. Milutinovic, "A Survey of RISC Processors and Computers of the Mid-1980s," Computer, Sep. 1987, pp. 59-69.
5. 임인철 외, Reduced Instruction Set Computer에 관한 연구, 한국전자통신연구소(최종 보고서), 1987. 3.
6. 임인철, "RISC 아키텍춰" 정보과학회지, 1987. 3. 5권 1호, pp. 12-21.
7. Ken Sakamura, "Architecture of the TRON VLSI CPU," Micro, Apr. 1987, pp. 17-31.
8. Sun Microsystems, A RISC Tutorial, 1987.
9. Brian Case, "32 bit Microprocessor Opens System Bottlenecks," Computer Design, Apr. 1987, pp. 79-86.
10. David A. Patterson, et. al., "Design Decisions in SPUR," Computer, Nov. 1986, pp. 8-22.
11. Mark Horowitz et. al., "MIPS-X: A 20-MIPS Peak, 32 bit Microprocessor with On-chip Cache," IEEE Journal of Solid State Circuits, Vol. SC-22, No. 5, Oct. 1987, pp. 790-799.
12. 한국전자통신연구소, 64 Bit Parallel Processing System 설계기술개발(중간보고서), 1986. 12.

