特輯 技術解說

Place and Routing

鄭 正 和
漢陽大學校 工科大學 電子工學科 副教授

Ⅰ. 서 론

반도체 집적회로는 기능의 향상뿐만 아니라 경제성을 추구하면서 발전되고 있다. 이는 제품의 life cycle이 점점 짧아짐을 의미하며 이에 대응하기 위해서는 설계에서부터 제조 공정에 이르기까지 그 turn-around 시간이 짧아야 한다.

이러한 요구를 만족시키는 생산 형태가 주문형 IC (custom IC) 또는 ASIC (application specific integrated circuit) 이며, 시간이 흐름에 따라 이것들이 반도체 산업분야에서 차지하는 비중은 커지고 있다. 이 IC는 제조 기간을 단축시키기 위해 기본 공정을 어는 정도 끝낸 상태이며, 더욱 컴퓨터에 의한 설계기술 (CAD 기술)에 대응시키기 위하여 설계방식 (design methodology)을 제한한 IC 이다.

본고에서는 위에 서술한 주문형 IC (또는 ASIC)의 핵심기술인 레이아웃 방식 및 그 알고리듬에 관하여 기술한다. 레이아웃 기술 또한 CAD 기술의 발전에 따라 그 방법이 다양하며 발표된 문헌도 많이 있으나 여기서는 이미 기술된 문헌[1]에 기술된 것은 제외하고 비교적 새로운 기술을 소개하기로 한다.

레이아웃 방식에서는 최근 실리콘 컴파일러를 비롯하여 빌딩 블록방식과 2 세대 게이트 어레이인 sea-of-gates의 실용화가 이루어지고 있다. 이중, sea-of-sates등에 관하여 기술하기로 한다.

배치 및 floor plan 알고리듬은 회로의 대규모화와 함께 그 알고리듬의 설정이 어려우며 최종 제품에 미치는 영향이 매우 크므로 이 알고리듬에 대한 소개는 중요하다 하겠다.

배선 알고리듬은 global 배선 및 detailed 배선 알고리듬에 관하여 취급하며 특히, global 배선 알고리듬 및 스위치 박스 배선 알고리듬에 관하여 서술하기로 한다.

Ⅱ. 레이아웃 설계방식

레이아웃 설계방식은 설계에 소요되는 노력과 시간 및 제작된 칩의 크기 또는 성능과 직접 관련되는 것으로 이들 사이의 trade-off에 의한 적절한 선택에 의해 칩이 설계된다. 현재 널리 사용되고 있는 레이아웃 방식은 크게 full-custom 방식과 semi-custom 방식으로 대별할 수 있다. Full-custom (완전 주문형) 방식의 레이아웃은 그래픽 시스템을 이용하여 설계자가 직접 칩을 설계하는 방식으로, 설계의 유연성 때문에 높은 직접율과 좋은 성능의 칩 설계가 가능하다는 장점과 함께 설계시간과 비용이 과다 하다는 단점이 있다. 반면에 semi-custom (반주문형) 방식의 레이아웃은 설계에서 제작에 소요되는 시간과 비용이 적으므로 소량 다품종을 요구하는 ASIC 설계에 많이 사용되고 있다.

본 고에서는 현재 반도체분야 중에서 가장 활발히 발전하고 있는 ASIC의 레이아웃 방식을 알아 본다. 레이아웃은 Ⅲ절 이후에서 설명될 여러 단계의 CAD 툴을 이용하여 행해지며 현재 널리 사용되고 있는 ASIC 레이아웃 방식은 크게 programmable array, 표준셀, 또는 빌딩 블록 방식으로 나눌 수 있다.[2]

Programmable array는 반복적인 1 차원 혹은 2 차원 배열에 특정 마스크에 의한 geometry를 삽입, 삭제 함으로써 칩의 특성이 결정되는 방식이다. 이 방식은 이미 많은 공정 단계를 마친 마스터 칩에 2 ~ 4 개의 마스크로써 칩을 완성할 수 있으므로 공정 비용이 감소하고 매우 빠른 turn-around 시간을 갖는다

는 장점이 있다. 이 방식의 예로는 게이트 어레이, PLA, ROM 등이 있다.

게이트 어레이는 표준셀 방식과 함께 현재까지 컴퓨터에 의한 설계 자동화가 이루어진 가장 일반적인 방식이며, 따라서 이의 설계를 위한 CAD 툴들도 가장 많이 발전되어 있다. 이 방식은 트랜지스터들이 규칙적으로 배열되어 있는 기본셀 영역과 이들 사이의 배선을 위한 채널 영역의 반복적인 구조를 갖는 마스터 칩 상에 신호선 연결을 위한 배선 패턴을 입힘으로써 특정한 회로기능을 부여하는 방식이다.

게이트 어레이는 빠른 turn-around 시간 때문에 소량 다품종의 ASIC 설계에 가장 많이 사용되고 있지만 레이아웃 설계방식중 가장 자유도가 낮고, 고정된 배선영역으로 인한 실리콘 면적의 낭비를 초래하기 때문에 이를 극복하기 위한 연구가 많이 진행되고 있다. 대표적인 몇가지만 살펴보면, test를 용이하게 하기 위해 scan design을 이용한 testable gate array,[3] ROM, RAM 등의 마크로 블록을 실현할 수 있는 게이트 어레이, programmable 게이트 어레이,[4] 채널영역을 따로 정의하지 않는 sea-of-gates[5] 등이 있다.

Sea-of-gates는 게이트 어레이와 같이 미리 트랜지스터들을 규칙적으로 배열하지만, 셀 영역과 배선영역의 구분이 없고, 임의로 셀영역과 배선영역을 정의할 수 있게 한 것으로 게이트 어레이의 단점인 칩 면적의 낭비를 크게 개선한 방식이다. 이 방식은 gate-isolation 기법을 사용하고 채널의 폭을 배선 요구에 따라 가변할 수 있음에 따라, 게이트 어레이의 장점을 그대로 유지하면서 집적도는 크게 증가시켜 (87년 현재 10K transistors/mm² 정도) 표준셀 방식과 비슷한 수준까지 칩 이용율을 향상시킬 수 있다.

Gate-isolation 기법은 트랜지스터를 이웃하는 트랜지스터와 분리시키는 방법으로 두 트랜지스터 사이에 있는 트랜지스터를 Vdd나 Vss와 연결하여 off 상태로 만드는 것이다. Gate-isolation 기법을 사용함으로써 얻는 장점은 트랜지스터의 집적도를 크게 증가시키고 복잡한 마크로 함수의 실현이 매우 용이하다는 점이다. 실질적으로 게이트 어레이는 지연시간 등의 문제로 인하여 10K 이상의 게이트 수를 갖는 회로를 실현하기 어려웠으나 sea-of-gates는 100K 게이트 이상의 회로까지 실현 가능하다. 또한 배선영역이 미리 정의되어 있지 않으므로 RAM, ROM 등의 마크로 블록도 쉽게 실현할 수 있으므로 그 응용범위가 매우 크다. 이러한 장점 때문에 sea-of-gates는 제2세대 게이트 어레이라고도 불리며, 이의 특성을 충분히 활용하는 레이아웃 CAD 툴 들이 계속 연구되고,[6] 3층 이상의 배선이 가능하게 됨에 따라 앞으로 ASIC의 주종으로써 그 활용이 크게 기대된다.

표준 셀 방식은 미리 설계된 셀들의 라이브러리를 이용하여 회로를 실현하는 방식이다. 게이트 어레이와 달리 모든 공정을 처음부터 해야하므로 게이트 어레이보다 칩 제작기간은 길지만 배치 및 배선이 칩 상의 임의의 위치에서 행해질 수 있기 때문에 집적도가 높고 100% 배선을 보장할 수 있다는 장점이 있다.

표준셀의 레이아웃은 사용하는 셀들의 크기에 따라 폴리 셀(poly-cell) 방식과 빌딩 블록(또는 macro-cell) 방식으로 구분된다. 폴리셀 방식은 전원을 공급하기 용이하도록 셀 들의 높이를 일정하게 제한한 것이고 빌딩 블록은 기억 회로나 ALU, 마이크로 프로세서 코아등 큰 블록들을 사용하는 방식이다. 빠른 반도체 기술의 발전에 따라 자동적으로 라이브러리를 생성해 주는 셀 제네레이터, 배선영역을 줄이기 위해 셀영역상의 배선을 허용하는 over-cell 배선,[7] 다층 배선[8] 등의 사용으로 더욱 집접도가 높고 성능이 우수한 칩의 설계가 가능하게 되었다. 표준셀 방식은 비교적 빠른 turn-around 시간과 높은 칩 이용율로 인하여 ASIC 분야에서 차지하는 비중이 점점 커지고 있다.

또한 급격히 증가하는 칩의 크기와 이에 따른 설계비용을 감당하기 위한 방법으로 PLD (programmable logic device)가 제안되었다.[9] PLD는 표준형 IC로써, 사용자가 직접 프로그램함으로써 회로를 설계할 수 있기 때문에 개발비용이 저렴하고 사용이 간편하여 최근 이에 대한 관심이 높아지고 있다. 또한, EPLD (erasable PLD)의 등장으로 설계의 변화에도 쉽게 대처할 수 있게 되었다. 앞으로 EPLD는 실리콘 컴파일러의 개념과 함께, 보다 규모가 큰 회로를 실현할 수 있는 새로운 아키텍처가 개발되면 매우 유망한 설계방식이 될 것으로 보인다.

한편 회로 크기가 점점 증가함에 따라 그 복잡도를 해결하는 방법으로써 계층적 설계방식이 널리 사용되고 있으며, 각 레이아웃 방식의 장단점을 서로 보완하기 위해 하나 이상의 레이아웃 방식을 결합하는 방법도 많이 제안되고 있다.[10]

Ⅲ. Floor Plan 및 배치 (placement) 설계

레이아웃 설계 단계에서는 전체 칩 면적의 최소화 (yield의 최대화), 총 배선장의 최소화, 신호선의 전

달 지연의 최소화를 목적 함수로 하여 모듈들의 배치(placement)와 배선(routing)을 행한다. 배치과정에서는 논리 합성단계에서 생성된 모듈들에 대하여 칩 면적을 최소화하고 100% 배선을 달성할 수 있도록 칩 영역내에서의 모듈의 위치를 정한다.

집적회로 설계의 초기단계에서의 계층 구조적 분할(hierarchical-partitioning)과 모듈들의 특성 (면적, aspectio, I/O pad의 배치순서 등)에 대한 결정은 최종 칩의 면적, 배선밀도, 전기적 performance, 총 배선장 등에 상당히 큰 영향을 미치게 된다. 더구나, 설계 초기단계에서의 결정은 레이아웃 과정이 완료되기 전까지는 그 결정이 과연 올바른가를 확신할 수 없기 때문에 더 더욱 문제는 어렵게 된다. 결과적으로 만족스러운 설계 결과를 얻기 위해서는 논리합성과 레이아웃 과정을 반복해야만 하는데 이로 인하여 재설계 시간과 설계비용의 증가를 초래한다. 따라서, 레이아웃을 고려하여 효과적으로 기능 모듈들을 분할하여 각 모듈들의 위치 및 그 밖의 특성들을 결정함으로써 재설계 시간 및 설계 비용의 감소를 얻을 수 있게 되는데, 이러한 과정을 floor-planning이라 한다.

Floor-planning은 VLSI 설계 과정중 레이아웃의 최종 결과에 막대한 영향을 주는 매우 중요한 문제 중의 하나이다. 일반적인 배치문제와 비교할 때 floor planning은 배치의 일반화한 형태라 할 수 있는데 두 문제는 모듈들이 차지하는 전체 칩 면적의 최소화를 목적 함수로 한다는 공통점이 있으나 배치문제는 각 모듈의 너비와 높이가 일정하지만 floor-planning에서는 주어진 범위내에서 임의의 너비와 높이를 가질 수 있다는 큰 차이점을 가지고 있다. 또한 floor-planning에서는 전체 시스템으로부터 분할된 기능 모듈에 대하여 top-down 방식의 계층구조적인 설계가 이루어진다는 점이다.

Floor-planning 및 배치에 사용되는 방법으로는 clustering, force-directed relaxation, rectangular dualization, simulated annealing, min-cut/slciing method 등이 있으며 다음과 같은 특성을 갖는다.

1. Clustering[11]

Clustering은 모듈간의 연결도를 고려하여 전체 회로를 몇개의 그룹으로 분할하여 배치하는 방법으로 각 그룹내에 속하는 모듈들은 서로 연결도가 높은 반면 다른 그룹에 속하는 모듈과의 연결도는 약하게 분할한다. 먼저 모듈간의 연결도를 계산하여 연결도가 가장 큰 모듈끼리 몇개의 그룹을 형성한 후 각 모듈과 그룹간의 연결도를 다시 계산하여 연결도가 가장 큰 그룹에 모듈을 포함시킨다. 이러한 과정을 반복하여 여러개의 모듈을 포함하는 macro 모듈을 얻을 수 있다.

형성된 macro 모듈들을 배치 알고리즘을 사용하여 배치 시킨후 각 macro 모듈내에 포함된 모듈들에 대해서도 같은 방법으로 recursive하게 모듈들을 배치시킨다.

Clustering을 사용하면 연결도가 큰 모듈들은 서로 인접한 부분에 위치하게 되므로 전체적으로 좋은 배치 결과를 얻을 수 있으며 계층구조를 이용하여 설계의 복잡도를 감소시킬 수 있다.

2. Force-directed Relaxation[12]

Hook의 법칙, $F=k\times x$에 근거를 둔 force-directed relaxation 방법은 두 모듈간의 연결도(k)에 두 모듈간의 거리(x)를 곱한 것과 같은 인력(attractive force) F가 두 모듈 사이에 존재한다고 생각하고 모든 모듈간에 작용하는 힘의 전체 총합이 최소가 되도록 모듈들을 이동시켜서, 최종적으로 각 모듈간에 작용하는 전체 힘의 평행상태가 되는 배치를 얻는 방법이다.

Force-directed relaxation 방법은 모듈의 크기는 무시하고, 무게중심의 위치만을 고려하므로 이 방법에 의한 결과는 모듈들이 서로 겹쳐 나타날 수 있으므로 모듈간의 overlap을 방지하거나 overlap을 제거하는 절차가 필요하다. 또한 overlap을 제거한 후 area-efficient한 레이아웃 결과를 얻기 위해서는 compaction 시키는 과정이 따라야 한다.

3. Rectangular Dualization[13]

Retangular dualization은 각 모듈을 노드로, 모듈간의 연결을 에지로 표현한 original 그래프에 대하여 rectangular dual 그래프들을 구한 다음 모든 모듈을 포함하는 boundary dimension과 총배선장의 최소화와 같은 목적 함수에 최적인 해를 구하는 방법이다.

Rectangular dual 그래프는 original 그래프가 평면 그래프 일때만 존재하므로 original 그래프가 평면 그래프가 아닐 경우는 wiring macro를 삽입하여 평면 그래프로 변형시킨 후 rectangular dualization 방법을 사용한다.

Rectangular dual 방법의 단점은 original 그래프에 대하여 주어진 제한조건을 만족하는 rectangular dual 그래프가 존재하지 않을 수도 있다는 점과 original 그래프에 대한 rectangular dual 그래프가 여러개 존

재할 경우 최적해를 구하기 위해서는 모든 rectangular dual 그래프에 대한 목적함수를 평가해야 한다는 점이다.

또한, original 그래프가 평면 그래프가 아닐 경우 삽입시킨 wiring macro는 rectangular dual 그래프에서의 배치 문제를 복잡하게 만든다.

4. Simulated Annealing[14, 15]

Kirkpatrick등에 의해 제안된 simulated annealing 방법은 열평형 상태에서의 원자의 운동과 같은 통계역학적인 문제를 floor-planning이나 배치와 같은 combinatorial optimization 문제에 적용시키는 방법이다. 온도T에서 평형상태에 있는 시스템에 임의의 변이(random displacement)를 가하면 시스템에는 ΔE의 에너지 변화가 생긴다. 이때 $\triangle E < 0$ 이면 안정한 상태로 천이하므로 변이를 수용하고, $\triangle E < 0$인 경우라 할지라도 0과 1사이의 random number를 발생시켜 $P(\triangle E) = \exp(-\triangle E/kT)$와 비교하여 random number가 더 작을 경우에는 변이를 수용한다. 이와 같은 과정을 새로 수용한 변이를 시작점으로 하여 여러번 반복한 후, 다시 온도T를 낮추고 이상의 과정을 계속 반복 함으로써 최종해를 얻는다.

Simulated annealing은 휴리스틱 방법을 사용할 경우에 발생할 수 있는 local optimum 상태로부터 벗어나 globally optimum 해를 구할 수 있다. 그러나, simulated annealing은 실행시간이 과다하다는 단점이 있으므로 multi-processor를 이용한 hardware적인 접근방식에 대한 연구가 많이 진행되고 있다.

5. Min-cut/Slicing[16, 17]

Min-cut/slicing 방법은 분할되는 두 그룹을 연결하는 신호선 수의 최소화를 목적 함수로 하여 반복적으로 분할해 나가는 방법이다. 분할하기 전 전체 회로를 회로내의 모든 모듈을 포함하는 하나의 사각형으로 표현한 후, 분할될 때마다 slice line을 사용하여 분할된 그룹내의 모듈들을 포함하는 사각형 들로 분리시킨다. 이때 slice line의 위치는 분할된 그룹내의 모듈들의 면적에 의해서 결정된다. Min-cut에 의한 분할방법은 두 그룹간에 연결되는 신호선 수를 최소화하므로 레이아웃 단계에서 배선영역을 지나는 신호선의 최대 밀도를 최소화하여 배선으로 인한 혼잡을 피하고 배선밀도의 균일화를 달성할 수 있다. 또한, slicing 개념을 사용하면 모듈들의 배치가 끝난 상태에서 slice line과 배선 채널이 항상 일치하므로 global 배선 단계에서 배선 채널의 계산이 쉽고 detailed 배선시 채널 ordering 문제에서 항상 cycle이 발생하지 않으므로 채널 배선을 더욱 용이하게 한다.

Ⅳ. 배선(routing) 설계

일반적으로 배선 설계는 배치가 종료된 후 수행되며, global 배선과 detailed 배선으로 나뉘어 수행된다.

1. Global 배선

Global 배선설계는 배치설계를 토대로 하여 detailed 배선설계 단계에서 효과적으로 100% 배선을 완성할 수 있도록 배치설계와 detailed 배선설계를 연결해주는 레이아웃 설계의 중요한 부분이다. 레이아웃 방식에 따라 다음과 같이 구분하여 설명한다.

1) 게이트 어레이 global 배선설계 방법

게이트 어레이는 채널영역이 고정되어 있으므로 칩 상의 어느 특정 채널영역에서 overflow가 없이 100% detailed 배선이 가능하게 하는 것이 중요하다. 또한 셀 row를 지날 수 있는 feedthrough 수가 제한되어 있으므로, 총배선장의 최소화를 기하며 효과적으로 feedthrough를 할당하는 문제가 가장 중요한 목적 함수가 된다. 이 문제를 해결하기 위하여 integer programming,[18] simulated annealing,[19] hierarchical decomposition,[20] constructive method[21] 등이 발표되었다.

2) 표준셀의 global 배선설계 방법[22]

표준 셀방법은 게이트 어레이 방법과 비슷하나, 셀의 길이가 다르고 제한된 수의 마크로 블록들이 배치되며, 채널영역이 고정되어 있지 않은 것이 다른 점이다. 각 신호선의 가상 경로를 결정하기 위해서 신호선이 모든 채널영역에 고르게 분포되도록 채널영역을 할당하고 배선장의 최소화를 기하면서 feedthrough를 할당하여 전체 칩 면적이 증가하는 것을 억제함이 가장 중요한 요인이 된다.

3) 빌딩 블록의 global 배선설계 방법[23]

빌딩 블록 방식은 셀 크기가 가변이기 때문에 게이트 어레이 방법이나 표준셀 방법에 비해 상당히 다르다.

빌딩 블록의 배치가 끝난 상태에서는 배선 영역이 정해져 있지 않기 때문에, 신호선의 경로를 예측하여 신호선의 분포가 고르게 되도록 배선 영역을 할당하는 것이 칩 면적의 감소를 위해 중요한 문제이다.

신호선이 전체 칩에 고르게 분포되도록 확률적인 이론과 그래프 이론을 적용하여 배선영역의 크기를 계산하여 배선영역을 할당하게 된다. 배선영역이 할당되면 각 신호선의 가상 경로를 결정하는 단계에서

주어진 배선 밀도내에서 등전위 핀을 잇는 steiner tree 또는 spanning tree 형태의 경로를 탐색한다.

2. Detailed 배선

Detailed 배선은 실제 신호선의 경로를 설정하여 연결하는 단계로써 레이아웃 방식이 다양해짐에 따라 여러가지 배선 방법들이 발표되었다. 본 고에서는 최근에 발표된 대표적인 배선 시스템중 스위치 박스 배선을 중심으로, 현재 비교적 활발히 연구되고 있는 방법들에 대해서 설명한다.

1) Greedy 스위치 박스 배선법[24]

Greedy 스위치 박스 배선법은 Rivest와 Fiduccia[25]에 의해 제안된 Greedy 채널 배선법을 확장하여 개발된 것으로 신호선의 병합과 분할, jog의 삽입을 행하는 2가지 동작에 기본을 둔 배선 알고리듬이다.

Greedy 방법은 배선 요구로부터 현재의 위치에서 신호선이 연결되어야 하는 방향에 의해 신호선을 분류하고 신호선의 종류에 따라 신호선 병합과 신호선 분리에 의해 우측으로 진행하면서 등전위 점을 연결한다. 이때, 우측 경계에 연결될 신호선들이 고정된 위치에 있다는 점을 고려하면서 각 column에서 병합과 jog에 의해 연결하는 방법이다.

2) MIGHTY[26]

MIGHTY는 기본적으로 maze 알고리듬을 사용하여 배선을 행한 후, 기존의 신호선이나 장애물에 의해 배선이 불가능한 경우에는 우회하여 배선하는 소극적인 방법을 피하고 적극적으로 대처하는 modification과 rip-up 기법을 사용하였다.

Modification 단계는 좀더 짧은 경로를 탐색하거나, 장애물에 의해 미결선된 신호선을 위해 이미 배선된 신호선의 일부를 재배선하는 과정이며, rip-up 단계는 미결선된 신호선을 위해 이미 배선된 신호선의 일부 또는 전부를 제거한 후 배선을 하는 과정이다.

배선 알고리듬은 최단 경로를 찾는 path finder, path finder에 의해 탐색된 경로를 연결하는 path former, 신호선의 경로를 수정하기 위한 weak modifier, strong modifier의 4부분으로 구성된다. 또한, via수를 줄이기 위해 via 최소화 단계를 거쳐 최종배선의 결과를 얻는다.

3) WEAVER (knowledge based channel/switchbox router)[27]

일반적으로 배선 문제에서 만족해야 하는 목적함수로는 100% 배선율, 최소 배선장, 최소 배선영역, 최소 via 수 등을 들 수 있으나 이러한 목적함수간에는 서로 상반되는 관계가 존재하므로 기존의 알고리드믹 방법으로는 이러한 조건들을 동시에 만족 하는 배선 알고리듬을 설계하는 것이 매우 어렵다. 또한, 기존의 배선 알고리듬은 대부분 동일한 과정을 반복하는 기능을 수행하므로 배선 설계에서 전문가의 지식이 필요하게 되었다. 따라서, 전문가의 지식을 배선 문제를 해결하기 위한 배선법에 첨가시킴으로써 효율적인 배선 결과를 얻기 위한 연구가 계속되었다.

Carnegie Mellon 대학에서 개발된 WEAVER는 이러한 점에 착안하여 제안된 배선법으로서 임의의 모양을 갖는 채널에서의 배선과 스위치 박스 배선에 사용 가능하고, 배선이 진행되는 과정에서 사용자와의 상호작용에 의해 배선 결과를 제어할 수 있는 특징을 가지며, OPS5 언어를 사용하여 설계되었다.

WEAVER의 구조는 크게 blackboard 부분과 expert 부분으로 구성된다. Blackboard는 배선이 진행되는 과정에서 배선 상태와 배선에서 필요한 데이타를 저장하는 기능을 가지며, HEARSAY Ⅱ 구조로 구성되어 있다. Expert는 여러가지 목적 함수를 만족시키기 위해서 각각의 목적 함수에 민감한 11개의 expert들로 구성되며, 배선 문제를 해결하기 위해 약 700개의 rule을 적용한다.

WEAVER는 기존의 배선법에서 미결선됨으로써 수작업에 의해 배선되는 배선 문제도 100% 배선이 가능하며 배선 결과면에서도 우수한 반면, 배선문제를 해결하기 위해 각각의 expert들이 rule을 적용하여 배선 패턴을 결정하므로 알고리드믹 방법에 비해 과다한 시간이 소요되는 단점이 있다.

4) AGREE[28]

AGREE는 수평 트랙에는 메탈층을, 수직 트랙에는 폴리실리콘 층을 사용하여 배선하는 종래의 방법에 유연성을 두어 수평 트랙에도 폴리실리콘 층을 사용하여 배선할 수 있는 방법을 제안하여 좋은 결과를 얻고 있다. 기본적으로 사용한 배선법은 Greedy[24] 알고리듬이며 이것은 경우에 따라 좋은 해를 얻을 수 있는 종래의 알고리듬 개념을 일반적인 문제에 적용할 수 있도록 확장을 가하고 있다. 이 배선법은 앞으로 computing power의 발전에 따라 그 효율성이 향상될 것으로 기대된다.

5) Gridless 배선법

격자(grid)를 기본으로 하는 배선법은 신호선들이 설계규칙에 의해 미리 정해진 격자상을 지나도록 함으로써 신호선에 사용되는 층들의 설계 규칙이 각각

다른 경우에는 적용할 수 없으며, 신호선들의 폭이 각각 다른 경우에는 최대 폭을 갖는 신호선간의 거리로서 격자의 크기가 결정되므로 배선영역이 커지는 단점이 있다.

이러한 문제점들을 해소하기 위하여 설계된 gridless 배선법은 신호선이 격자상을 지나야 한다는 제약 조건을 해소하여 여러가지 공정기술과 설계규칙에 적용 가능하다.

Gridless채널 배선[29]은 채널에서의 배선요구와 각 신호선의 폭 및 신호선 간의 거리를 나타내는 설계규칙 등을 이용하여 채널에서의 웨이트 제한 그래프를 구성한다. 이때, 방향성 그래프의 에지에 부여된 웨이트는 각 신호선의 중심간의 거리로 표현된다. 구성된 채널 그래프로부터 채널의 상부에서 하부에 이르는 최장 경로를 탐색하여 이 경로의 길이로 채널의 폭을 결정하고 결정된 폭내에서 신호선을 할당한다.

V. 결 론

주문형 IC(ASIC)에 대한 레이아웃 방식 및 그 알고리듬의 신기술을 중심으로 기술하였다.

레이아웃 설계기술을 포함하여 설계기술 그 자체가 인간에게 알맞는 작업이며, 더욱 유한적 컴퓨터 능력 때문에 설계 자동화(design automation)는 매우 어려운 문제이다. 이것은 회로 설계에 대한 CAD 기술의 한계를 의미하며 이 한계를 타파하기 위하여 다방면으로 그 방법이 연구되고 있다. 소프트웨어 한계를 넘기 위해 인공지능(AI) 기술의 적용이 시도되고 있으나 AI기술 자체도 그 개념이 정립되지 않는 현 상태에서 그 응용은 더욱 어려운 처지이다. 하드웨어 기술의 한계를 극복하는 새로운 시도로서는 사용자에 의해 직접 프로그램하여 짧은 시간에 설계하여 사용할 수 있는 설계방식, 예를들어 EPLD, logic cell (Xilinix사) 등이 출현되어 사용되고 있다.

따라서, 이 분야의 기술은 위에 열거한 방향으로 당분간 기술 진보를 추구하게 될 것이며, 새로운 실리콘 아키텍춰 기술의 출현을 바라보고 있다.

參 考 文 獻

[1] 정정화, "CAD기술의 현황과 동향 -레이아웃-," 전자공학회 잡지 제11권, 제4호, pp. 25-30, 1984. 10.

[2] R. Newton, A. Sangiovanni-vincentelli, "CAD Tools for ASIC Design," *Proc. IEEE*, vol. 75, no. 6, Jun. 1987.

[3] M. Kawasama, et. al., "An 18K 1μm CMOS Gate Array with Testablility Structure," CICC, pp. 52-56, 1987.

[4] H. Hies, et. al., "A Second Generation User Programmable Gate Array," CICC, pp. 515-521, 1987.

[5] M. Beunder, J. Kernhof, and B. Hoefflinger, "The CMOS Gate Forest: An efficient and flexible high-performance ASIC design environment," *IEEE J. of Solid-State Circuits*, vol. 23, no. 2, April, 1988.

[6] R. Tsay, E. Kuh, and C. Hsu, "PROUD: A sea-of-gates placement algorithm," *IEEE Design & Test of Computers*, pp. 44-56, Dec. 1988.

[7] J. Cong, "Over-the -cell Channel Routing," ICCAD, pp. 80-83, 1988.

[8] R.I. Greenberg, et. al., "Mulch: A Multi-layer Channel Router Using One, Two, and Three Layer Partitioning," ICCAD, pp. 88-91, 1988.

[9] Data Book, Altera Corp., 1987.

[10] R. Homung, M. Bonneau, and B. Waymel, "A Versatile VLSI Design System for Combining Gate Array and Standard Cell Circuits on the Same Chip," CICC, pp. 245-247, 1987.

[11] D.M. Schuler and E.G. Ulrich, "Clustering and Linear Placement," Proc. of 9th D.A. Conf., pp. 50-56, June 1972.

[12] N.R. Quinn, Jr., and M.A. Breuer, "A force directed component placement procedure for printed circuit board," *IEEE Trans. Circuit Syst.*, vol. CAS-26, pp. 377-388, June 1979.

[13] K. Maling, S.H. Mueller, and W.R. Heller, "On Finding Most Optimal Rectangular Package Plans," Proc. of 19th D.A. Conf., pp. 663-670, June 1982.

[14] S. Kirkpatrick, C.D. Gelatt, Jr. and M.P. Vecchi, "Optimization by simulated annealing," Science, vol. 220, pp. 671-680, May 1983.

[15] C. Sechen and A. Sangiovanni-Vincentelli, "The timberwolf placement and routing package," *IEEE Journal solid-state Circuit*, vol. SC-20, no. 2, pp. 510-522, April 1985.

[16] D.P. Lapotin and S.W. Director, "Mason: A global floorplanning tool," Proc. ICCAD,

pp. 143-145, 1985.

[17] 류광기, 강병익, 이건배, 정정화, "Min-cut/slice 방식을 이용한 floorplanner," 대한전자공학회 반도체·재료 및 부품연구회, 씨에이디 연구회 합동학술발표회 논문집, vol. 6, no. 1, pp. 224-227, 1988.

[18] R.M. Karp, R.L. Leighton, R. Rivest, C.D. Thompson, U. Vazirani and V. Vazirani, "Global Wire Routing in Two Dimensional Array," Ann. Symp. on Foundations of Comp. Sci., 24, pp. 453-459, 1983.

[19] S. Kirkpatrick, C.D. Gelatt Jr., and M.P. Vecchi, "Optimization by simulated annealing," Science, 220, pp. 671-680, 1983.

[20] M. Burstein and R. Pelavin, "Hierarchical wire routing," *IEEE Trans. on Computer-Aided Design*, CAD-2, pp. 223-234, 1983.

[21] J.T. Li, and M. Marek-Sadowska, "Global routing for gate array," *IEEE Trans. on Computer-Aided Design*, vol. CAD-3, pp. 298-307 1984.

[22] K.J. Supowit, "Reducing Channel Density in Standard Cell Layout," Proc. 20th Design Automation Conf., pp. 263-269, 1983.

[23] Chen N.P., Hsu C.P., Kuh E.S., Chen C.C. and Takahashi M., "BBL: A building block layout system for custom chip design," Proc. ICCAD, pp. 40-41, 1883.

[24] W.K. Luk, "A greedy switch-box router," INTEGRATION, VLSI Journal 3, pp. 129-149, 1985.

[25] R.L. Rivest and C.M. Fuccida, "A Greedy Channel Router," Proc. 19th Design Automation Conf., pp. 418-424, 1982.

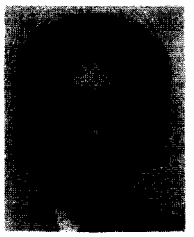
[26] H. Shin and A. Sangiovanni-Vincentelli, "MIGHTY: A 'Rip-Up and Deroute' Detailed Douter," ICCAD, pp. 2-5, 1986.

[27] R. Joobbani and D.P. Siewiorek, "Weaver: A Knowledge-based Routing Expert," Proc. 22nd Design Automation Conf., pp. 266-272, 1985.

[28] 이철동, 정정화, "Poly-jog를 사용한 그리드스위치 박스 배선기," 정보과학회 가을 학술발표 논문집, 제15권 제2호, pp. 469-472, 1988. 10.

[29] H.H. Chen and E.S. Kuh, "Glitter: A gridless variable-width channel router," *IEEE Tran. on CAD*, vol. CAD-5, no. 4, Oct. 1986.

筆 者 紹 介



鄭 正 和(正會員)

1950年 3月 10日生

1975年 2月 한양대학교 전자공학과 졸업

1981年 3月 일본 와세다 대학교 전자공학과 박사학위 취득

1981年 일본 NEC(주) 중앙연구소 연구원

KIET 위촉 선임 연구원

University of California, Berkeley 교환교수

1981年~현재 한양대학교 전자공학과 부교수

관심분야 : VLSI CAD, 특히 레이아웃 및 HDL 등