

## Timing Simulation

李 起 俊

忠南大學校 工科學科 電子工學科 助教授

### I. 서 론

1960년대 중반이후부터 오늘날까지, 그 연구와 개발이 계속 진행되고 있는 전기시뮬레이션(electrical simulation) 분야는 전자회로의 설계 및 검증 과정에서 중요한 위치를 차지하고 있다. 특히, VLSI 시대에 접어들면서 전자회로의 집적도와 복잡성을 효과적으로 처리, 해석하기 위하여서는 여러 종류의 다양한 전기 시뮬레이터들을 포함한 CAD 장비의 사용만이 유일한 해결책이다. 여기서 전기 시뮬레이션이라 함은 주어진 전자 회로의 전기적 동작특성을 컴퓨터에 의하여 효과적으로 해석하는 것을 의미하며, 전기 시뮬레이터는 전기 시뮬레이션에 의한 회로 해석 프로그램을 의미한다.

전기 시뮬레이터들은 사용된 컴퓨터의 계산능력과 정보처리능력에 의하여 제한을 받으며, 다음의 요소들에 의하여 여러 종류로 나뉘어진다. 전기 시뮬레이터들의 성능을 결정하는 요소들로는 (1) 해석할 수 있는 회로망의 형태와 크기, (2) 해석결과의 정확도와 신뢰도, (3) 계산속도와 필요한 저장용량, (4) 내장된 반도체 소자모델, (5) 입·출력의 형태 및 자료구조 등이 있다. 이 중에서 가장 중요한 것은 계산 속도와 해의 정확도이다. 그러나, 이 두가지 요소는 서로 상반되는 관계를 가지고 있다. 즉, 계산 속도를 빠르게 하면 해의 정확도가 떨어지고, 반대로 해의 정확도를 높이면 많은 계산시간이 요구된다. 따라서, 회로 설계자는 목적에 맞는 적당한 회로 해석 프로그램을 선택 사용하여야 한다.

전기 시뮬레이터들의 종류로는 논리 시뮬레이터(logic simulator)와 회로 시뮬레이터(circuit simulator)가 대표적인 표준형 전기 시뮬레이터들이다. 그러나,

최근의 전기 시뮬레이션 분야는 반도체 제작 기술의 발달과 더불어 여러가지 다양한 전자 회로망의 출현으로 인하여 이에 부응하는 새로운 방법을 필요로 하게 되었다. 새로이 제안된 방법들에 의하여 개발된 전기 시뮬레이터들은 behavioural simulator, functional simulator, switch level simulator, timing simulator, mixed-mode simulator, multi-level simulator, fault simulator, timing verifier 등이 있다.

본 논문에서는, 상기의 여러 전기 시뮬레이터들 중에서 timing simulator에 대해서 논한다. 먼저, 기존의 표준형 시뮬레이터들인 논리 시뮬레이터와 회로 시뮬레이터에 대하여 간단히 설명한다. 다음으로, timing simulator의 개괄적인 개념, 회로분할 및 여러가지 해석기법들을 소개한다. 끝으로, 전기 시뮬레이션 분야의 향후 발전 추세에 관하여 간단히 언급한다.

### II. 논리 시뮬레이션과 회로 시뮬레이션

초기의 전기 시뮬레이션의 분야는 두가지 형태에서부터 출발·발전 하였다. 그 하나는 논리 시뮬레이션(logic simulation)으로 논리 게이트들로 구성된 논리 회로의 해석을 목적으로 하며, LOGIS, TEGAS-HILO 등이 그 예이다. 논리 시뮬레이션에 의하여서는 대규모 논리 회로의 시간해석을 빠른 시간에 처리할 수 있으나, 해석할 수 있는 회로의 형태가 논리 회로로 국한되어 있고 해석결과는 논리 신호로 표시되며 지연시간과 같은 전기 변수들의 계산이 생략되어 있다. 이에 반하여 능동 회로망의 해석을 목적으로 개발된 회로 시뮬레이션(circuit simulation)은 여러가지 다양한 전자 회로망의 전기적 동작 특성을

비교적 정확하게 구할 수 있으나, 과도한 계산시간이 요구되며 대규모 회로의 해석에는 부적당하다. 회로 시뮬레이터의 예로는 SPICE, ECAP, ASTAP, ADVICE 등이 있다.

일반적으로, 논리시뮬레이터는 십만개 정도의 논리게이트로 구성되는 대규모 논리회로의 논리해석을 수행할 수 있으며, 그 계산속도는 회로 시뮬레이터에 비하여 100배 이상 빠르다. 또한, 회로 시뮬레이터는 100개 이하의 (반도체) 회로소자들을 포함하는 능동회로망의 DC 해석, 시간해석(transient analysis), 주파수 해석, 잡음 해석등을 정확하게 수행한다(5% 이내의 해석 오차).<sup>[1][4][5]</sup> 이제, 회로의 크기를  $n$ 이라 할 때, 논리 시뮬레이터는  $n$ 에 비례하는 이론적 계산 속도를 가지며 회로 시뮬레이터는  $n^3$ 에 비례하는 이론적 계산 속도를 가진다

논리 시뮬레이션에서 사용하고 있는 대표적인 해석 기법들을 살펴보면 다음과 같다.

- (1) Symbolic signal state(1, 0, X, H)
- (2) Repetitive MACRO definition
- (3) Event-driven method
- (4) Selective-trace method
- (5) Event-scheduling by time wheel structure
- (6) Table look-up

또한, 회로 시뮬레이션에서 사용하고 있는 해석 기법들은 다음과 같다.

- (1) (Modified) Nodal approach
- (2) Companion model approach
- (3) Newton-Raphson linearization
- (4) Numerical integration
- (5) LU decomposition
- (6) Sparse matrix technique
- (7) Time-step control by the local truncation error
- (8) Detailed and accurate semiconductor device model

회로 시뮬레이션에서는 가능한한 신뢰도가 높고 결과와 정확한 해석 기법들을 선택, 사용하고 있으며, 논리 시뮬레이션에서는 계산시간의 감소나 처리능력의 확대를 위하여 사용되는 기법의 단순화 및 근사화, sparsity의 효과적인 고려에 중점을 둔다.

### III. Timing Simulation

VLSI 시대에 접어들면서, 회로의 집적도와 복잡성에 있어서의 놀라운 증가는 새로운 형태의 전기 시뮬

레이션 방법을 필요로 하게 되었다. 특히, 대규모 집적 MOS논리 회로망의 제작과 사용이 일반화됨에 따라, 기존의 논리 시뮬레이터나 회로 시뮬레이터로서는 회로 설계자의 요구를 만족시킬 수가 없게 되었다. 즉, 논리 시뮬레이션에 의하여서는 처리할 수 있는 회로의 크기나 계산시간의 관점에서는 만족이 되나, 회로 설계자가 요구하는 MOSFET의 크기나 연결 구조에 따른 정확한 전기적 동작특성을 제공할 수 없다. 반면에, 회로 시뮬레이션에 의하여서는 논리 시뮬레이션과는 반대의 현상이 나타난다. 이에 따라, 대규모 MOS논리회로의 해석에 적합한 새로운 형태의 전기 시뮬레이션, 즉 timing simulation의 개발이 필요하다. Timing simulation에서는 MOS 논리 회로망이 가지고 있는 여러 특성들을 고려하여 기존의 논리 시뮬레이션과 회로 시뮬레이션에서 사용된 여러 가지 해석기법들을 선택 조합하고 있다.

앞에서 언급한 바와 같이 같이, timing simulation이란 대규모 MOS 논리 회로의 시간해석을 그 목적으로 한다. 따라서, timing simulation을 이해 하려면 대규모 MOS 논리 회로가 가지고 있는 특징을 살펴 보아야 한다.<sup>[28]</sup>

(1) MOSFET는 입력(gate)과 출력(drain과 source 단자)이 capacitor에 의하여 연결된다.

(2) 대규모 논리 회로는 같은 형태의 소규모 부회로들의 반복 조합으로 구성된다.

(3) 하나의 부회로 출력 단자로부터 연결된 fan-out 소자들의 수는 대개 10개 미만이다.

(4) 회로의 동작시, 천이상태에 있는 부회로들은 일부분이며, 대부분의 부회로들은 DC정상 상태를 유지하고 있다.

상기의 특징들 중에서, (1)은 MOS 회로가 DC 정상 상태에서 여러 개의 부회로로 분할이 가능하다는 것을 나타내며, (2)번은 입력구조와 자료구조의 반복성 및 단순화 가능성을 내포한다. 또한,(3)번은 structural sparsity를 의미하며,(4)번은 temporal sparsity를 의미한다.

대규모 MOS 논리회로가 가지고 있는 특징들을 고려해 볼때, timing simulation에서는 다음의 중요한 두 가지 해석기법들을 가지고 있어야 한다.

- (1) 회로의 분할
- (2) 분할된 부회로의 해석

즉, timing simulation에서는 회로의 분할을 수행함으로써 structural sparsity와 temporal sparsity를 효과적으로 고려하는 논리 시뮬레이션의 알고리즘들

을 채택·적용할 수 있으며, 또한 분할된 부회로의 해석에는 회로 시뮬레이션의 해석방식들을 적용하여 정확하고, 안정된 해석결과를 얻을 수 있다. 따라서 timing simulation에서는 논리 시뮬레이션이 가지고 있는 빠른 계산속도의 장점과 회로 시뮬레이션이 가지고 있는 정확성 및 안정성의 장점을 동시에 얻을 수 있다.

현재, 개발되어 사용되고 있는 timing simulator들의 종류로는 SPLICE,<sup>[6]</sup> MOTIS,<sup>[7][8]</sup> RELAX<sup>[21][22]</sup> RSIM, MOSIM<sup>[4][15]</sup> 등이 있다. 이들은 1000~10000 개 정도의 MOSFET로 구성된 논리 회로를 비교적 정확하게 시간해석을 수행하며(10% 이상의 오차), 회로 시뮬레이터에 비하여 10~100배 정도의 빠른 계산 속도를 보인다. 이론적 계산 속도는 회로의 크기 n에 비례한다.<sup>[22][23]</sup>

1. 회로의 분할

주어진 대규모 회로를 여러 개의 소규모 회로로 분할하는데 있어서 중요한 것은 분할된 부회로들 사이의 독립성을 유지하는 것이다. 만약, 분할된 부회로들 사이에 독립성이 깨어진다면 분할의 효과는 반감되며, 분할된 부회로 사이의 관계를 보상하는 해석 과정이 추가되어야 한다.

초기의 timing simulation에서는 각각의 노우드를 하나의 부회로로 간주하는 강제 분할이 행하여졌다. 그러나, 노우드 중심의 회로 분할은 floating 소자와 같이 노우드 사이에 coupling이 강한 소자들이 연결되어 있는 경우에는 분할된 부회로들사이의 강한 전기적 결합때문에 해석상의 수렴과 안정에 있어서 문제점이 발생한다. 이를 보상하기 위하여, 반복해석을 수행하나 이 경우에는 계산시간의 증가가 일어나므로, 결국 분할에 따른 잇점이 없어지게 된다.<sup>[25][31]</sup>

대규모 회로의 분할은 각각의 분할된 부회로가 (1) 50개 이하의 회로 소자들을 포함하고, (2) 전기적 독립성을 유지하며, (3) 독립된 논리 기능을 가지도록 하는 것이 바람직하다. 회로 분할은 근본적으로 NP-complete 문제이며, 아직까지 효과적인 분할 방식이 제시되지 않고 있다. 따라서, 회로 설계자는 해석하고자 하는 회로의 특성에 따라 경험에 의한 회로 분할을 선행한 후, timing simulator를 사용하는 것이 바람직하다.

본 논문에서는 현재 널리 사용되고 있는 회로분할 방식으로 DC 정상 상태에서 회로 분할을 수행하는 방식을 소개한다.

주어진 MOS 논리 회로를 DC 정상 상태에서 고려하면 모든 capacitor 성분들은 개방 상태가 되고,

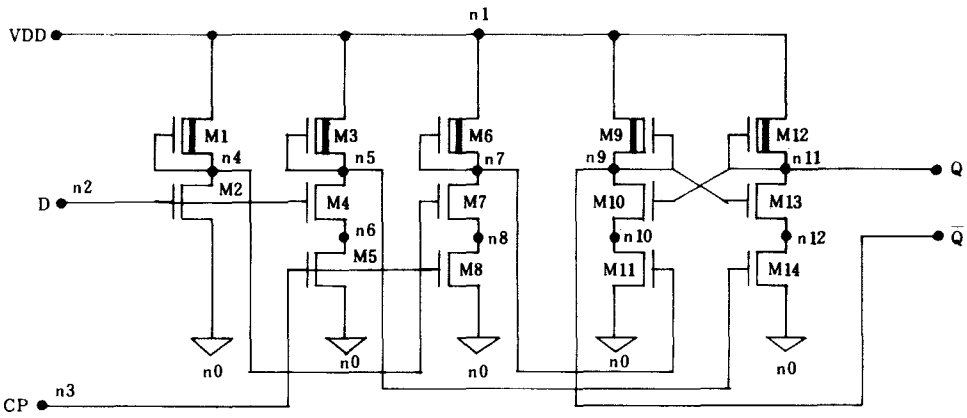
MOSFET는 입력(gate)과 출력(drain and source)이 분리된다. 이 경우, DC 정상 상태에서의 MOS 회로는 전압전원, 신호노드, 접지, 그리고 MOSFET의 drain과 source를 연결하는 저항 성분만으로 구성된다. 여기서, 전압 전원과 접지를 vertex 분리하면, 원래의 MOS 회로는 여러 개의 부회로 즉 DC-connected block(DCB)들로 분할이 된다. DCB들은 DC 정상 상태에서 전압 전원과 접지만을 공통으로 소유하고 있으며, DCB 사이의 연결은 단지 커패시터에 의하여서만 이루어진다. 즉, DCB 사이의 DC 정상 상태에서의 전기적 독립성이 유지된다. 이제, 대부분의 논리 신호가 "1" 또는 "0"에 해당하는 일련의 DC 상태로서 표현이 되며, 천이 시간은 전체 해석시간의 일부분인 점을 고려하면, DCB의 전기적 독립성은 논리 신호를 첨가하여도 여전히 유지가 된다.

주어진 MOS 회로가 여러 개의 부회로들로 분할된 후에는 해석순서의 결정이 필요하다. 분할된 부회로들의 해석순서는 신호의 전달 방향에 따라서 결정하는 것이 바람직하다. 입력단자에서부터 출발하여, 각각의 부회로들의 입·출력 연결상태에 따라 차례로 순서를 정한다. 부회로들의 해석순서를 결정하는 과정에서 케환루프가 발견되면, 그 케환루프에 포함되는 부회로들 사이에는 강한 신호결합이 있는 것을 의미하므로 케환 루프에 포함되는 모든 부회로들을 하나의 부회로로 재결합하여야 한다. 이와같이 재결합된 회로를 strongly connected circuit(SCC)라고 부른다. SCC는 전기적으로 강하게 연결된 부회로로서 한번에 해석하여야만 해의 안정성과 계산시간의 감소를 얻을 수 있다. 만약, SCC의 크기가 너무 커진 경우에는 어쩔 수 없이 강제분할이 이루어지며, 이 경우 강제분할을 보상하기 위하여 반복 해석이 수행된다.

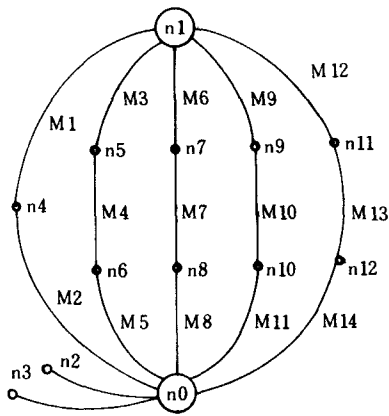
[예제] 그림 1(a)는 MOSFET로 구성된 D-type Flip-Flop(D-FF) 회로를 보여준다. 그림 1(b)는 DC 상태에서의 D-FF를 graph로 표시한 것이며, 그림 1(c)는 5개의 DCB로 분할된 결과이다. 그림 1(d)는 DCB 사이의 신호연결을 나타낸다. DCB4와 DCB 5 사이에 케환루프가 존재하므로 이들을 하나의 SCC 재결합한 결과는 그림 1(e)에서 보여준다.<sup>[26]</sup>

2. 해석방식

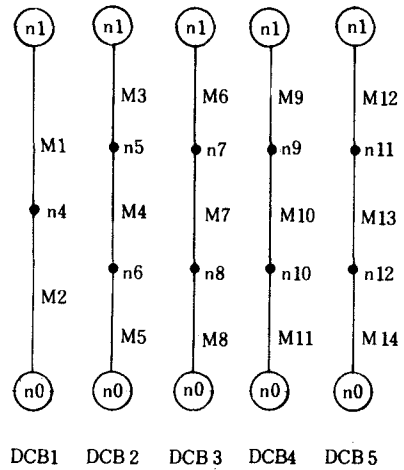
Timing simulation에서 사용하고 있는 부회로의 해석방식들은 circuit simulation에서 사용하고 있는 해석방식들과 근본적으로는 같다. 그러나, 회로 분할과 계산시간의 감소를 위하여 여러가지 형태의 단순



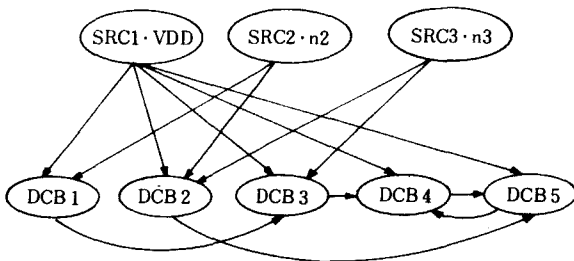
(a) MOSFET로 구성된 D-type flip-flop 회로



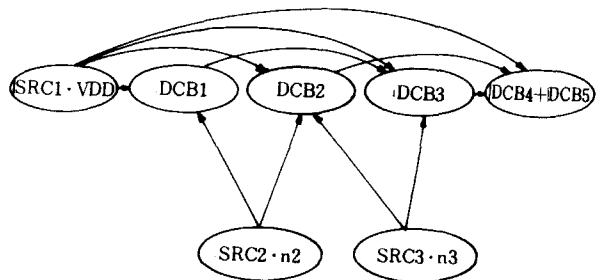
(b) Graph 표현



(c) DCB 분할



(d) 신호 연결도



(e) SCC 재결합

그림 1.

화 또는 근사화가 이루어진다.

#### 1) Relaxation

주어진 회로의 해석방정식은 일반적으로 식(1)과 같은 다변수 비선형 미분 방정식의 형태이다.

$$f(x, \dot{x}, t) = 0 \quad (1)$$

여기서,  $x$ 는 회로 변수 벡터이며,  $\dot{x}$ 은  $x$ 의 시미분 변수이다. 식(1)에 수치적분 방식을 적용하면, 식(2)와 같은 비선형 대수 방정식이 된다.

$$g(x_n) = f\left(x_n \frac{x_n - x_{n-1}}{t_n - t_{n-1}}, t_n\right) = 0 \quad (2)$$

여기서, 수치적분방식으로는 Euler-Backward(BE) 방식을 사용하였으며, 첨수  $n$ 은 시간좌표를 의미한다. 식(2)를 선형화하기 위하여서는 Newton-Raphson(NR) 선형화 방식을 적용한다.

$$A x_n = b (= A X_n - g(X_n)) \quad (3)$$

여기서,  $A$ 는 Jacobian matrix를 나타내며,  $X_n$ 는  $x_n$ 의 가정치이다.

회로 시뮬레이션에서는 식(3)을 풀기 위하여 LU 분해 방법과 같은 직접 해석방식을 적용하나, 회로의 크기가 증가하면 계산시간의 증가와 저장 용량의 부족에 의하여 현실적으로 불가능하여진다. 따라서, timing simulation에서는 회로 분할과 연관한 반복 간접 해석방식을 적용하며, 이를 relaxation이라 부른다.<sup>[22] [23]</sup>

Relaxation과 관련된 간접해석 방식으로는 Gauss-Jacobi 방식과 Gauss-Seidel 방식이 있다. Gauss-Jacobi 방식에서는 부회로들의 순서와는 무관하게 부회로들을 동일하게 취급하므로 parallelism의 적용이 가능하나, 낮은 수렴속도를 보인다. 이에 반하여, Gauss-Seidel 방식에서는 신호의 전달순서에 따라 부회로들을 순차적으로 해석하므로 높은 수렴속도를 보이는 대신, parallelism의 적용이 어렵다.

회로 분할을 식(3)의 선형대수 방정식 단계에서 적용하면 linear-relaxation(LRM)이라 부르며, 식(2)의 비선형 대수 방정식 단계에서 적용하면 nonlinear-relaxation(NRM)이라 부른다. 또한, 식(1)의 비선형 미분 방정식 단계에서 적용하면 waveform relaxation(WRM)이라 부른다. LRM이나 NRM에서는 해석시간을 점진적으로 증가시켜가면서, 매 해석시간마다 회로분할을 수행하는 방식이다. 이에 반하여, WRM에서는 회로분할을 선행한 후, 분할된 부회로들을 독립적으로 전해석 시간동안 해석한다. 따라서 LRM

이나 NRM에서는 모든 부회로들에 공통으로 적용되는 하나의 시간축을 가지고 해석과정을 진행하므로 분할된 부회로들이 독립적으로 가지고 있는 temporal sparsity를 충분히 고려할 수 없다. 그러나, WRM에서는 각 부회로마다 독립된 시간축을 가지게 되므로 temporal sparsity를 효과적으로 고려한다.

#### 2) MOSFET 모델

Timing simulation에서 사용하고 있는 MOSFET model은 계산의 복잡성을 피하기 위하여 (1)table 모델 또는 (2)단순화된 선형 모델식을 사용한다.

Table 모델 방식에서는 MOSFET의 특성곡선을 도표화함으로써 model의 복잡성을 충분히 표현할 수는 있으나, 많은 양의 저장 용량을 필요로 한다. 모델식의 단순화는 주로 MOSFET를 간단한 선형 저항의 조합으로 표시하므로 계산시간의 감소는 이루어졌으나, 대신 해의 정확도는 많이 떨어진다. MOSFET를 단순히 하나의 switch로 생각하여 두개의 선형저항  $R_{on}$ (능동 상태의 저항)과  $R_{off}$ (개방 상태의 저항)으로만 모델한 경우 switch level simulator라 부른다.

#### 3) 시간격 조절(timestep control)

Circuit simulation에서는 NR 선형화나 수치적분에서 발생하는 오차를 최소화하기 위하여 local truncation error(LTE)에 의한 시간격 조절기능이 포함되어 있다. 이에 반하여, timing simulation에서는 계산시간의 감소를 위하여 시간격 조절기능이 필요하다. 일반적으로 timing simulation은 매 해석시간마다 한번의 NR 선형화 작업을 수행하며, 수치적분 방식으로는 가장 간단한 형태인 EB방식을 사용한다. 시간격 조절방식으로는 LTE에 의한 시간격 조절기능은 삭제하는 대신에, 변수의 변화를 미리 설정한 상한선까지 증가시키는 방향으로 시간격을 조절한다. 노우드전압의 최대변화폭을 미리 설정하고, 매 해석시간마다 전압의 변화가 최대변화폭에 이를 때까지 최대한도로 시간격을 증가시키면서 회로 해석을 진행시키는 방법이다. 이와 같은, 시간격 조절 방법은 전압축을 일정한 전압폭으로 균등하게 분할 한다는 관점에서 multi-level discrete 신호 체계를 가지는 시뮬레이션 방법과 유사하다.<sup>[9] [4] [5]</sup>

#### 4) 문제점

Timing simulation은 대규모 MOS 논리회로의 해석에 있어서 매우 빠르고 정확함을 보여준다. 예로서, 그림 2는 간단한 MOS 논리회로망에 대한, 회로 시뮬레이션, 논리 시뮬레이션 및 timing simulation에

의한 해석 결과를 보여준다. 다음은 timing simulation이 가지고 있는 주된 문제점들이다.

- (1) 효과적인 회로 분할방법이 제안되어야 한다.
- (2) 회로 분할시, 분할된 회로들 사이의 전기적 연관관계를 고려하여야 한다.
- (3) Floating element의 취급이 어렵다.
- (4) 대규모 계환 회로의 취급이 어렵다.
- (5) 해결 결과의 stability와 accuracy의 보장이 어렵다.
- (6) 많은 양의 저장용량이 필요하다.
- (7) Iterative relaxation의 경우 많은 계산시간이 소요된다.

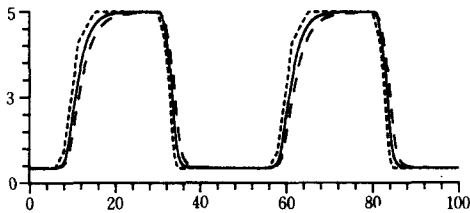


그림 2. Three-stage inverter chain에 대한 simulation 해석 결과 · 비교

(Simulation tool은 충남대학교 전자공학과에서 개발한 mixed-mode simulator, MIM-OSA를 사용하였다. 실선은 circuit simulation, 가는 점선은 logic simulation, 굵은 점선은 timing simulation의 해석결과이다.)

#### IV. 앞으로의 발전방향

최근의 전기 시뮬레이션 분야는 다음의 두가지 방향으로 발전하고 있다.


- (1) 보다 빠르고, 정확한 simulator의 개발
  - (2) Simulation system의 완성
    - (1) 변의 경우를 위하여서는 hardware accelerator의 사용, compiled-code화, parallelism의 실현, 새로운 반도체 소자 model의 개발, AI(인공지능) 개념에 의한 새로운 해석방식의 개발등이 연구되고 있다. 또한, (2) 변의 경우는 mixed-mode simulator나 multi-level simulator가 그 예이며, 나아가서는 silicon compiler, CAD workstation의 완성등의 분야에 그 일익을 담당하고 있다.
- 끝으로, 전기 시뮬레이션 분야를 포함하여 CAD 전반의 발전에 관하여 간단히 언급한다.

오늘날 전 세계적으로 반도체 집적회로를 포함하여 전자 시스템의 설계 및 제작은 CAD 장비의 사용에 따라 좌우된다는 것이 이미 공식화된 사실이다. CAD 장비의 사용으로 인한 전자회로 설계 및 제작상의 잇점들은 (1)설계 및 제작시간의 감소 (2)비용의 절약 (3)인위적인 오류제거(4)복잡성의 처리 등이다. 최첨단 전자회로의 설계를 위하여서는, CAD 장비들을 자체적으로 설계, 개발할 수 있는 능력의 배양이 아주 중요하다. 바꾸어 말하면, 회로 설계자는 자신이 사용하고 있는 CAD장비의 장단점에 대한 정보들을 충분히 접할 수 있어야 하며, 이를 위하여서는 자체개발에 따른 기술 축적이 있어야 한다. CAD 장비의 자체 개발 능력이 선행되어야, CAD 장비의 효과적인 사용이 가능하여지며, 이로 인하여 전자회로의 설계 및 제작 능력이 발전할 수 있다. 또한, CAD 장비의 자체 개발 능력은 회로 설계자와의 지속적인 의견 교환에 의해서만 이루어지며, 회로 설계자의 요구에 의하여 보다 나은 CAD 장비의 개발이 이루어진다. CAD 장비의 자체 개발을 연구 진행함으로써 얻을 수 있는 잇점들로는 (1)선진 각국의 높은 기술 장벽의 극복, (2)고가의 CAD 장비의 수입 대체효과, (3)첨단 기술에의 적용, (4)CAD 장비의 효과적인 사용, (5)설계 능력의 향상, (6)CAD에 대한 관심의 증가와 저변확대 등이 있다.

#### 參 考 文 獻

- [1] E.G. Ulrich, "Time sequenced logical simulation based on circuit delay and selective tracing of active network path," in Proc. ACM Nat. Conf., 1965, pp. 437-448.
- [2] C.W. Ho, A.E. Ruehli, and P.A. Brennan, "The modified nodal approach to network analysis," *IEEE Trans. Circuits Sys.*, vol. CAS-22, pp. 504-509, June 1975.
- [3] L.W. Nagel, "SPICE2: A computer program to simulate semiconductor circuits," Univ. of California, Berkeley, ERL Memo ERL-M520, May 1975.
- [4] E. Cohen, "Program reference manual for SPICE2," Univ. of California, Berkeley, ERL-M592, June 1976.
- [5] A. Vladimirescu, K. Zhang, A.R. Newton, D.O. Pederson, and A.L. Sangiovanni-Vincentelli, "SPICE Version 2G User's Guide," University of California, Berkeley,

- Tech. Memo., Aug. 10, 1981.
- [6] A.E. Ruehli, N. Rabbat, H.Y. Hsieh, "Macromodelling-an approach for analyzing large-scale circuits," *Comput. Aided Design*, vol. 10, pp. 121-130, March 1978.
- [7] B. Chawla, H.K. Gummel, and P. Kozah, "MOTIS-a MOS timing simulator," *IEEE Trans. Circuits Syst.*, vol. CAS-22, pp. 301-310, Dec. 1975.
- [8] S.P. Fan, M.Y. Hsieh, A.R. Newton, and D.C. Pederson, "MOTIS-C: A new circuit simulator for MOS LSI circuits," in Proc. of the IEEE Int. Symp. Circuits Systems, 1977, pp. 700-703.
- [9] A.R. Newton, "SPLICE: Simulation program large-scale integrated circuit emphasis", Univ. of California, Berkeley, Memo UCB/ERL M78/52, July 1978.
- [10] G. DeMichelia and A.L. Sangiovanni-Vincentelli, "Numerical properties of algorithms for the timing analysis of MOS VLSI circuits," in Proc. 1981 Europ. Conf. on Circuit Theory and Design, Aug. 1981, pp. 387-392.
- [11] A.R. Newton, "Techniques for the simulation of large-scale integrated circuits," *IEEE Trans Circuits Syst.*, vol. CAS-26, pp. 741-749, Sept. 1979.
- [12] A.R. Newton, "The analysis of floating capacitors for timing simulation," in Proc. 13th Asilomar Conf. on Circuits Systems and Computers, Pacific Grove, CA, Nov. 1979.
- [13] H. De Man, J. Rabaey, G. Arnout, and J. Vandervalle: "DIANA as a mixed-mode simulator for MOS LSI Sampled-data circuits," in Proc. IEEE Intl. Symp. on Circuits and Systems, Houston, TX Apr. 1980, pp. 435-438.
- [14] G. De Micheli, A. Sangiovanni-Vincentelli, and A.R. Newton, "New algorithms for timing analysis of large circuits," in Proc. 1980 Int. Symp. Circuits Syst., 1980.
- [15] R.E. Brayant, "MOSSIM: A switch-level simulator for MOS LSI," in Proc. 18th Design Automation Conf., Jul. 1981, pp. 786-790.
- [16] G.D. Hachtel, R.K. Brayton, and F. Gustavson, "The sparse tableau approach to network analysis and design," *IEEE Trans. Circuit Theory*, vol. CT-18, pp. 101-113, Jan. 1971.
- [17] E. Lelarasmee, A.E. Ruehli, and A. Sangiovanni-Vincentelli, "The waveform relaxation method for time-domain analysis of large-scale integrated circuits," *IEEE Trans. CAD Integ. Circ. Syst.*, vol. CAD-1, pp. 131-145, July 1982.
- [18] A.E. Ruehli and G.S. Ditlow, "Circuit Analysis, Logic Simulation, and Design Verification for VLSI," *Proc. IEEE*, vol. 71, pp. 34-48, Jan. 1983.
- [19] A. Sangiovanni-Vincentelli, "Circuit Simulation" in Computer Design Aids for VLSI Circuits, P. Antognetti, D.O. Pederson, and H. De Man, Eds. Groningen, The Netherlands: Sijthoff and Noordhoff, 1981. pp. 19-113.
- [20] A.R. Newton, "Timing, logic and mixed-mode simulation for large MOS integrated circuits," in Computer Design Aids for VLSI Circuits, P. Antognetti, D.O. Pederson, and H. De Man, Eds. Groningen, The Netherlands: Sijthoff and Noordhoff, 1981, pp. 175-240.
- [21] E. Lelarasmee and A. Sangiovanni-Vincentelli, "RELAX: A new circuit simulator for large scale MOS integrated circuits," Electronic Reserch Laboratory, Univ. of California, Berkeley, Meo UCB/ERL M82/6, Feb. 1982.
- [22] J. White and A. Sangiovanni-Vincentelli, "RELAX2: A new waveform relaxation approach for the analysis of LSI MOS circuits," in Proc. 1983 Int. Symp. Circuits Syst., May 1983.
- [23] A.R. Newton and A.L. Sangiovanni-Vincentelli, "Relaxation-Based Electrical Simulation," *IEEE Trans. on Computer Aided Design*, vol. CAD-3, pp. 308-331, Oct. 1984.
- [24] Kijun Lee and Song-Bai Park, "Analysis Techniques for VLSI," *KIEE Review*, vol. 11, no. 5, pp. 18-24, Jan. 1985.
- [25] Young-Hyun Jun, "Timing Simulation by the Waveform Relaxation-Considering the Feedback Effect," M.S. thesis, KAIST, Seoul, Korea, Feb. 1986.

- [26] Kijun Lee and Song-Bai Park, "Reduced Modified Nodal Approach to Circuit Analysis," *IEEE Trans. on Circuits Syst.*, Oct. 1986.
- [27] E. Horbst, "Logic Design and Simulation," *Advanced in CAD For VLSI*, vol. 3, North-Holland, 1986.
- [28] Vasant B. RAO and Timothy N. Trick, "Network Partitioning and Ordering for MOS VLSI Circuits," *IEEE Trans. Computer-aided Design*, vol. CAD-6, no. 1, pp. 128-144, January 1987.
- [29] A.E. Ruehli, "Circuit Analysis, Simulation and Design," *Advanced in CAD For VLSI*, vol. 3, North-Holland, 1987.
- [30] Dündar Dümlüoğlu, Patrick Odent, Johan P. Cockx, and Hugo J. De Man, "Switch-Electrical Segmented Waveform Relaxation for Digital MOS VLSI and Its Acceleration on Parallel Computers," *IEEE Trans. on CAD*, vol. CAD-6, no. 6, pp. 992-1005, Nov. 1987.
- [31] 전영현, 이창우, 이기준, 박송배, "피이드백 효과를 고려한 파형 이완 방식에 의한 Timing Simulator," 전자 공학회 논문지, 제24권, 제2호, pp. 165-172, 2월, 1987. 

筆 者 紹 介



李 起 煥 (正會員)

1955年 1月 23日生

1974年 3月~1978年 2月 서울대학교 공과대학 공업교육학과(공학사)

1978年 3月~1979年 2月 서강대학교 전자공학과 대학원

1979年 3月~1981年 2月 한국과학기술원 전기 및 전자공학과(공학석사)

1981年 3月~1986年 2月 한국과학기술원 전기 및 전자공학과(공학박사)

1986年 9月~현재 충남대학교 전자공학과 조교수

관심분야: CAD, Electrical Simulation, IC Design 등