

## 삼성의 VLSI CAD 시스템

孔 晶 澤

三星電子(株) 半導體部門研究所 CAD 開發팀장

### I. 서 론

반도체 산업은 미세 가공기술과 회로 기술의 발달에 의존하며 표준 제품군을 대상으로 하는 소품종 대량 생산방식의 산업구조에서, 상기 기술에 시스템 아키텍처 기술과 설계자동화 기술을 결합하여 ASIC 시장의 다양한 제품 요구에 효과적으로 대응할 수 있는 다품종 소량 생산방식 산업구조로의 대대적인 변신이 필요한 전환기를 맞이하고 있다.

VLSI 설계를 위한 삼성전자(주) 반도체 부문의 CAD 시스템은 전술한 두가지 방식을 동시에 효율적으로 지원함을 시스템 구축의 궁극적인 목표로 한다. 현시점에서의 시스템 구축현황을 개략적으로 평가하면, 전자의 방식에 대한 지원 측면에서는 짧은 역사와 부족한 전문 인력에도 불구하고 완벽할 정도의 시스템을 구축하여 활용하고 있으나, 후자의 방식에 대한 지원면에서는 부분적인 보강을 필요로 하고 있다. 현재 후자에의 보다 효율적인 대처를 위하여 시스템 보강을 추진하고 있으며, 그 기본적인 고려 사항은 다음과 같다.

- (1) 다양한 설계 요구에 대한 설계 flow 정립 및 톨 구축
- (2) 네트워크를 포함한 분산처리 시스템 구축강화
- (3) 톨 간의 인테그레이션 강화
- (4) 사용자 인터페이스 강화
- (5) 다양한 환경에 대한 설계 데이터 베이스 관리 강화
- (6) 미세화 및 고집적화에의 대응

위에 나열된 항목을 종합해 보면, 제품의 경쟁력 제고를 위한 설계비용 경감, 설계기간 단축, 성능 및 신뢰성 향상 등의 설계 제반 목적을 일관성 있게 지원하는 부분이 기존의 시스템<sup>(1)</sup>에 비하여 강조된 것

으로 볼 수 있다. 시스템 구축 보강은 성능 대 가격비를 극대화하며 축적된 자체 기술력을 최대한으로 활용하는 측면에서 진행하고 있다.

본고에서는 삼성전자(주)반도체 부문의 VLSI CAD 시스템 현황개요, 컴퓨터 시스템의 구성, 설계 단계별 소프트웨어의 구성, CAD 자체 기술력 확보 방안 등을 소개한다.

### II. 현 황

당사의 VLSI CAD 시스템 구축은 반도체 설계 및 생산기술의 발전에 따라 점진적 확장을 거듭하여 왔다. 수작업 레이아웃 위주의 설계지원을 위한 Calma GDS 시스템 도입을 시발로 하여 CAD 전담 부서가 신설되었고 논리 및 회로 시뮬레이션과 설계 검증을 위한 VAX 계열의 중형 컴퓨터를 도입하였으며 설계자가 직접 CAD 설비를 이용하게 되었다. Schematic capture를 비롯한 동작/기능/논리 시뮬레이터, 게이트 어레이 및 표준 셀 자동 배치 배선용 소프트웨어 등이 설계 업무에 활용 되면서 본격적인 설계 자동화 시스템이 구축되었다. 설계건수, 설계규모 및 설계자의 증가에 따라 가중되는 업무량을 처리하기 위하여 연차적인 시스템 확장이 병행되었다.

한편, 메가 DRAM 급 회로의 설계를 추진하면서 미세 구조의 소자 및 공정 시뮬레이션과 대규모 회로의 회로 시뮬레이션 및 설계 검증 작업에 중형 컴퓨터 이상의 용량이 필요하여 IBM 3090 대형 컴퓨터를 도입하였다. 이때 도입된 IBM 컴퓨터는 메가 DRAM 급 회로의 성공적인 개발에 중요한 역할을 담당 하였다.

최근에 들어서 저렴한 가격의 고성능 엔지니어링

워크스테이션이 출현하면서 설계 업무를 효율적으로 추진할 수 있는 분산처리 시스템의 구축이 비교적 용이해졌다. 그러나 기구축된 CAD 시스템과의 유기적인 인테그레이션, 이기종 간의 설계 데이터 베이스 공유, 소프트웨어에 대한 과중한 투자등이 문제점으로 대두되고 있다. 이러한 문제점들을 충분히 고려하여 통합화된 분산 처리 CAD 시스템의 구축을 시도하고 있다. 지역적으로 분리된 사업장 간의 시스템 인테그레이션도 효율적으로 처리하고 있으며 소프트웨어에 대한 중복투자 및 소프트웨어간 인터페이스, 사용자 인터페이스 등의 많은 부분을 축적된 자체 기술력으로 해결하고 있다. 또, ASIC 설계 및 이종 CAD 시스템과의 인터페이스 전용으로 Daisy와 Mentor 시스템을 도입, 활용하고 있다.

이상에서 기술된 CAD 시스템은 컴퓨터의 기종에 따른 일종의 계층적 구조를 형성하고 있으며 컴퓨터 기종별 용도구분 및 활용 소프트웨어는 표 1 과 같다. 이들 시스템은 투자의 효율을 높이기 위하여 전일 자동 체제로 운영, 유지되고 있다.

표 1. 컴퓨터 기종별 용도구분 및 활용 소프트웨어

기종	용도구분	활용 소프트웨어
IBM	Back-end machine 대규모 회로 시뮬레이션 설계 검증 및 마스크 데이터 생성 공정/소자 시뮬레이션 논리/고장 시뮬레이션	ASPEC, SSTSPICE DVP (DRC, ERC, NCC, EPE, EPC, MDPE/O) SUPREM-3, PISCES-2A, LES3D, TRCAP HILO-3
VAX	네트워크 중추, 데이터 베이스 관리, I/O 기능(터미널, 프린터) 회로 시뮬레이션 동작/논리 시뮬레이션 Schematic capture 자동배치 배선 레이아웃 설계 및 검증	ASPEC, SSTSPICE HELIX, TEGAS SDS GARDS류, CAL-MP 류, ESCALATOR ILED, SALVOR
EWS	Front-end machine 소규모 회로/논리 시뮬레이션 Schematic capture 레이아웃 설계	SSTSPICE, HILO-3, SILOS SDS GDT, EDSIII 자동 레이아웃 툴 중설
Calma	레이아웃 설계	GDSII, GPL
Mentor Daisy	ASIC 설계 및 사용자 인터페이스 전용	IDEA Station 등 LOGICIAN 등

### III. 컴퓨터 시스템의 구성

반도체 산업을 위한 컴퓨터의 기능은 그 특성상 고속의 계산능력, 대용량의 데이터 관리 능력, 도형 및 문자처리 기능, 이기종 시스템의 유기적인 연결을 위한 네트워크 기능 등으로 나타낼 수 있다. 당사의 컴퓨터 구성은 Calma GDS II 시스템으로부터 범용 중형 컴퓨터, 대형 컴퓨터 등의 중앙 집중처리 형태를 거쳐 현재는 도형, 문자 처리기능과 자체의 계산능력을 가진 엔지니어링 워크스테이션을 front-end로 하는 분산처리 시스템의 단계로 진행되고 있다고 할 수 있다.

당사 반도체 부문의 컴퓨터 시스템은 고속처리 능력과 대용량의 메모리를 갖는 IBM 3090-200E 시스템과 네트워크의 중추 기능을 담당하는 VAX 시스템, front-end의 SUN 시스템으로 구성되어 있다. 그림 1의 컴퓨터 시스템 구성도와 같이 각 시스템은 서로 다른 하드웨어 및 시스템 소프트웨어로 운영되고 있기 때문에 각 시스템의 유기적인 연결과 사용자 인터페이스가 중요한 문제로 대두된다.

당사의 네트워킹은 업계 표준인 Ethernet, TCP/IP를 기본으로 구성되어 있으며 시스템에 따라 Flex-link/DACU, DECnet/Ethernet을 사용하고 있다. 기종간의 네트워크 하드웨어 및 소프트웨어는 표 2와 같다. 이렇게 연결된 시스템 네트워크는 사용자가

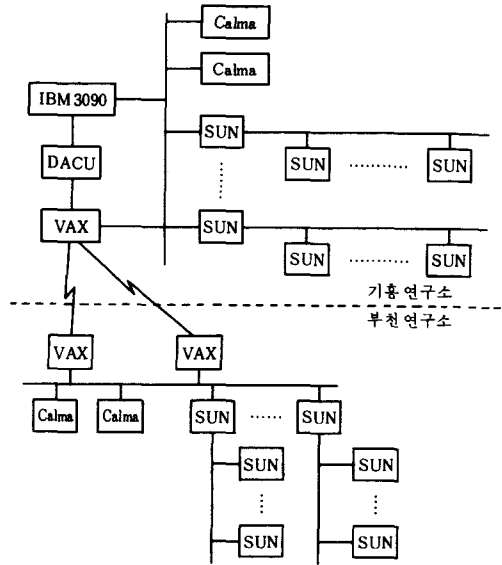


그림 1. 컴퓨터 시스템 구성도

표 2. 기종간의 네트워크 하드웨어 및 소프트웨어

기	종	하드웨어	소프트웨어
IBM과 VAX		DACU Ethernet	Flexlink TCP/IP
VAX와 VAX		Ethernet	DECnet
VAX, SUN, CALMA		Ethernet	TCP/IP

업무의 성격이나 응용 소프트웨어의 종류에 따라 선택적으로 사용될 수 있으며 이와 관련된 입출력 화일도 자유로이 전송될 수 있다.

이러한 복합 환경의 컴퓨터 네트워크를 활용하려면 IBM VM/SP, VAX/VMS, UNIX 등의 오퍼레이팅 시스템과 Flexlink, DECnet, TCP/IP 등의 네트워크 유틸리티 및 기타 시스템 유틸리티를 알아야 한다. 이러한 어려운 점을 보완하기 위하여 공통적인 환경을 메뉴 구동시스템(menu driven system)을 개발하여 제공하고 있다. 이 메뉴 시스템에서 사용자는 원하는 기능의 선택, 입력의 기술 등 응용 소프트웨어에 관련된 부분만을 고려하면 시스템 하드웨어나 오퍼레이팅 시스템의 차이에 관계없이 시스템을 사용할 수 있게 된다.

전술한 바와 같이 시스템의 규모, 활용구분, 네트워킹, 사용자 인터페이스 등을 고려하여 전체 시스템을 구축하고 있으며 CAD 시스템의 활용이 증대됨에 따라 엔지니어링 워크스테이션을 중심으로 분산처리 시스템을 확장 구축해 나가고 있다. 또한 고속, 대용량의 네트워크, 더욱 용이한 사용자 인터페이스 설계 데이터 베이스의 공유문제 등이 함께 고려되고 있다.

#### IV. 소프트웨어 구성

VLSI CAD 기술이 발전됨에 따라 여러 기능이 통합, 복합화되어 이를 단계별로 분류하기는 매우 어려운 실정이나 당사의 소프트웨어 구성을 편의에 따라 공정 및 소자 시뮬레이션, 파라미터 추출 및 회로 시뮬레이션, 논리 및 고장 시뮬레이션, 레이아웃, 레이아웃 검증 툴 및 마스크 데이터 발생 등으로 나누어 기술토록 한다.

##### 1. 공정 및 소자 시뮬레이션

VLSI 기술을 선도하는 메모리 소자의 발전에 따라 0.5 $\mu$ m급의 설계 조건이 필요하게 되고, 이의 효율적인 실현을 위하여 다층 배선과 표면 평탄화 기술, LOCOS 및 trench 분리기술 등이 계속 발전하

고 있다. 이러한 소자의 미세화와 공정의 복잡성에 맞추어 공정 및 소자의 시뮬레이션이 필요하게 되었으며 다음과 같은 기능으로 이의 중요성이 더욱 강조되고 있다.

- 개발비용 및 시간 단축 효과가 있다.
- 측정 불가능한 소자의 분석이 가능하다.
- 소자 내부에서 발생하는 현상을 이해할 수 있다.
- 공정 및 소자 특성 의존성을 선택할 수 있다.
- 매우 복잡한 소자의 설계에 유리하다.

이상에서 열거한 기능을 갖춘 공정 시뮬레이터로는 SUPREM-2, 3, 4, SUPRA, SAMPLE, DEPICT 등이 상업화 되어 있으며, 소자 시뮬레이터로는 GEMINI, CANDE, PISCES, MINIMOS, CADDET, CADDETH, MEDUSA, GALENE 등이 발표되어 있다.<sup>[2]</sup>

공정 및 소자 시뮬레이터의 장단점을 검토한 결과 당사에서는 가장 안정되고 보편화된 SUPREM-3와 PISCE-2를 IBM-3090 시스템에 설치하여 256K DRAM, 1M DRAM, 4M DRAM의 개발 및 성능 개선에 활발히 사용하였다. 또한 제품 경쟁력의 우위 확보 및 CAD 툴의 통합 시스템 구축을 위하여 공정 및 소자 시뮬레이터의 자체개발이 시급하다고 판단하여 spreading 저항, 확산저항, 기생정전용량, CMOS latch-up 등을 분석할 수 있는 LES3D(3차원 Laplace Equation Solver)<sup>[1]</sup>를 개발 완료하였으며, '초고집적 반도체기술 공동개발사업' 중 시뮬레이션 기술개발 프로젝트의 일환으로 trench 정전용량 등을 계산할 수 있는 TRCAP(3차원 Poisson Equation Solver) 프로그램을 개발중에 있다.

공정 및 소자 시뮬레이터 개발은 수학, 수치해석, 반도체 물리, 컴퓨터 프로그래밍 등을 종합해야 하는 어려움이 따르며, 이에 대한 전담 인력 및 경험부족으로 국내에서의 개발에 현재 어려운 점이 많은 실정이다. 16M DRAM 기술개발 등에서 나타난 LOCOS 등의 전기적인 절연 기술과 contact 기술 등은 소프트웨어 측면에서 3차원 공정 및 소자 시뮬레이션을 요하고 있으나, 이를 분석할 상업적인 툴이 세계적으로 미비한 실정이므로 기초 기술개발을 위한 공정 및 소자 특성의 모델링이 시급하다. 당사에서는 이와 같은 VLSI 기초 기술의 확보를 위하여 3차원 산화 모델링 프로그램과 3차원 TRCAP 프로그램의 개발에 주력하고 있다.

##### 2. 파라미터 추출 및 회로 시뮬레이션

회로 시뮬레이터는 반도체 회로의 DC특성, 소신

호 AC특성, 천이특성, 잡음특성 등을 수치해석 기법을 이용하여 해석하는데 사용된다. 실현하고자 하는 회로가 어떤 반도체 제조 공정을 활용하였는가에 따라서 비선형 소자의 전기적 특성이 바뀌게 되며, 회로 시뮬레이터에 내장된 모델의 파라미터를 정확히 추출하는 것이 시뮬레이터가 회로의 전기적 특성을 얼마나 정확히 예측할 수 있는가와 직결된다. 파라미터 추출은 최적화 기법을 이용하여, 실제 소자의 전기적 특성과 시뮬레이터에 내장된 모델의 계산치의 오차가 최소가 되도록 한다.

당사에서는 메모리, 아날로그, 표준 셀 및 논리회로의 critical path의 해석을 위하여 SSTSPICE와 ASPEC을 사용하고 있으며 입력파일은 Silvar-Lisco사의 schematic capture system인 SDS로 입력된 회로도에서 자동 발생시켜 준다. SSTSPICE는 미국 Berkeley대학에서 개발한 SPICE2를 수정하여 기능을 보강한 것으로, 입출력이 편리해졌으며, 내장된 모델의 한계를 극복할 수 있는 새로운 table look-up 모델을 실현하고 있다.<sup>[7]</sup> 한편 ASPEC은 미국의 CDC사에서 판매하는 회로 시뮬레이터로 SPICE 2에 비하여 다양한 모델 및 강화된 수치해석 기능을 내장하고 있다. 파라미터 추출용 소프트웨어는 미국 Stanford대학의 SUXES가 대표적이며, 상업화된 것보다는 반도체 회사들이 나름대로 개발한 것을 사용하고 있다. 당사는 SPICE2의 MOSFET 모델 레벨 2, 3 및 BJT용 파라미터 추출 소프트웨어를 개발한 바 있으며,<sup>[4, 5, 6]</sup> 최근에는 ASPEC의 MOSFET 모델 파라미터 추출 소프트웨어를 개발하였다. 또한 SSTSPICE 및 ASPEC용 대화식 그래픽 포스트 프로세서인 SPLOT을 개발하여 효율적인 결과 검증을 하고 있다.<sup>[4]</sup>

반도체 회로의 집적도가 높아지고, 한 칩에 아날로그 및 디지털 회로의 특성이 혼재됨에 따라, 기존의 회로 시뮬레이터는 계산시간 및 수치 해석상의 한계에 도달하고 있다. 아날로그-디지털 회로의 경우 새로운 형태의 아날로그-디지털 혼합 시뮬레이터가 필요하며, 대형 MOS 논리회로 해석은 타이밍 시뮬레이터<sup>[8]</sup> 등을 주축으로 해석될 것이나, 정확도를 필요로 하는 미세화 집적 회로의 시뮬레이션에는 모델 및 수치해석이 강화된 기존 형태의 회로 시뮬레이터가 계속 사용될 것이다. 한편, 미세가공 기술의 발전에 따라 반도체 소자의 전기적 특성이 변화되므로, 회로 시뮬레이터의 반도체 소자의 모델링도 이에 맞게 개발되어야 한다. 당사도 이들의 동향 파악 및 개

발에 노력하고 있는 실정이다.

### 3. 논리 및 고장 시뮬레이션

논리 시뮬레이션은 스위치 레벨, 게이트레벨, 동작 기술 레벨의 세가지로 구분될 수 있다. 가장 보편화되어 있는 것이 게이트레벨 시뮬레이터이며, 스위치레벨은 MOS 논리 회로에서 발생하는 high-impedance 상태 등을 모델링하여 신호에 strength 개념을 도입한 것이다. 동작기술 레벨 시뮬레이션은 top-down설계방식에서 게이트 레벨 실현이 안된 논리블록의 동작을 하드웨어 기술언어로 기술하여 시뮬레이션 하는 것이다. 기술언어는 요즘 VHDL로 표준화 되고 있는 실정이다.

당사에서는 초기에 게이트 레벨 논리 시뮬레이션, 고장 시뮬레이션 및 자동테스트 패턴 발생을 위하여 TEGAS-5를 도입하여 활용하였으며, HILO-3를 도입하여 스위치 레벨의 시뮬레이션 및 자동 테스트 패턴 발생 부문을 보강하였다. TEGAS-5 및 HILO-3의 입력 파일은 schematic capture system인 SDS로 입력된 회로도에서 자동 발생시켜주며, 입력된 회로도는 자동 레이아웃 소프트웨어와도 연결된다. 한편, 레이아웃 이후 배선 정전용량 등에 의한 지연시간을 고려한 정확한 논리 시뮬레이션을 위하여 지연시간 모델링 및 backannotation 기능을 가지는 G2T5(layout to TEGAS-5) 및 G2H3(layout to HILO-3)를 개발하였다. 또한 TEGAS-5 및 HILO-3용 대화식 그래픽 포스트 프로세서인 HPlot을 개발하여 효율적인 결과검증에 이용하고 있다. SDS와 함께 도입한 Silvar-Lisco사의 HELIX는 동작기술 레벨의 논리 시뮬레이터로, top-down 설계시에 사용된다. 논리회로의 성능개선을 위하여는 회로내의 critical path를 발견하여 이 경로를 최적화 시키는 것이 중요하며, 이를 위하여 현재 timing verifier의 도입 및 개발을 병행으로 진행하고 있다.

현재, 새로운 논리 설계용 툴로서 논리합성기(logic synthesizer)가 부각되고 있다. 레이아웃의 실리콘 컴파일러에 대비될 수 있는 논리 컴파일러로서의 논리 합성기는 RTL(register transfer level) 기술언어로 기술된 논리시스템으로부터 자동적으로 게이트레벨 논리회로를 합성할 수 있는 기능을 갖는다. 현재 Synopsys, SCSC, Trimeter, Silc사 등에서 상업화된 제품을 제공하여 시스템 설계에는 이미 실용화 단계에 있어, 향후 동향 파악 및 적기 도입, 활용이 이루어져야 한다.

4. 레이아웃

레이아웃 설계단계는 설계 사양의 동작, 기능, 전기적 특성을 만족시키는 회로를 실리콘 웨이퍼 상에 구현하기 위한 마스크의 형상을 설계하는 단계이다. 이 단계의 설계는 전체 설계기간중 많은 비중을 차지하며, 레이아웃 편집(graphic editing), 심블릭 레이아웃(symbolic layout), 모듈생성(module generation), 게이트 어레이 배치배선, 표준셀 배치배선, 블럭셀 배치배선, 실리콘 컴파일러 등의 다양한 방식이 있다. 이들 중 심블릭 레이아웃 및 모듈 생성 방식은 테크놀로지 변경에 손쉽게 대처할 수 있는 특징이 있다. 게이트 어레이, 표준셀 및 블럭셀 배치배선은 반주문형 수법에 속하며 검증이 완료된 셀과 논리 회로도에서 추출한 연결정보를 이용하여 설계규칙을 만족하는 레이아웃을 작성할 수 있으므로 전체 설계기간을 단축할 수 있다. 특히, 게이트 어레이 방식중 최근에 출현한 sea-of-gates 방식은 게이트 어레이의 이점을 그대로 살리면서 메모리를 탑재한 대규모 회로를 수용할 수 있어 각광을 받고 있다. 한편, 실리콘 컴파일레이션은 다른 어떤 방법보다 CAE와 밀착된 방법이며 최근에는 논리 합성까지 결합하여 반도체 설계자가 시스템 설계자에 비하여 절대 부족한 현재의 문제점을 해결할 수 있는 대안을 제시하고 있다. 그러나 칩 면적 효율 면에서는 아직도 레이아웃 편집방식의 수작업 설계가 가장 우수하다.

당사에서는 레이아웃 편집 시스템인 기존의 GDS II 에 EDS III 를 보강하여 활용하고 있다. ILED (inter-active layout editor)<sup>(10)</sup>를 자체 개발하여 보조 사용하고 있으며 대화식 설계규칙 검사등의 기능을 추가 중이다. GDT는 모듈 생성용 소프트웨어이며 시뮬레이션과 검증 프로그램이 집적된 시스템으로 테크놀로지 기술 및 재반준비 작업이 완성되면 테크놀로지 변화에 효율적으로 대처할 수 있다. 현재, 게이트 어레이 설계에는 GARDS-XL을 도입 사용하고 있으며 대규모 sea-of-gates 설계를 위한 툴로 AVANT-GARDS와 TANGATE를 검토 중에 있다. 또한, ESCALATOR<sup>(10,11)</sup> 개발 기술력을 기반으로 자체 sea-of-gates에 적합한 배치배선 프로그램을 개발중에 있다. 표준셀 배치배선에는 CAL-MP를 사용하고 있으며 cell-based 레이아웃용 소프트웨어와 블럭 배치배선용 소프트웨어 강화를 꾀하고 있다.

현재, 당사에서 사용중이거나 검토중인 소프트웨어들은 표 3 과 같다.

5. 레이아웃 검증 툴 및 마스크 데이터 발생

레이아웃은 반도체 제조기술에서 제한하는 규칙에 따라 설계되어야 하며, 처음에 의도했던 회로의 기능, 동작, 전기적 특성과 일치하여야 한다. 따라서 레이아웃의 각종 오류 및 불일치를 검사하는 툴이 필요하다.

표 3. 레이아웃용 소프트웨어

기 능	소프트웨어	회 사	자 체 개 발
레이아웃 편집	GDS II *	Valid (구 Calma)	ILED
	EDS III *	Valid	
모듈 생성	GDT*	SCSC	
	Layout Synthesis	SCSC (구 CAECO)	
심블릭 레이아웃	SYMBAD/OED	Cadence (구 ECAD)	
게이트 어레이 배치배선	GARDS류*	Silvar-Lisco	ESCALATOR-G ESCALATOR-SOG
	TANGATE	Cadence (구 Tangent)	
표준 셀 배치 배선	GAL-MP*	Silvar-Lisco	ESCALATOR-S
Cell-Based 레이아웃	SC II	Silvar-Lisco	
	Place & Route	Cadence (구 SDA)	
	TANCELL	Cadence (구 Tangent)	
블럭 배치배선	SYMBAD/BPR	Cadence (구 ECAD)	
	COMPOSE	Valid	

\*는 기 도입 소프트웨어임

당사에서는 Silvar-Lisco사의 DVP를 도입하여 사용하고 있으며, 설계 규칙검사(design rule check), 전기적 규칙검사(electrical rule check), 회로망 일치성 검사(network consistency check)는 물론, back-annotation을 위한 전기적 파라미터 추출 (electrical parameter extraction) 및 일치성 검사 (electrical parameter check), SPICE 화일로의 변환(spice network generation)까지의 방안을 수립하여, 논리설계, ASIC, 아날로그 설계, 그리고 메모리 설계분야에 효율적으로 응용하고 있다.

반도체 제조기술이 계속적으로 변화하고 설계방식이 끊임없이 발전함에 따라, 설계규칙도 복잡해지고 검증 절차도 다양하게 되었다. 당사에서는 반도체 제조 공정과 설계방식 각각에 적합한 검증 방안을 마련하여 표준화를 수행하였고 각종 변화에 지속적으로 대처하고 있다. 또, 이들 검증작업은 컴퓨터 사용 요구량이 많고 반복적이기 때문에 IBM-3090/200E를 중심으로 소화해 내고 있다.

한편, 검출된 오류의 확인 및 정정을 효율적으로 수행하기 위해 레이아웃 검증결과 분석 프로그램인 SALVOR<sup>[12]</sup>를 자체 개발하여 설계자들이 활용할 수 있도록 하였다. SALVOR는 schematic과 레이아웃을 동시에 계층구조에 따라 그래픽 터미널에 display 할 수 있고, 이 두 설계 view에 여러가지 설계오류를 나타낼 수 있으며, 설계자가 소자와 연결점들을 양방향으로 투영하면서 오류의 위치와 원인을 확인하고 레이아웃을 정정할 수 있도록 한 프로그램이다. 현재, 더욱 효율적인 설계 검증을 위하여 점층적 또는 대화식의 계층적 설계 규칙검사를 위한 프로그램을 개발중이며 부분적으로 실현단계에 있다.

마스크 제작을 위한 광학 또는 전자-빔 패턴 생성 단계에서는 MDPE/O를 사용하고 있다.

## V. 자체 기술력 확보

날로 발전하는 반도체 산업의 선두 주자로 나서기 위해서는, 반도체 제조기술과 함께 CAD툴의 자체 기술력 확보가 중요하다. 제Ⅳ장에서 기술한 설계각 단계에서 사용되는 CAD툴은 반도체의 미세가공 기술이 발전하고 집적도가 높아짐에 따라 여러 종류의 제약에 봉착하게 된다. 반도체의 미세가공 기술의 발전에 따라 공정, 소자, 시뮬레이션에는 보다 정확한 모델링이 요구되며, 회로의 규모가 증가됨에 따라 회로 및 논리 시뮬레이션, 레이아웃 설계, 설계검증 등에서는 각 툴의 수행시간 및 필요한 기억 용량이 급

증하여 알고리즘적인 측면에서의 보완이 요구된다. 이러한 제약점을 극복하기 위하여 선진 반도체 회사는 각사의 환경에 적합한 소프트웨어를 개발하고 있고, 당사에서도 이러한 이유로 자체 개발을 적극 추진하고 있으며 일부는 이미 실용화 되어 있다.

현재 세계적인 추세가 종래의 대형 컴퓨터의 이용 방식에서 엔지니어링 워크스테이션에 의한 분산처리 방식으로 바뀌어 가고 있으며, 고도의 응답 속도를 요구하는 분야에 있어서 더욱 현저하다. 당사도 현재 엔지니어링 워크스테이션이 설계에 이용되고 있으며, 닷수의 증가에 따른 과중한 소프트웨어 투자경비를 자체 개발 소프트웨어로 대체함으로써 설비투자에 많은 비용절감을 할 수 있다.

한편으로는 상업화된 소프트웨어의 평가 및 도입, 지원을 통하여 기존 툴의 제약점을 파악하고, 이를 자체 개발 소프트웨어에서 일부개선 적용하기도 한다. 지금까지는 단위 툴 개발에만 주력하여 왔으나, 자체 개발 소프트웨어에 의한 엔지니어링 워크스테이션을 구축하기 위하여 공통 데이터 베이스 개념등의 프레임워크를 연구할 것이다.

## VI. 결 론

이상에서 삼성전자(주) 반도체 부문의 VLSI CAD 시스템에 관하여 소개하였다. 메모리, 아날로그, 논리회로 등의 제품에 대하여 완전 주문형 또는 반주문형 방식의 설계 지원이 가능한 소프트웨어 시스템을, IBM 3090 대형 컴퓨터를 메인프레임으로 하고 VAX 중형 컴퓨터가 네트워크의 중추를 담당하며 엔지니어링 워크스테이션이 front-end 역할을 하는 하드웨어 시스템 상에 구축함으로써 종합 반도체 메이커를 지향하는 VLSI CAD 시스템을 실현하였다. 이 시스템은 설계자가 하드웨어 및 소프트웨어에 대한 상세한 지식이 없이도 효율적인 설계업무를 수행할 수 있도록 전체가 유기적으로 인테그레이션되어 있다. 이는 시스템 전체가 메뉴 방식으로 구동될 뿐만 아니라, 그동안 축적된 각종 요소 기술에 대한 자체 기술력을 바탕으로 많은 설계업무가 표준화 되어 있음에 기인한다.

그러나, 끊임없는 컴퓨터 아키텍처의 변화, 테크놀로지의 발전, 소프트웨어 기술의 발전 및 설계방법의 다양화를 신속하고 적절하게 수용해 나가지 못하는 CAD 시스템은 비효율성으로 인하여 제품의 경쟁력을 저하시키는 원인이 될 수 있다. 이러한 가능

성을 배제하고 효율적인 CAD 시스템을 구축하기 위해서는 항시 선진 경향을 예의 주시하고 분석하여 적절한 대응 방안을 모색함으로써 시스템을 유지, 보수, 발전시켜야 한다.

参 考 文 献

[1] 공정택, "VLSI 설계를 위한 Total CAD 시스템 구축," KIC '85 논문집 II, pp. 185-191, 1985.

[2] 과학기술처, 초고집적 반도체 기술공동 개발 사업중 시뮬레이션 툴 기술개발, 최종 보고서 (III), pp. 476-503, 1987.

[3] 윤찬수, 문인호, 김태한, "Multi-dimensional Laplace Equation Solver의 Flux 계산방법에 관한 연구," 전자공학회 추계학술대회 논문집, vol. 9, no. 2, pp. 904-907, 1986.

[4] 과학기술처, 초고집적 반도체 기술 공동개발사업중 시뮬레이션 툴 기술개발, 최종보고서, pp. 81-99, 1988.

[5] 공정택, 문병중, 이창우, "SPICE2 접합 용량 parameter 최적 추출방법," 전자공학회 추계학술대회 논문집, vol. 7, no. 2, pp. 10-12, 1984.

[6] 조대형, 조준동, 배득승, 공정택, "SPICE2 BJT DC 및 AC 모델 파라미터 최적 추출," 전자공학회 하계학술대회 논문집, vol. 8, no. 1, pp. 622-624, 1985.

[7] 조대형, 김택수, 공정택, "Table look-up 방식을 이용한 MOSFET 회로 시뮬레이터," 전자공학회 추계학술대회 논문집, vol. 9, no. 2, pp. 824-827, 1986.

[8] 김택수, 조대형, 천명근, 공정택, "Waveform Relaxation과 Event Driven 기법을 이용한 Timing Simulation," 전자공학회 전기재료·반도체 및 CAD 학술대회 논문집, pp. 155-157, 1987.

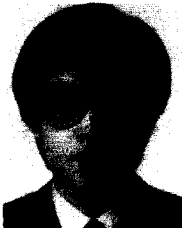
[9] 오성환, 문인호, 이상훈, "ILED : 집적회로 레이아웃의 계층적 설계를 위한 대화식 그래픽 에디터," 전자공학회 추계학술대회 논문집, vol. 10, no. 1, pp. 729-733, 1987.

[10] 최규명, 유문현, 조동수, 이상훈, "ESCALATOR-G : 게이트 어레이용 자동배치 배선시스템," 전자공학회 추계학술대회 논문집, vol. 10, no. 1, pp. 738-741, 1987.

[11] 유문현, 조동수, 최규명, , "EDROUTER : 설계규칙 자동검사가 가능한 대화식 배선수정기," 전자공학회 추계학술대회 논문집, vol. 10, no. 1, pp. 726-728, 1987.

[12] 김현정, 문인호, 오성환, 이상훈, "SALVOR : 일치성 검증의 효율적인 결과 분석을 위한 설계 오류분석 시스템2," 전자공학회 반도체·재료 및 부품연구회, 세에이디연구회 합동 학술 발표회 논문집, vol. 6, no. 1, pp. 200-203, 1988. (S)

著 者 紹 介



孔 晶 澤 (正會員)  
 1959年 3月 3日生  
 1981年 2月 한양대학교 전자공학과 학사  
 1983年 2月 연세대학교 대학원 전자공학과 석사

1983年 1月 삼성반도체통신(주) 반도체연구소, 연구원  
 1985年 3月 삼성반도체통신(주) 반도체연구소 CAD개발팀장, 주임연구원  
 1987年 9月 삼성반도체통신(주) 반도체연구소 CAD개발팀장, 선임연구원  
 1988年 11月~현재 삼성전자(주) 반도체부문 연구소 CAD개발팀장, 선임연구원  
 관심분야 : 시뮬레이션 및 모델링, VLSI 설계자동화 등