

## VLSI 설계를 위한 CAD 시스템

徐 光 壽

金星半導體(株) 半導體研究所 CAD開發室

### I. 서 론

Sub micron의 미세 가공기술을 가지고 수 백만개의 소자를 하나의 칩으로 실현할 수 있는 현재의 반도체 제조기술은 집적도 향상에 따라 증가되는 설계기간의 단축 및 설계비용의 감소를 위하여 CAD (computer aided design) 기술의 도입 및 효율적인 활용 기술의 확보등을 필요로 한다. 또한, 미세가공기술에 의한 고집적 기술의 확보를 위한 새로운 공정(process)의 개발 및 생산수율 극대화를 위하여 CAD 기술의 응용 및 개발을 요구하고 있다.

VLSI 설계를 위하여 사용되는 CAD 기술은 설계 측면에서 논리회로 설계 및 시뮬레이션, 레이아웃 설계 및 검증 등에 사용되며, 공정측면에서는 반도체 불순물 분포, lithography, 회로용 모델 파라미터를 얻기 위한 시뮬레이터등이 적용되고 있다. 최근 VLSI 기술의 비약적인 발전은 제품의 다양화와 고기능을 요구하는 경쟁적인 market을 형성하고 있으며, 이로 인하여 개발기간 및 생산기간의 단축을 위한 CAD 시스템의 구축이 절실히 요청되고 있다. 특히, CAD 기술은 설계를 돕는 응용 프로그램들이 유기적으로 연결되어 컴퓨터에서 사용되는 것이므로, 각 프로그램 및 하드웨어의 호환성 문제를 극복할 수 있는 CAD 시스템의 구축이 요구된다. 이와 같은 CAD 시스템의 구축을 위해서는 기 도입된 CAD 기술의 효율적 사용방법 모색 및 공통 데이터베이스 개념에 의거한 network 구성 및 interfacing 프로그램의 개발이 필요하다.

현재, 금성반도체(주) 반도체연구소는 VLSI 설계시 필요한 시뮬레이션 및 레이아웃 작업을 CAD 시스템을 이용하여 수행하고 있으며, 효율적인 CAD

시스템을 구축하기 위하여 확장성 및 정비보수 지원이 용이한 컴퓨터 시스템의 도입설치 및 운영과 각 CAD 기술들을 integration하며 향후의 device 복잡도 증가를 처리할 수 있는 소프트웨어 시스템을 연구 개발하고 있다. 본고는 당 연구소의 CAD 시스템을 기준으로 CAD 시스템의 구축 방안을 부문별 알아보고자 한다.

### II. CAD 시스템 구축시 고려사항

CAD 시스템의 구축은 그림 1에서 보는 것과 같이 설계 각 단계에서 필요한 CAD tool들을 설계환경에 부응하도록 컴퓨터 시스템에 할당하고 이들 상호간의 데이터를 공유하거나 연결될 수 있도록 해야 한다.

CAD 시스템의 구축은 하드웨어를 기준으로 구분하면 mainframe 또는 전용 컴퓨터로 구축하거나 EWS (engineering workstation)으로 구축 또는 양자를 병용하는 방식으로 구축할 것인지를 결정하여야 한다. 현재, Valid Logic Systems, Mentor Graphics, Daisy Systems나 Silicon Compiler Systems 등의 stand-alone/turn key CAE/CAD workstation의 사용이나 Calma의 GDSII 시스템의 병행사용 방식등이 제시될 수 있으며, 또한 Silver-Lisco, Meta Software 등과 같은 3rd party 소프트웨어 회사의 CAD tool들을 VAX, IBM 등에 이식성과 연결성을 고려하여 구축할 수 있다. CAD 시스템을 구축하기 위하여 고려해야 할 사항은 다음과 같다.

- (1) 장기적인 사업계획 및 인력 계획에 부합되는 시스템 선정
- (2) 확장성, 호환성, 중복투자 가능성 여부
- (3) 응용 소프트웨어의 성능 및 한계

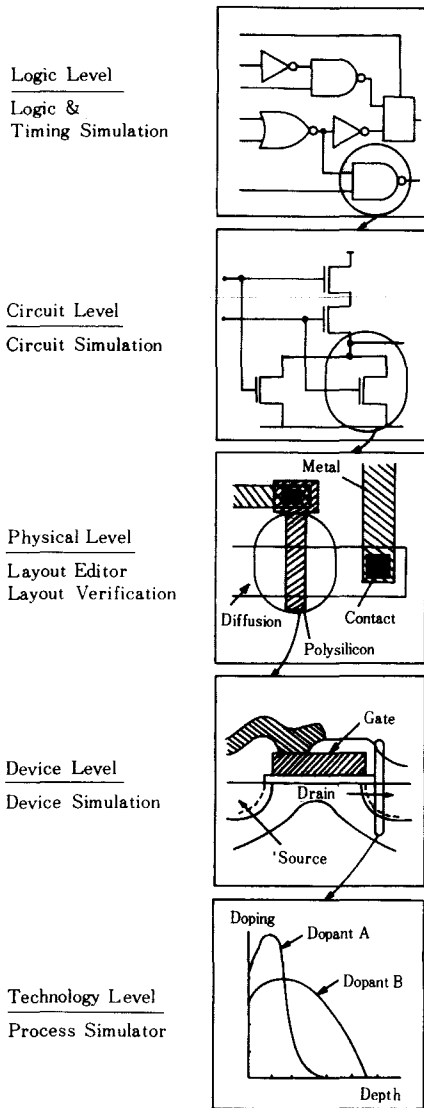


그림 1.

- (4) 사용 하드웨어의 적합성 및 가격대 성능비
- (5) 공급업체의 교육 및 정비보수 지원 능력
- (6) 공급업체의 신용도 및 시장 점유율
- (7) 납기와 납품조건 등

### III. Mainframe용 CAD 시스템

Mainframe에 구축하는 CAD 시스템은 필요한 CAD tool들을 3rd party 소프트웨어로 구성하고 이들을

연결하기 위한 프로그램을 개발하여 구축할 수 있다. 현재, 당 연구소는 시뮬레이션 및 레이아웃 검증을 IBM, VAX 등의 시스템에서 수행하고 있다. 이 방식의 경우, 시스템이 multi-user 및 time sharing 방식의 컴퓨터이므로 CAD 작업의 급증시 사용효율이 저하되며, 컴퓨터 용량의 확장이 비용·기술 측면에서 점진적으로 이루어지기 어려운 특징을 갖고 있다. 여러 시스템을 사용하는 경우 CAD 작업의 능률적인 배분과 시스템 증설 여제를 위해 network의 구성이 필수적으로 요구된다.

### IV. Workstation용 CAD 시스템

EWS의 보급과 기능향상에 따라 과거의 mainframe이나 graphis 전용 시스템에서만 사용되던 CAD tool의 사용이 가능해지고, 또한 network 기능의 강화로 mainframe의 multi-user 기능을 보완·대체할 수 있는 특징을 갖는다. 또한, 사업의 확장에 따른 시스템의 도입이 점진적으로 이루어 질 수 있는 특징을 갖는다. 현재, 당 연구소에는 IC 레이아웃용의 Calma GDSII 시스템과 Schematic Capture 및 시뮬레이션 기능을 갖춘 Mentor 및 Daisy Workstation이 연결되어 사용되고 있다.

### V. 시뮬레이션

시뮬레이션은 실제 문제를 단순한 형태로 모델링하여 이 모델에 근거하여 해를 구하는 것으로 설계·공정 단계마다 그림 2와 같이 동작, 기능, 논리, timing, fault, 회로, 공정, device 시뮬레이션이 사용된다.

시뮬레이션은 모델링의 한계에 의하여 일정 범위 내에서의 사용시 정확하므로 시스템 구축시 이 점을 고려하여 구축하여야 한다.

#### 1. 기능, 논리 시뮬레이션

일반적으로 상용화되어 있는 시뮬레이터들은 TEG-AS-5, HILO 3, SILOS, HELIX 등이 mainframe을 근간으로 사용되고 있으며, Quicksim, MDLS, LS-IM 등이 EWS에서 사용되고 있다. 이 시뮬레이터들은 대개 기능, 논리, fault 시뮬레이션이 가능하며, ATE(automatic test equipment) interfacing을 제공한다. 당 연구소에서는 각 시뮬레이터들과 Schematic Capture간의 연결을 위한 netlist 변환, 공동 라이브러리 구축 및 back-annotation 프로그램을 개발하고 있다.

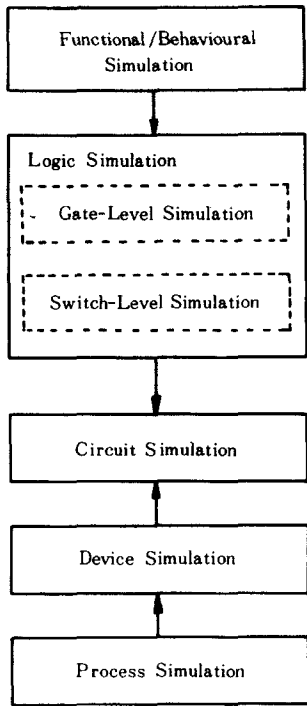


그림 2.

2. 회로 시뮬레이션

메모리, 아날로그 회로 및 표준셀(standard cell) 과 논리회로 설계를 위하여 사용되며, 대표적으로 SPICE2와 ASPEC 등이 사용된다. 당 연구소는 short channel 효과 등에 의한 SPICE 시뮬레이션 오차를 줄이기 위하여 MOSFET의 모델링을 변경 사용하고 있으며, 시뮬레이션 출력을 graphic으로 처리하여 볼 수 있도록 개발 사용하고 있다.

3. 파라미터 추출

측정된 I-V 및 C-V 데이터로부터 회로용 시뮬레이터의 정확한 결과를 얻기 위해 모델 파라미터 추출이 필요하다. 현재, 당 연구소는 이를 위해 SPICE용 최적 파라미터 추출 프로그램을 사용하고 있다.

4. 공정 및 Device 시뮬레이션

공정 시뮬레이터는 doping profile의 해석을 위해 필요하며 device 시뮬레이터는 공정 파라미터들로부터 device의 전기적 특성을 해석하는 프로그램들이다. 현재, 이들 프로그램들은 개발되어 공정 및 device

시뮬레이터가 연결되어 시뮬레이션 되도록 연구되었다.

VI. 자동배치배선 및 레이아웃툴

레이아웃 자동배치배선 시스템은 ASIC 설계의 gate array 및 standard cell 방식 설계를 위하여 사용된다. 특히, Schemature Capture 및 논리, fault 시뮬레이터를 전반부(front-end)로 부르며, back annotation과 layout 자동배치배선을 후반부(back-end)로 구분한다. 레이아웃툴은 설계자가 직접 설계규칙(design-rule)에 근거하여 대화식으로 레이아웃을 그리는 레이아웃 에디터와 설계된 레이아웃의 설계규칙 오류를 점검하기 위한 레이아웃 검증기 등이 있다.

1. 레이아웃 자동배치배선

레이아웃의 자동배치배선 시스템은 Schematic Capture로부터 얻어진 netlist를 논리 시뮬레이터에 의해 검증한 후 이 netlist에 의해 기 구축된 라이브러리를 이용하여 자동 배치배선하는 CAD tool로써, 그림 3과 같은 설계 흐름을 갖는다. 당 연구소에서는 자동 배치배선 프로그램으로써 표준셀용 CAL-MP와 gate array용 LDS III를 사용하고 있으며, 자체 개발력 향상을 위해 자동배치배선 프로그램을 개발하고 있다. 또한 배치·배선을 위해 필요한 netlist가 공유될 수 있도록 추진되고 있다.

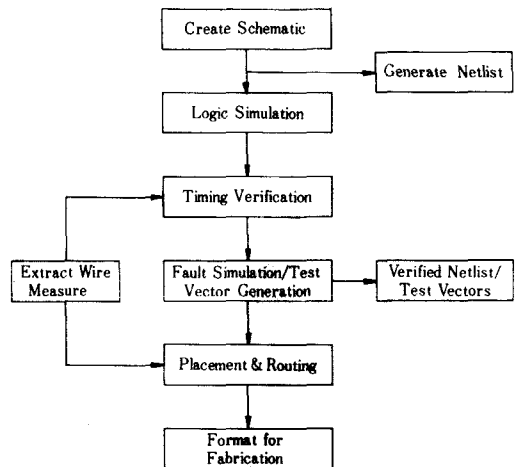


그림 3.

### 2. 레이아웃 툴

일반적으로 미리 셀 레이아웃이 정의되어 있는 표준셀이나 gate array와 같은 ASIC 설계와 달리 메모리, 아나로그 회로 및 논리회로들은 레이아웃 에디터에 의한 직접 digitizing에 의해 레이아웃을 수행한다. 레이아웃 에디터는 과거에는 Calma GDS II와 같이 graphic 전용기를 host 컴퓨터에 묶어 시분할로 사용하므로 처리속도에 제약을 주었으나, 현재에는 EDS II와 같이 Stand-Alone EWS에서 작업하므로써 이같은 문제점을 야기하지 않는다. 또한, symbolic 레이아웃 기능과 space compaction 기능을 사용함으로써 기술 의존적이지 않고, 설계규칙 검증이 필요하지 않도록 레이아웃 작업을 수행할 수 있다. 당 연구소에서는 Calma 시스템을 사용하고 있으며, 이 시스템과 자체 개발한 레이아웃 에디터와 Calma 데이터 베이스를 공유하여 사용할 수 있도록 제작하였다. 또한, 레이아웃 검증 작업을 위해서는 Dracula를 이용하고 있으며, 레이아웃과 schematic의 비교 및 설계규칙 오류를 graphic으로 보여 줄 수 있는 시스템을 추진하고 있다. 그림 4는 레이아웃 툴간의 상호관계를 표시한다.

### Ⅶ. 결 론

메모리, 논리회로 및 ASIC 설계를 효율적으로 수

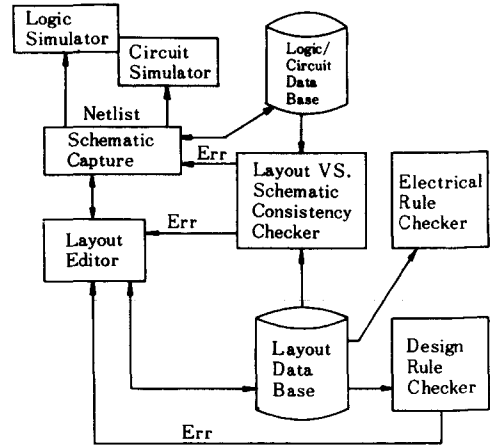


그림 4.

행할 수 있도록 작업의 특성에 따라 mainframe 컴퓨터와 EWS에 작업을 할당하여 network으로 연결되는 시스템을 구축하여 각 툴들이 공동 데이터베이스를 사용할 수 있도록 하고 있다. 또한, 각종 시뮬레이터 및 레이아웃 검증을 통하여 설계오류를 초기단계에서 제거함으로써 개발기간을 줄일 수 있도록 CAD 시스템을 구성하였다. (㉠)

### 筆者紹介



徐 光 壽 (正會員)  
 1960年 8月 21日生  
 1983年 8月~1985年 8月 연세대학교 대학원 전자공학과 졸업  
 공학석사학위 취득

1985年 1月~현재 금성반도체 안양연구소 연구원  
 관심분야 : Module Generator 및 Automatic Layout Tool 개발