

# Trench Epitaxial Transistor Cell(TETC)의 제조

## (Production of Trench Epitaxial Transistor (TETC))

李 天 熙\*

(Cheon Hee Yi)

### 요 약

4 M과 16M에 쓰일 수 있는 Trench Epitaxial Transistor Cell(TETC)이라 부르는 새로운 구조의 D-RAM cell을 고안하였고 또한 SEG 공정을 이용하여 narrow effect를 줄이는 device isolation 공정을 제안하였으며 이들의 특성을 PICSES simulator를 VAX 8450에서 사용하여 검증하였다.

### Abstract

A new dynamic RAM cell called Trench Epitaxial Transistor Cell (TETC) has been developed for 4M to 16M DRAMS. Also the fabrication process for device isolation which can decrease the narrow effect using SEG process has been developed. We verified the characteristic of the new cell structure with the PICSES simulator on VAX 8450.

### I. 서 론

본 연구과제에서 개발한 TETC (trench epitaxial trench cell) 구조는 기존의 trench 기술과 SEG(selective epitaxial growth) 기술을<sup>1),4),7),14),16)</sup> 이용하여 구성된 DRAM cell 구조로써 그림 1과 같다. 이 구조는 SPT(substrate plate trench)cell 구조<sup>6),17)</sup> BSE(buried stroage electrode)cell 구조<sup>8)</sup>기존의 4M DRAM cell 구조와 비교하여 불때 substrate를 plate 전극으로 사용한다는 점에서는 같으나 SEG와 같은 새로운 기술이 필요하다. 이러한 기술은 앞으로 차

세대 3 차원 IC를<sup>19),10)</sup> 개발하는데 필요한 기술로서 현재 연구가 활발히 진행되고 있다.

TETC 구조의 가장 큰 장점은 SEG 방법에 의해서 stroage 전극인 n<sup>+</sup>-polysilicon과 transfer transistor의 n<sup>+</sup>-source가 self connection됨으로써 cell size가 약30% 감소하게 됨으로 16M DRAM cell에도 적용할 수 있다.<sup>11)</sup> 또한 기존의 DRAM cell과 비교하여 불때 burried contact mask와 bridge polysilicon mask를 사용할 경우에 contact의 불안전과 mask 간의 misalign에 의한 실패 확률이 높아지나 본 구조에서는 이러한 두 layer의 mask가 필요없게 됨으로<sup>11)</sup> 공정이 크게 단축되며 polysilicon의 interconnection layer 수가 적어서 bit line인 metal line의 step coverage가 크게 개선되어 submicron 미세패턴 형성 기술에 매우 유리하다.

DRAM cell 구조를 simulation하여 분석하는 데는 process, device 및 circuit 측면에서 simulation 할 수

---

\*正會員, 淸州大學校 電子工學科  
(Dept. of Elec. Eng., Chongju Univ.)  
接受日字: 1989年 3月 21日  
(※ 본 연구는 서울대 반도체공동연구소의 지원으로 이루어진 것임.)

있다. Process simulation과 circuit simulation은 DRAM cell을 구조적인 관점에서 분석하는 데는 부차적인 문제임으로 여기서는 device simulator인 PICSES를<sup>11)</sup> 이용하여 simulation을 하였다.

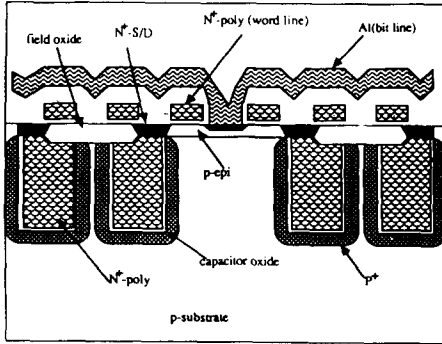


그림 1. TETC의 구조  
Fig. 1. Structure of TETC.

II. TETC 구조의 제조방법

본 TETC 구조를 이용하여 DRAM을 제작할 경우에 주변회로에는 CMOS 공정을 실행해야 하므로 여기서는 CMOS와 TETC 구조를 이용한 DRAM 공정에 대하여 설명한다. 이 공정은 기존의 발표된 기술을 토대로 하여 DRAM 제작 공정과 새로운 공정 기술에 대한 제안이다. 주요 공정 기술과 TETC 구조를 이용한 CMOS 공정 순서 및 modified TETC 제조공정은 다음과 같다.

1. Starting material

TETC 구조에서는 substrate를 capacitor의 plate 전극으로 사용하므로 p/p<sup>+</sup>epi-wafer를 사용하는 것이 유리할 것으로 생각된다. 그러나 CMOS 공정을 하여야 함으로 epi층의 두께가 3 $\mu$ m 이상 되어야한다. N-type wafer를 사용할 경우에는 P-well의 cell영역을 high doping 시키고 epi층에 NMOSFET를 제작하는 방법과 p<sup>+</sup>-side wall을 서로 연결시켜서 plate 전극으로 사용하는 방법을 생각할 수 있다. 여기서는 가장 일반적인 substrate 농도가 7 $\times 10^{15}$ /cm<sup>3</sup>인 p type 기판을 기준으로 설명한다.

2. n-well과 p-well 형성

p-type 기판을 사용할 경우에 n-well CMOS 공

정과 twin-tub CMOS 공정을 생각할 수 있으며 twin-tub CMOS 공정이 n-well CMOS 공정보다는 공정이 복잡하나 설계적인 면에서는 유리하다. 그러나 twin-tub CMOS 공정인 경우에는 다음 경우를 고려하여 주어야 한다.

1) Mask를 1장 더 사용하는 경우 cell영역을 high doping 시킴으로써 trench capacitor의 p<sup>+</sup> sidewall doping 공정을 생략할 수 있으며 substrate 저항은 크게 줄여서 substrate bouncing을 억제할 수 있다.

2) p-well mask를 사용하지 않은경우에 p-well과 n-well의 breakdown 전압과 leakage 전류때문에 p-well 농도를 크게 증가 시킬 수 없다.

3. Trench etching

단결정 silicon의 건식 식각 기술은 RIE(reactive interact etch), PE(plasma etching)등이 있으나 비등방성 특성이 좋은 RIE 기술을 많이 사용한다. Etching mask로는 CVD oxide(SiO<sub>2</sub>)를 많이 사용하나 다음의 연속적인 process를 위하여 nitride(Si<sub>3</sub>N<sub>4</sub>)등을 삽입하여 사용한다.

건식 식각을 할때에 기관의 damage를 최소로 줄이고 양질의 capacitor 절연막을 성장 시켜야 하는데 절연막으로는 oxide와 nitride, ONO(oxide/nitride/oxide)등이 사용될 수 있다. 150 $\text{\AA}$  이상에서는 현재까지 oxide가 가장 유리하다. 또한 capacitor의 storage 전극으로 사용하기 위하여 heavily doped된 n<sup>+</sup>-polysilicon을 채운다음 다시 etch-back하여 평탄화 시켜야한다. Filling하는 방법에도 trench안에서 동공이 발생하지 않도록 etch-back과 filling을 계속적으로 하는 방법이 있다. 평탄화 방법으로는 LP CVD glass를 이용하는 방법과 PR을 이용하는 방법등 여러가지가 사용될 수 있다.

4. SEG(Selective Epitaxial Growth)

SEG는 wafer표면은 SiO<sub>2</sub>로 mask한 다음 SiO<sub>2</sub>가 없는 부분을 seed로 한 단결정 silicon을 성장시키는 기술이다. 이러한 기술은 SOI기술에서<sup>12)</sup> lateral overgrowth 방법등을 이용하여 SOI device 제작에 많이 응용되고 있으며 현재 저온에서 양질의 epitaxial을 형성시키는데 큰 어려움이 없는 것으로 알려져있다. 그러한 좁은 device를 얻기 위하여서는 silicon surface의 cleaning 공정이 중요하다.

5. Interconnection

본 cell에서 사용되는 배선은 word line과 bit line으로써 word line은 n<sup>+</sup>-polysilicon을 사용할 경우에 R<sub>s</sub>

값이 크게 되어 RC delay time이 길어짐으로 n<sup>+</sup>-polysilicon 위에 silicide를 deposition시킨 polycide를 사용하였으며 bit line 은 Al을 사용하였다. 따라서 특히 metal의 step coverage가 매우 좋을 것으로 기대된다.

III. TETC 구조에 대한 Simulation

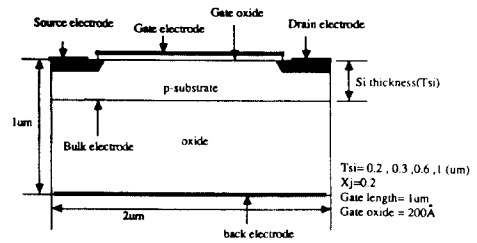
DRAM cell 구조를 simulation 하여 분석하는데는 process, device 및 circuit 측면에서 simulation할 수 있다. Process simulation과 circuit simulation 은 DRAM cell을 구조적인 관점에서 분석하는데는 부차적인 문제이므로 여기서는 device simulator인 PICEES를 이용하여 device simulation을 하였다.

DRAM cell 구조에서 device simulation이 가능한 부분은 크게 transistor, capacitor 및 cell과 cell사이의 coupling 등으로 나누어서 각각의 특성을 simulation 할 수 있는데 실제적인 cell 구조는 3차원적인 구조인데 3D simulator가 없으므로 3D simulation은 할 수 없었다. 본 cell 구조에서는 transistor 부분, capacitor 부분으로 나누어서 각각의 특성을 PICEES II를 이용하여 simulation 하였다.

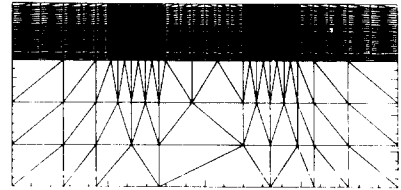
1. Transistor

본 cell에서 사용된 transistor는 epitaxial을 이용한 CMOS FET로써 기존의 device에서 나타나는 narrow channel 효과를 크게 감소시켰다. 그러나 bird's beak oxide위로 overgrowth된 channel에서는 silicon 두께가 얇아짐으로써 threshold에 영향을 주게된다. 이러한 특성을 조사하기 위하여 silicon의 두께가 0.2  $\mu\text{m}$ , 0.3  $\mu\text{m}$ , 0.6  $\mu\text{m}$ , 1  $\mu\text{m}$  경우에 대하여 Id-Vg 특성을 조사하였다.

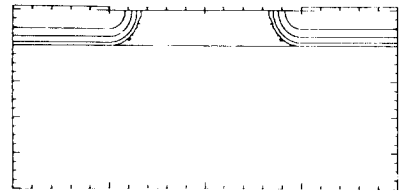
그림 2(a)는 simulation을 하기위한 SOI 구조로서 gate oxide=200 $\text{\AA}$ , back oxide=2000 $\text{\AA}$ , channel 길이=1  $\mu\text{m}$ 이며 Si/oxide interface charge  $Q_f=1\text{E}10\text{cm}^{-2}$ 으로 가정하였다. Drain 전압  $V_d=0.1\text{V}$ 일때 gate 전압  $V_g$ 를 0V-1V 까지 0.1V의 step으로 계산하였으며  $V_s, V_b, V_{\text{sub}}=0\text{V}$ 로 하였다. 그림(b)는 입력 mesh이며 (c), (d), (e), (f)는 Tsi의 두께에 대한 각각의 doping profile이다. 그림3은 threshold 전압을 구하기 위한 Id-Vg에 대한 simulation 결과로서 silicon 두께가 작아 짐에 따라  $V_t$ 는 감소한다. 이것은 일반적으로 narrow channel 효과에 의해서는  $V_t$ 가 증가하나 SEG를 이용한 device 구조는 narrow channel에 의해서  $V_t$ 는 감소하게 된다.  $V_t$ 가 감소하는 원인은 bulk silicon 두께가 작아짐에 따라 surface가 full-de



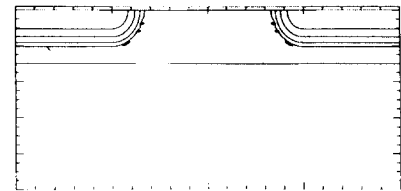
(a) Device 단면



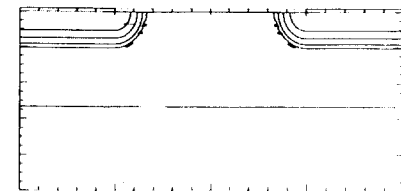
(b) 입력 mesh



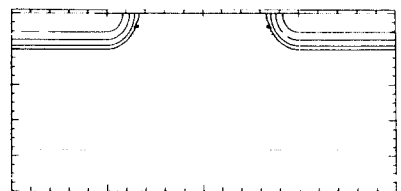
(c) 0.2  $\mu\text{m}$  두께의 doping profile



(d) 0.3  $\mu\text{m}$  두께의 doping profile



(e) 0.6  $\mu\text{m}$  두께의 doping profile



(f) 1  $\mu\text{m}$  두께의 doping profile

그림 2. SOI를 이용한 n MOSFET 구조  
Fig. 2. Structure of n MOSFET using SOI.

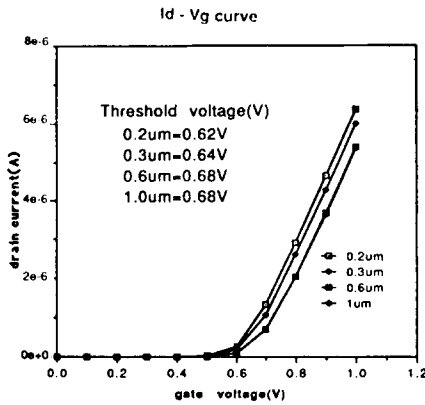


그림 3. Bulk silicon 두께에 따른  $V_t$ 의 변화  
Fig. 3. Variation of  $V_t$  due to bulk silicon thickness.

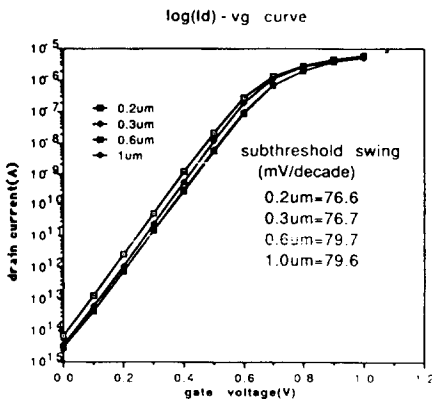


그림 4. Bulk silicon 두께에 따른 subthreshold swing 변화  
Fig. 4. Variation of subthreshold swing due to bulk silicon thickness.

pletion 되기 때문에 나타나는 현상이다. 그림 4는 device의 leakage 특성을 분석하기 위한 subthreshold current 특성 곡선으로서  $T_{si}$ 가 작아짐에 따라 subthreshold swing이 작아져서 leakage 특성이 좋아진다. 따라서 SEG를 이용한 device 구조가 narrow channel effect를 줄이기 위한 새로운 device 구조가 될 수 있을 것이다.

그러나 본 cell 구조에서는  $p^+$ 가 capacitor surface를 통해서  $n^+$ \_source와 연결되어 있으므로  $p^+$ \_surface

에 breakdown이나 leakage는 바로  $n^+$ \_source 쪽으로 흐르게 되어 capacitor leakage와 breakdown으로 작용하게 된다. 따라서 이러한 leakage를 줄이고 capacitor 용량은 최대로 하기 위하여 적절한  $p^+$  농도를 simulation을 통하여 결정하였다.

그림 9 (a-d)와 그림 10 (a-d)는  $p^+$ -surface에서 potential 분포와 field 분포를 sub 농도와 storage 전류의 bips를 변화시키면서 simulation 한 결과이다. 표 1은 이러한 결과를  $V_1=5\text{volt}$ 에 대해서 정리한 것으로서 sub 농도가  $6E18\text{cm}^{-3}$ 일때 field는  $9E5$ 으로 Zener breakdown field =  $1.5E6\text{v/cm}$  이하이며 potential drop은  $0.5\text{volD}$ 로써 capacitor의 oxide는  $33\text{\AA}$  정도 증가한 결과가 된다. 따라서  $p^+$ \_surface 농도는  $6E18\text{cm}^{-3}$  이상이며, 가능할 것으로 추정된다.

표 1.  $V_1=5\text{V}$ 일때 surface 농도에 따른 maximum field와 potential 및 depletion depth  
Table 1. Maximum field, potention and depletion depth according to surface density at  $V_1=5\text{V}$ .

농도 ( $\text{cm}^{-3}$ )	1E 18	6E 18	1E 19	2E 19	4E 19
field (v/cm)	7E 5	9E 5	1E 6	1E 6	1E 6
Potential (v)	1	0.5	0.3	0.2	0.1
Depletion depth	$300\text{\AA}$	$100\text{\AA}$	$60\text{\AA}$	$40\text{\AA}$	$25\text{\AA}$
Teqox	$100\text{\AA}$	$33\text{\AA}$	$20\text{\AA}$	$13\text{\AA}$	$8\text{\AA}$

2)  $n^+$ \_source와  $p^+$ \_plate junction

그림 5에서  $n^+$ \_source는 transfer transistor의 source 이므로  $2E19\text{cm}^{-3}$  이상이며  $p^+$ \_plate는 surfare depletion과 leakage를 최대로 줄이기 위하여  $1E19\text{cm}^{-3}$  이어야 한다. 이때  $n^+$ 와  $p^+$ 사이의 doping profile 및 거리의 변화에 따라 junction breakdown과 leakage가 의존하게 됨으로 여기에서는 적절한 doping profile을 구하기 위하여 simulation 하였다. 그러나 PISCES에는 junction breakdown model이 존재하지 않으므로 doping profile에 따른 electric field를 simulation하였고 기존의 측정 data를 기준으로 하여 적절한 profile을 결정하였다.

2. Capacitor

기판을 plate 전극으로 사용하는 DRAM cell 구조에서 공통적으로 나타나는 문제는 그림 1과 같이  $n^+$ \_source 전극과  $p^+$ \_plate 전극사이에서의 leakage 전

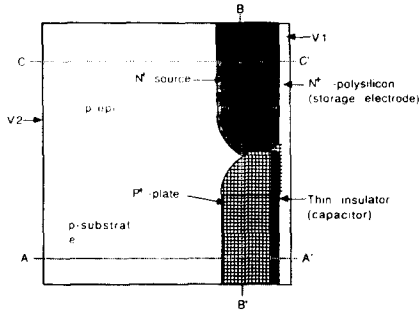


그림 5. TETC cell 구조의 simulation 단면

Fig. 5. Simulation of cross section for TETC cell structure.

류로써 이는 capacitor retention time에 결정적인 영향을 준다. 그림 5은 본 cell의 simulation 단면을 나타내며 V1은 n'-polysilicon인 capacitor 전극으로 n'-source와 ohmic contact 되어있다. V2는 P-substrate에 연결된 전극으로 p'-plate와 연결되어 있다. p'-plate는 n'-polysilicon과는 capacitor insulator (200 Å)에 의해서 절연되어 있으며 n'-source와는 junction을 형성한다.

그림 6은 그림 5의 단면에 대한 입력 mesh이다. 그림 7는 2차원 doping profile로써 p'-plate와 n'-source에 대한 doping profile을 나타낸다(여기서 p' 농도는  $1E19cm^{-3}$ 이며 n'-source는  $1E20cm^{-3}$ 이다).

그림 8은 V1과 V2사이의 leakage 전류특성으로써 leakage를 조사하고자 하였으나 PICSES simulator

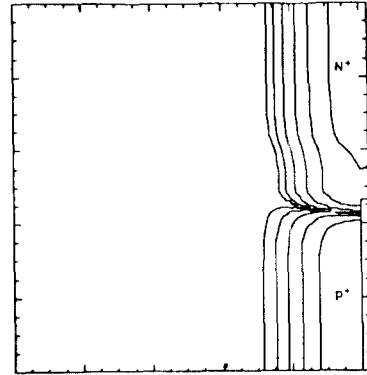


그림 7. 도핑 프로파일  
Fig. 7. Doping profile.

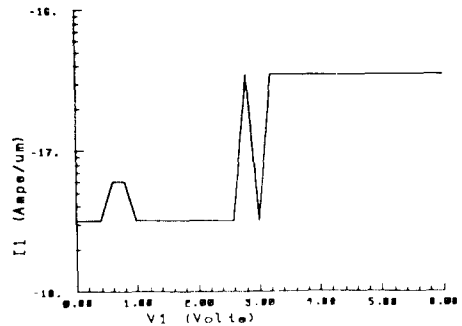


그림 8. Leakage current 특성 (V1과 V2 사이)  
Fig. 8. Characteristic of leakage current. (between V1 and V2).

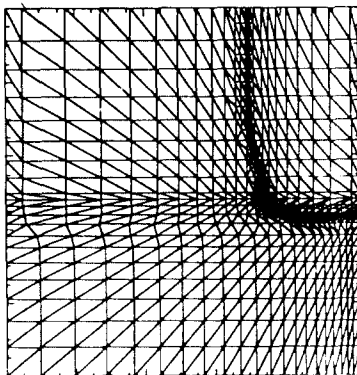
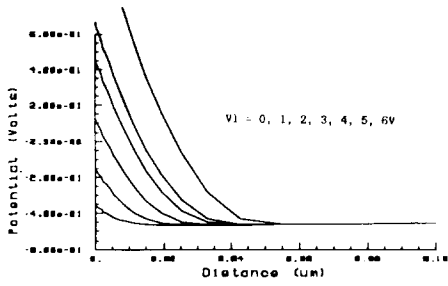


그림 6. Simulation용 mesh  
Fig. 6. Mesh for simlntion.

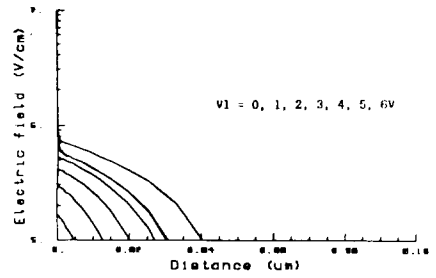
에는 doping 농도에 따른 breakdown model식이 없어서 leakage 전류특성이 아주 좋게 simulation 되었다. 따라서 p'-surface와 n'-p' junction에 의하여 doping 농도와 분포에 따른 field 변화를 simulation 하여서 간접적으로 breakdown 조건을 유추하였다.

1) p'-surface

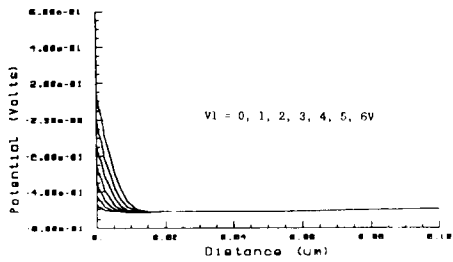
p type 기판을 capacitor의 plate로 사용할 경우에 storage 전극에는 +전압이 인가되므로 p-substrate의 surface 영역은 depletion 된다. 이러한 depletion capacitor는 thin dielectric capacitor와 직렬로 연결 되게되어 capacitor 용량을 크게 떨어뜨린다. 따라서 p-substrate의 surface 영역은 p'로 heavily doping 시킬수록 capacitor 용량은 증가된다[2]



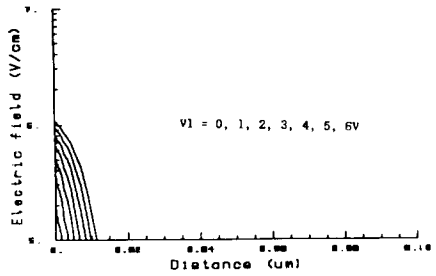
(a) A' - A 사이의 potential 분포 (Psub=1E 18cm<sup>-3</sup>)



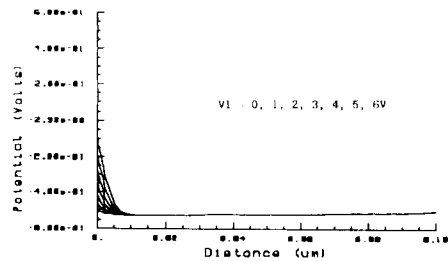
(a) A' - A 사이의 electric field 분포 (Psub=1E 18cm<sup>-3</sup>)



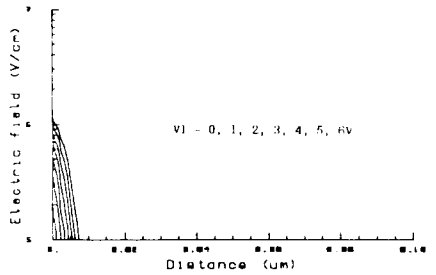
(b) A' - A 사이의 potential 분포 (Psub=6E 18cm<sup>-3</sup>)



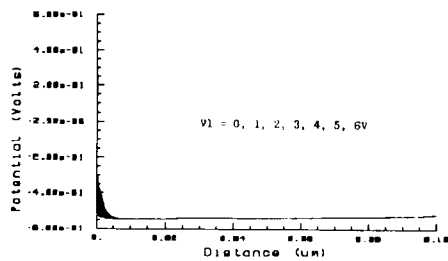
(b) A' - A 사이의 electric field 분포 (Psub=6E 18cm<sup>-3</sup>)



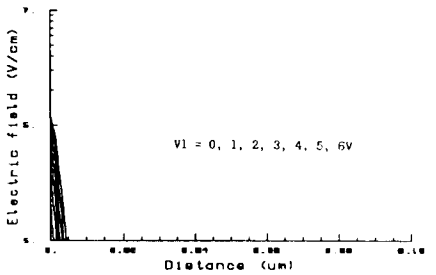
(c) A' - A 사이의 potential 분포 (Psub=1E 19cm<sup>-3</sup>)



(c) A' - A 사이의 electric field 분포 (Psub=1E 19cm<sup>-3</sup>)



(d) A' - A 사이의 potential 분포 (Psub=2E 19cm<sup>-3</sup>)



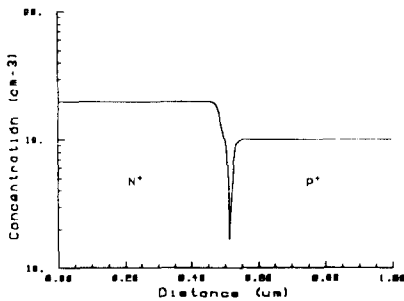
(d) A' - A 사이의 electric field 분포 (Psub=2E 19cm<sup>-3</sup>)

그림 9. A' - A 사이의 potential 분포  
Fig. 9. Potential distribution between A' - A.

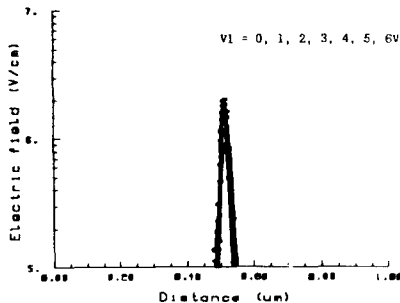
그림 10. A' - A 사이의 electric field 분포  
Fig. 10. Electric field distribution between A' - A.

그림11(a, b)은 n<sup>+</sup>와 p<sup>+</sup>사이의 peak point가 0.05 $\mu$ m 일때의 doping profile과 electric field를 나타낸다. 여기서 electric field는 reverse bias가 zero volt 일때에도 1E6V/cm정도로써 바로 n<sup>+</sup>와 p<sup>+</sup> 사이에서 breakdown이 일어난다. 그림12(a, b)와 그림13(a)는 똑같이 peak to peak 거리가 0.2 $\mu$ m이나 doping profile의 분포에 따라서 electric field가 크게 변화함을 알 수 있다. 따라서 저온공정에 의하여 불순물을 적절히 control 하는 것이 매우 중요하다.

그림14(a, b)는 0.25 $\mu$ m의 거리인 doping file 로서 electric field는 적절히 억제되었고 이러한 분포는 일반적인 공정에서 나타나는 분포이므로 peak to peak 는 0.25 $\mu$ m 이상의 간격을 두고 저온공정이나 RTA 공정에 의해서 junction을 형성하는 것이 바람직하다고 생각된다.

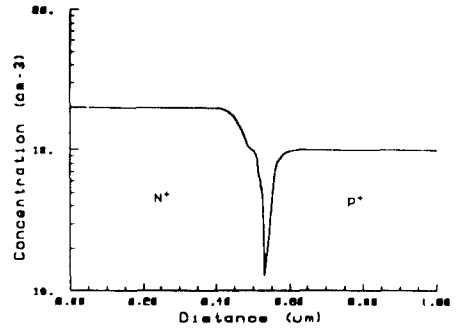


(a) B' - B 사이의 doping profile

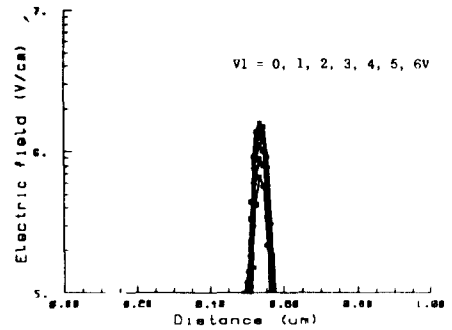


(b) 그림 (a)의 electric field 분포

그림11. B' - B 사이의 doping profile 및 electric field (peak to peak=0.05 $\mu$ m) (normal annealing)  
 Fig.11. Doping profile and electric field between B' - B. (peak to peak=0.05 $\mu$ m) (normal annealing).



(a) B' - B 사이의 doping profile

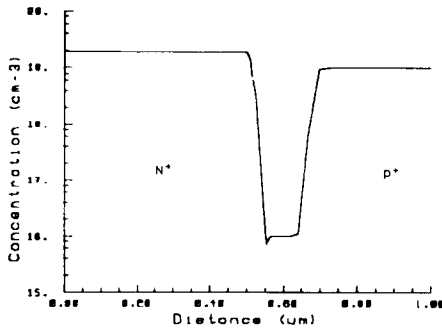


(b) 그림a)의 electric field 분포

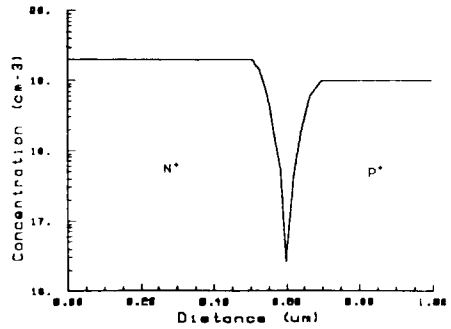
그림12. B' - B 사이의 doping profile 및 electric field (peak to peak=0.2 $\mu$ m) (high temperature annealing)  
 Fig.12. Doping profile and electric field between B' - B. (peak to peak=0.2 $\mu$ m) (high temperature annealing).

#### IV. 결 론

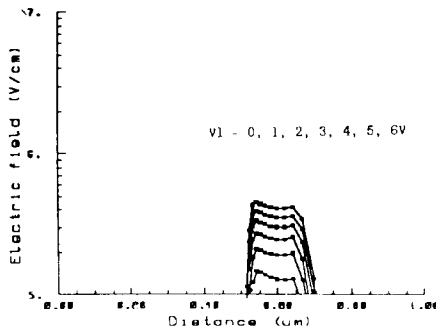
본 연구는 4M DRAM 급 이상의 새로운 cell 구조를 고안하고 이러한 cell 구조를 simulation을 통하여 타당성과 가능성을 검토하였다. TETC 구조와 modified TETC DRAM cell 구조를 고안하였으며 SEG 공정을 이용하여 narrow effect를 줄이는 device isolation 공정과 BPSG를 이용한 isolation 공정을 제안하였다. TETC 구조는 n<sup>+</sup>-polysilicon인 storage 전극과 n<sup>+</sup>-source 전극이 self-contact 됨으로써 cell size가 약30% 감소되며 burried contact mask와 bridge polysilicon mask가 필요없게 됨으로 공정이 크게 단축되고 metal line의 step coverage가 크게 개선되어 sub-micron의 미세 패턴 형성에 매우 유리하며 16M DRAM cell도 적용할 수 있을 것으로 기대된다. 또한 SEG



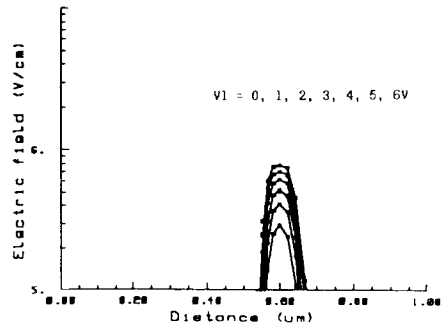
(a) B' - B 사이의 doping profile



(a) B' - B 사이의 doping profile



(b) 그림(a)의 electric field



(b) 그림(a)의 electric field

그림 13. B' - B 사이의 doping profile 및 electric field (peak to peak = 0.2 $\mu$ m) (low temperature annealing)

Fig. 13. Doping profile and electric field between, B' - B (peak to peak = 0.2 $\mu$ m) (low temperature annealing).

그림 14. B' - B 사이의 doping profile 및 electric field (peak to peak = 0.2 $\mu$ m) (normal annealing)

Fig. 14. Doping profile and electric field between B' - B. (peak to peak = 0.2 $\mu$ m) (normal annealing).

기술은 LOCOS 공정과 BPSG를 이용한 isolation 공정에서 submicron device를 개발하는데 유용하게 사용될 수 있다.

Substrate를 plate 전극으로 사용하는 cell 구조에서 leakage와 breakdown을 조사하기 위한 simulation에서는 simulation tool의 제약때문에 만족할만한 결과를 얻지 못하였으나 p<sup>+</sup>-surface에서 potential 및 depletion 폭등은 p<sup>+</sup> 농도를 결정하는데 유용하게 이용될 수 있으며 n<sup>+</sup>-p<sup>+</sup> junction에서의 doping profile 과 electric field는 저온공정과 RTA 기술을 개발할 필요가 있다.

參 考 文 獻

- [1] M. Koyanagi et al, "Novel high density stacked capacitor MOS RAM," IEDM, pp. 348-351, 1978.
- [2] Y. Takemae, et al, "A 1Mb DRAM with 3-dimensional stacked capacitor cell," ISSCC, pp. 250-251, 1985.
- [3] T. Mano et al, "Submicron VLSI memory circuits," ISSCC, pp. 234-345, 1983.
- [4] H. Sunami et al, "A corrugated capacitor cell," IEEE Trans. Electron device, ED-31, pp. 746-753, 1984.



- [5] D.M. Eb, A. Mc Cambs, M. Raddwin, "Hi-c isolation of DRAM storage capacitor," IEDM, pp. 612-615, 1982.
- [5] D.S. Yancy, "Technology for the fabrication of a 1Mb CMOS DRAM," IEDM, pp. 698-701, 1985.
- [7] M. Sakamoto et al. "Buried storage electrode (BSE) cell for megabit DRAMS," IEDM, pp. 698-701, 1985.
- [8] H. Sunami and S. Asai, "Trends in megabit DRAM'S." Int. Sym. on VLSI Technology. systems and application, pp. 4-8, 1985.
- [9] H. Sunami, "Cell structure for future DRAM'S," IEDM 85, pp. 694-697, 1985.
- [10] M. Ohkura et al, "A three-dimensional DRAM cell of stacked switching-transistor in SOI (SSS)," IEDM 85, pp. 718-720. 1985.
- [11] P.M. Cater and B.R Wilkins. "Design of memory chips for resistance to alpha-particleinduced soft errors." Prac. VLSI and computers. pp. 660-667. 1987.
- [12] H. Binder et al, "Doping of trench capacitors for 4 Megabit DRAM's." conf. on solid state device and materials. pp. 299-302. 1986.
- [13] Mark R. Pinto, C.S. Rafferty, R.W. Dutton. "PICSES-II User's manual." Stanford University, 1984.
- [14] K.V. Rao et al, "Trench capacitor design issues in VLSI DRAM cells." IEDM-86, pp. 140-143, 1986.
- [15] Koi Ohtake et al. "Triple layered SOI dynamic memory," IEDM-86, pp.148-151, 1986.
- [16] Ashwin H. Shah et al, "a 4-Mbit DRAM with trench-transistor cell." J. of solid-state circuits, vol. sc-21, no. 5, pp.618-626, 1986.
- [17] Nicky chau-chun Lu et al., "A substrate-plate trench-capacitor(SPT) memory cell for Dynamic RAM's."
- [18] 이종덕외 8인. "초고집적 기억소자 기초기술에 관한 연구." 서울대 반도체 공동연구소 1988.\*

---

 著 者 紹 介
 

---



李 天 熙 (正會員)

1945年 6月 6日生. 1968年 한양대학교 전자공학과 졸업. 동 대학원 졸업. 1975年 성균관대학교 대학원 전자자료처리과 졸업. 1986年 성균관대학원 전자공학과 공학박사학위 취득. 1971年 (주) 한국마벨 근무. 1977年 동양공업전문대학 전자과 근무. 1979年~현재 청주대학교 전자공학과 부교수. 1983年~1985年 미국 캘리포니아 산호세 주립대학교 전산과 객원교수. 주관심분야는 VLSI Layout, ASIC, DRAM, CAD Tool 개발등임.