

모듈 분할 방식에 의한 조합 다치 논리 회로 구성이론

正會員 姜 聖 洙* 正會員 李 周 珩** 正會員 金 興 壽*

A Construction Theory of Combinational Multiple Valued Circuits by Modular Decomposition

Sung Su KANG*, Joo Hyung LEE**, Heung Soo KIM*

Regular Members

要 約 본 논문에서는 조합 다치논리 회로를 구성하는 이론을 제시하였다.

먼저 조합 다치논리 회로구성은 입력되는 변수를 기준으로 하여 셀을 구성한 후 이를 확장하여 일반적인 경우에 까지 적용 하도록 하였으므로 구성절차가 단순하고 규칙적이다.

본 논문에서 제시한 다치논리 회로구성이론은 규칙성, 간단성, 모듈성의 특징을 가지며, 특히 다치논리 회로에 입력되는 변수가 증가되는 경우 다치논리 회로 구성은 확장성을 갖는다.

ABSTRACT This paper represents a method which construct Combinational Multiple Valued Logic circuits.

First, it constructs Combinational Multiple Valued Logic Cell as the input variables, then, it can be applied to the general case by expanding it. thus these series of process is simple and regular.

The construction theory of Combinational Multiple Valued Logic circuits, represented here has regularity, simplicity and modularity. especially, in case input variables are increased this theory also has characteristics of expansion.

I. 서 론

현재 사용하고 있는 2진 논리 시스템은 그동안 비약적인 발전을 거듭해왔지만 제한된 단자수, 단자간 상호 연결문제* 그리고 보다 많은 정보처리 문제등의 해결책이 필요한 실정이다. 이러한 면에

서 다치논리이론의 연구가 대두되었고, 1970년 국제심포지움을 기점으로 많은 연구 논문이 발표 되었다.⁽¹⁻⁷⁾

그중에서도 유한체는 2진 논리를 수행하는 Boolean 체의 확장이라는 점에서 다치논리의 주된 심 분야가 되었다.

즉 A.S.Wojcik⁽⁸⁾ 등은 기본블럭을 단위로 한 분할 방법으로 다치논리 회로를 구성하였으며, C. Reischer와 D.A.Simmovici⁽⁹⁾는 기본셀을 반복처리 방법으로 구성하였다.

*仁荷大學校 電子工學科
Dept. of Electronic Engineering In Ha University.

**三星電子綜合研究所
Samsung Electronics. R & D Center
論文番號 : 89-48 (接受1989. 5. 29)

한편 A.D.Singh⁽⁶⁾ 등은 2진 Universal 구조 개념을 이용하여 순차 다치논리 회로를 구성하였으며, V.P.Srini⁽⁹⁾ 등은 2진 연산과 Unary 연산을 사용한 Celler array로 순차다치논리 회로를 구성하였다.

또한 W.R.English⁽⁷⁾ 는 유한 상태 알고리즘에 의해 순차다치논리 회로를 구성하였다.

본 논문에서는 앞에 열거한 논문의 연구 결과를 참고하여 다치논리 회로를 구성하는 이론을 제시하였다.

본 논문의 구성은 다음과 같다.

II 절에서 조합 다치논리 회로 구성은 단일 변수인 경우를 기준으로 열벡터를 구성한 후 이를 입력변수에 따라 확장하였으며, 특히 기본셀을 분할구성법으로 처리하였다.

III 절은 다치논리 회로 구성에 관해 논하였으며,

IV 절은 II 절의 내용을 토대로 타 논문에서 다룬 예문에 적용하여 본 논문에서 다룬 구성이론의 타당성을 검토하였으며,

V 절은 본 논문의 결론을 논하였다.

II. 다치논리 회로 구성 이론

그림 2-1과 같은 조합다치논리 회로에 있어서 임의의 m 변수 N 차 함수에 대한 출력을 modulo 대수로 표시하면 다음 식과 같다.⁽⁸⁾

$$f(X_{m-1}, \dots, X_1, X_0) = \{ b_0 + b_1 X_0 + b_2 X_0^2 + \dots + b_{N-1} X_{m-1}^{N-1} \dots X_1^{N-1} \} \text{ mod } N \quad (2-1)$$

여기서, $b_i \in \{0, 1, \dots, N-1\}$

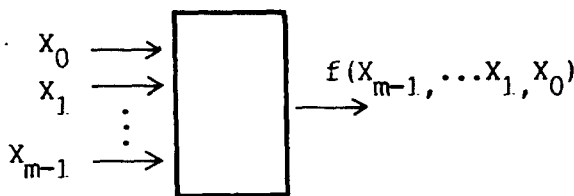


그림 2-1. 조합다치논리회로
The Combinational multiple-Valued-Logic Circuit

그림 2-1과 같은 조합 다치 논리 회로의 입력단 X_0, X_1, \dots, X_{m-1} 에 유한체 GF(N)의 원소 e_0, e_1, \dots, e_{N-1} 를 입력하는 경우

$$X_0 = \{e_0, e_1, \dots, e_{N-1}\}, X_1 = \{e_0, e_1, \dots, e_{N-1}\}, \dots, X_{m-1} = \{e_0, e_1, \dots, e_{N-1}\}$$

와 같이 된다.

먼저 입력 X_0 인 경우를 고려하면 다음식과 같다.

$$f(x_0) = [(1 X_0, X_0^2, \dots, X_0^{N-1})] \cdot B \quad (2-2)$$

여기서, $B = [b_0, b_1, \dots, b_{N-1}]^t$ 인 계수의 열벡터 식(2-2)에서 계수의 열벡터는 다음 식과 같다.

$$B = [1 x_0, x_0^2, \dots, x_0^{N-1}]^{-1} \cdot f(x) \\ = [S_0] \cdot F \quad (2-3)$$

여기서,

$$[S_0] = \begin{bmatrix} e_0 & e_0 & e_0 & \dots & e_0 & e_0 \\ e_0 & -e_1 & -e_2^{N-2} & \dots & -e_{N-2}^{N-2} & -e_{N-1}^{N-2} \\ e_0 & -e_1 & -e_2^{N-3} & \dots & -e_{N-2}^{N-3} & -e_{N-1}^{N-3} \\ & & & \vdots & & \\ e_0 & -e_1 & -e_2 & \dots & -e_{N-2} & -e_{N-1} \\ e_0 & -e_1 & -e_1 & \dots & -e_1 & -e_1 \end{bmatrix} = \begin{bmatrix} r_1 \\ r_2 \\ r_3 \\ \vdots \\ r_{N-2} \\ r_{N-1} \end{bmatrix} \quad (2-4)$$

F 는 출력 원소의 열벡터 이고 r_i 는 S_0 행렬의 열벡터이다.

또한, 두 입력 X_0, X_1 인 경우를 고려하면 $X_0 = \{e_0, e_1, \dots, e_{N-1}\}$ 의 구성 원소가 Kronecker로 곱해져 N^2 개수 만큼의 원소 조합이 생성되므로 식(2-1)을 유한체의 모든 성질을 만족하도록 전개하여 정리하면 다음 식과 같다.

$$f(X_1, X_0) = \left[\bigotimes_{i=0}^1 (1 X_i, X_i^2 \dots X_i^{N-1}) \right] \cdot B \quad (2-5)$$

여기서 $\frac{X_i}{B} = [b_0, b_1, \dots, b_{N-1}]^t$ 인 계수의 열벡터 식(2

-5)에서 계수의 열벡터 B]는 다음 식(2-6)과 같다.

$$B] = [\bigotimes_{i=0}^1 (1 X_i X_i^2 \cdots X_i^{N-1})^{-1}] \cdot f(X_1, X_0)]$$

$$= [\bigotimes_{i=0}^1 [S_i]] \cdot F] \quad (2-6)$$

여기서,

$$[S_i] = [S_0] \otimes [S_0] \quad (2-7)$$

$$F] = f(X_1, X_0) \quad (2-8)$$

같은 방법으로 3변수 X_2, X_1, X_0 인 경우로 확장하여 정리하면 다음 식과 같다.

$$B] = [\bigotimes_{i=0}^2 [S_i]] \cdot F] \quad (2-9)$$

여기서,

$$[S_2] = [S_1] \otimes [S_0]$$

$$= [S_0] \otimes [S_0] \otimes [S_0] \quad (2-10)$$

같은 방법으로 일반적인 m 변수 X_{m-1}, \dots, X_1, X_0 인 경우로 확장하여 전개 정리하면 다음식과 같다.

$$f(X_{m-1}, X_{m-2}, \dots, X_0)$$

$$= [\bigotimes_{i=0}^{m-1} (1 X_i X_i^2 \cdots X_i^{N-1})] \cdot B] \quad (2-11)$$

여기서, m : 입력 변수의 갯수

X_i : Kronecker적

$B] = b_0 b_1 \cdots e_N^{m-1}]^t$ 인 계수의 열벡터

식(2-1)에서 계수의 열벡터 B]는 다음 식과 같다.

$$B] = [\bigotimes_{i=0}^{m-1} [S_i]] \cdot F] \quad (2-12)$$

여기서,

$$[S_{m-1}] = [S_{m-2}] \otimes [S_0] \quad (2-13)$$

$$F] = f(X_{m-1}, X_{m-2}, \dots, X_0)$$

또한, Kronecker적의 결합법칙을 식(2-13)에 적용하여 정리하면 다음 식과 같다.

$$[\bigotimes_{i=0}^{m-1} [S_i]] = [\prod_{i=0}^{m-1} [P_i]] \quad (2-14)$$

여기서, π 는 정규 행렬 곱셈을 의미한다.

$$[P_i] = [I_{N^{m-i-1}} \otimes [S_i] \otimes I_{N^i}] \quad (2-15)$$

Ⅲ. 다치 논리 회로 구성

그림(3-1)과 같은 단일변수 다치논리회로에 있어서 입력단에

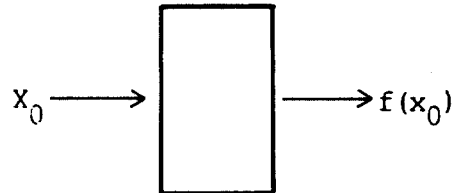


그림 3-1. 다치논리회로
The multiple-valued Logic Circuit.

입력되는 원소관계를 표시하면 다음 표3-1과 같다.

표 3-1. 단일변수 입.출력
Sing Variable Input-Output

X_0	$f(X_0)$
e_0	F_0
e_1	F_1
e_2	F_2
\vdots	\vdots
\vdots	\vdots
e_{N-1}	F_{N-1}

여기서, F_i 는 입력 X_0 의 i 번째 입력원소에 의해 나타나는 출력단 $f(x_0)$ 의 원소를 나타낸다.

식(2-3)과 표3-1에 의한 단일변수 조합 다치논리 회로의 입력 변수 X_0 에 대하여 셀구조를 분할하여 나타내면 다음 그림3-2와 같다.

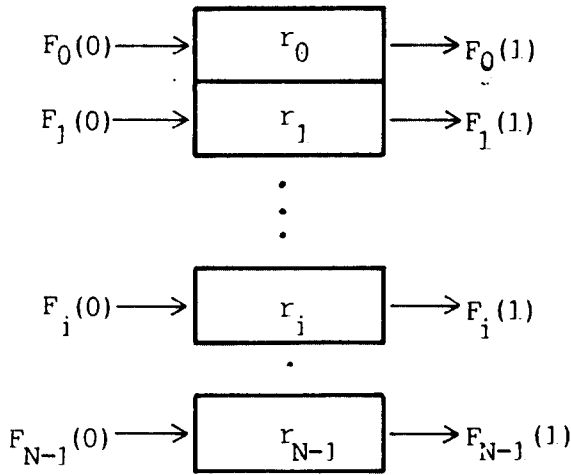


그림3-2 단일변수 계수회로
The Coefficient Circuit of single Variable.

그림3-2에서 $F_i(0)$ 는 입력단의 F_i 를 의미하며, $F_i(1)$ 은 출력단에 나타나는 계수 b_i 를 의미한다.

또한, r_i 는 $[S_0]$ 의 열벡터로 i 번째 열벡터이다.

그림3-3과 같은 2변수 조합다치논리회로에 있어서 두 입력단에 입력되는 원소 관계를 표시하면 다음 표3-2와 같다.

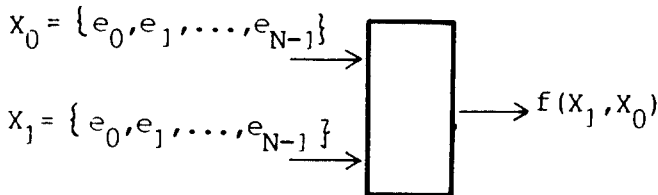


그림 3-3 2변수 다치 논리회로
Two Variable multiple-valued Logic Circuit

표 3-2 2변수 입·출력
Two variable Input-Output

$X_1 \backslash X_0$	e_0	e_1	e_2	...	e_{N-1}
e_0	F_{00}	F_{01}	e_2	...	F_{0N-1}
e_1	F_{10}	F_{11}	F_{12}	...	F_{1N-1}
e_2	F_{20}	F_{21}	F_{22}	...	F_{2N-1}
\vdots	\vdots	\vdots	\vdots		\vdots
e_{N-1}	F_{N-10}	F_{N-11}	F_{N-12}	...	$F_{N-1 N-1}$

여기서 F_{ij} 는 입력 X_0 의 i 번째 입력원소와 입력 X_1 의 j 번째 입력 원소에 의해 나타나는 출력단 $f(X_1, X_0)$ 의 원소를 나타낸다.

식 (2-6)과 표3-2에 의한 2변수 조합다치논리 회로의 입력 변수 X_1, X_0 에 대하여 셀구조로 분할하여 나타내면 다음 그림3-4와 같다.

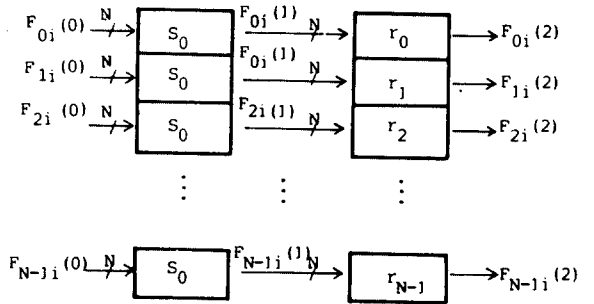


그림 3-4 2변수 계수회로
The Coefficient Circuit of two Variable

그림 3-4에서 $F_{ij}(0)$ 는 입력단, $F_{ij}(1)$ 는 2번째 단, $F_{ij}(2)$ 는 출력단을 의미한다. 같은 방법으로 m 변수인 경우에 적용하면 다음 그림3-5와 같다.

그림 2-2와 같은 조합다치논리 회로는 입력 변수 만큼의 각 단을 Kronecker적으로 반복 처리되어 구성된다. 이때 분할되는 모듈은 N^{m-1} 개의 작은 열벡터로 분리되며, 이를 식으로 표시하면 다음과 같다.

$$f_i(J+1) = [P_i(J)] \cdot f_i(J), \quad i=0,1,2,\dots,m-1 \quad (3-1)$$

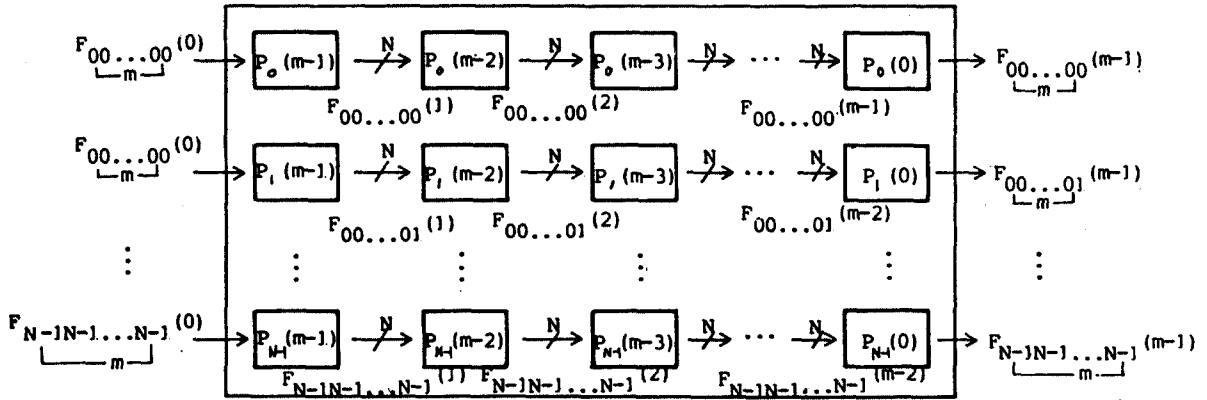
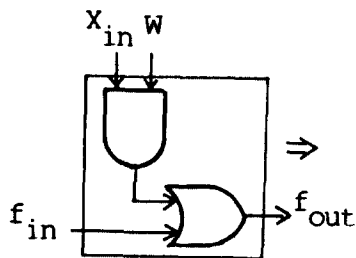


그림 3-5 조합다치논리 회로의 모듈분할
Modular decomposition of Combinational multiple-Valued Logic

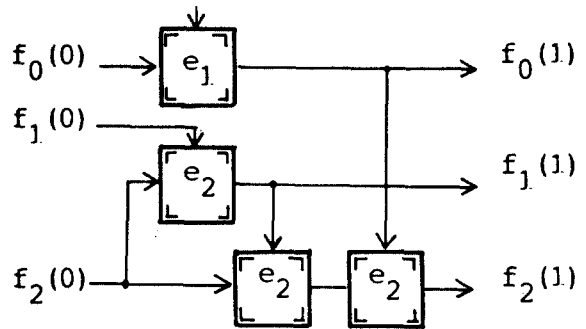
여기서, i 는 셀의 단자를 나타낸다. 예를 들어 GF(3)인 경우 단일 변수와 2변수인 경우에 적용해 보도록 하자. 먼저 단일 변수인 경우 식(2-12)는 다음과 같이 3개의 열벡터로 분리된다.

$$\begin{matrix} f_0(1) & f_0(0) \\ f_1(1) & = e_2 f_1(0) + f_2(0) \\ f_2(1) & e_2 f_0(1) + f_1(1) = f_2(0) \end{matrix} \quad (3-2)$$

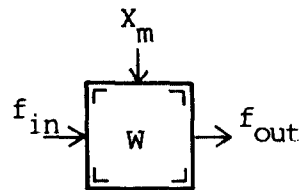
식 (3-2)을 기본 셀구조로 나타내면 다음 그림 3-6과 같다.



b)



a)



c)

그림 3-6 단일변수 다치논리회로
Single Variable multiple-Valued Logic Circuits.
a) GF(3)의 계수회로
The Circuits of Coefficient for GF(3)
b) 셀 구조
Cell structures.
c) (b)의 블록
The Block of (b)

그림 3-6의 (b)와 (c)는 $f_{out}=f_{in} \otimes X_{in} \cdot W$ 의 관계식을 갖는다.

2변수인 경우 식(2-6)은 다음과 같이 9개의 열벡터로 분리된다.

$$\begin{aligned}
 f_{00}(2) & f_{00}(1) \\
 f_{01}(2) & f_{01}(1) \\
 f_{02}(2) & f_{02}(1) \\
 f_{10}(2) & e_2 f_{10}(1) + f_{20}(1) \\
 f_{11}(2) & = e_2 f_{11}(1) + f_{21}(1) \quad (3-3) \\
 f_{12}(2) & e_2 f_{12}(1) + f_{22}(1) \\
 f_{20}(2) & e_2 f_{00}(2) + f_{10}(2) + f_{20}(1) \\
 f_{21}(2) & e_2 f_{01}(2) + f_{11}(2) + f_{21}(1) \\
 f_{22}(2) & e_2 f_{02}(2) + f_{12}(2) + f_{22}(1)
 \end{aligned}$$

식(3-3)을 기본셀로 나타내면 다음 그림과 같다.

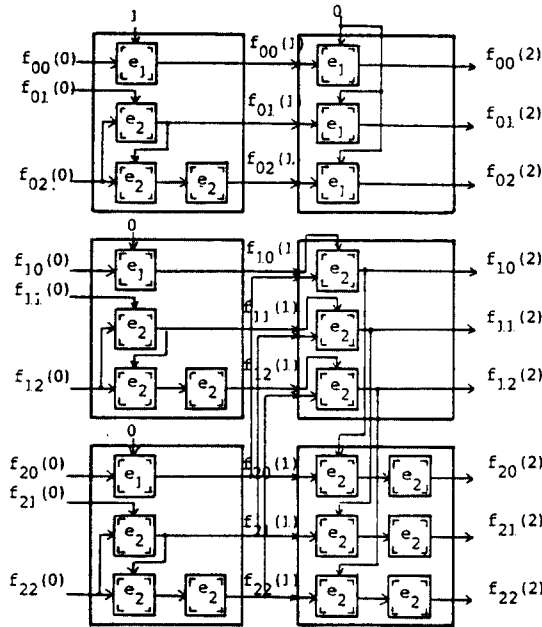


그림 3-7 2변수 GF(3)의 계수회로
The Coefficient Circuit of
Two Variable for GF(3)

IV. 적용예

본 논문의 구성이론을 타논문에서 다른 예에 적용하여 그 타당성을 검사하였다.

[예제1]⁹⁾ 다음 표1은 GF(5)인 경우의 진리치표로 단일 변수를 나타낸 것이다.

표 1. GF(5)의 진리치표
The truth table of GF(5)

X	f(X)
e ₀	e ₁
e ₁	e ₂
e ₂	e ₃
e ₃	e ₄
e ₄	e ₀

식(2-3)과 식(2-4)를 적용하여 다치논리 함수를 구하면 다음과 같다.

$$F(X) = X^2 + x + e_1$$

[예제2]¹⁰⁾ 다음 표2는 3변수 GF(3)인 경우의 진리치표를 나타낸 것이다.

표 2. GF(3)의 진리치표
The truth table of GF(3)

X ₁ X ₂ \ X ₃	e ₀	e ₁	e ₂
e ₀ e ₀	e ₀	e ₁	e ₂
e ₀ e ₁	e ₁	e ₂	e ₀
e ₀ e ₂	e ₂	e ₀	e ₁
e ₁ e ₀	e ₀	e ₂	e ₀
e ₁ e ₁	e ₂	e ₀	e ₁
e ₁ e ₂	e ₀	e ₁	e ₂
e ₂ e ₀	e ₂	e ₀	e ₁
e ₂ e ₁	e ₀	e ₁	e ₂
e ₂ e ₂	e ₁	e ₂	e ₀

표2는 다음과 같이 3개의 기본 모듈로 분해되며

X	a	X	b	X	C
e ₀	e ₀	e ₀	e ₁	e ₀	e _x
e ₁	e ₁	e ₁	e ₂	e ₁	e ₀
e ₂	e ₂	e ₂	e ₀	e ₂	e ₁

이때, 모듈 a, b, c 에 식(2-6)과 식(2-7)을 적용하여 다치논리 함수를 구하면 다음과 같다.

$$F(X_1, X_2, X_3) = X_1 + X_2 + X_3$$

[예제1]과 [예제2]에 대하여 본 논문에서 제시한 다치논리 구성이론과 W.R.English⁷⁾의 방법과 비교하면 다음 표3과 같다.

표 3 비교표
The Comparison table

GF (N) 연산방법	GF (3)	GF (4)	GF (5)
(본논문)			
덧셈	$3^m \cdot 3^{m-1}$	$7^m \cdot 4^{m-1}$	$11^m \cdot 5^{m-1}$
곱셈	$2^m \cdot 3^{m-1}$	$3^m \cdot 4^{m-1}$	$9^m \cdot 5^{m-1}$
레지스터	3^m	4^m	5^m
(W.R. English)			
덧셈	$3^m(3^m-1)$	$4^m(4^m-1)$	$5^m(5^m-1)$
곱셈	3^{2m}	4^{2m}	5^{2m}
레지스터	$3^m(3^{m+2})$	$4^m(4^{m+2})$	$5^m(5^{m+2})$

표3과 같이 입력되는 변수 m이 증가할 수록 다치논리 함수를 구성하는 절차가 더욱 간소화됨을 알 수 있다.

V. 결 론

본 논문에서는 다치논리 시스템을 구성하는 이론을 제시하였으며, 그 특징은 다음과 같다.

첫째, 조합 다치논리 회로 구성은 GF(N)상에서 다치논리 회로에 입력되는 m개의 라인수만큼 분할하여 처리하였으며, 이 경우 단일변수에서 생성되는 열계산 결과를 셀단위로 저장하여 반복 처리 하였으므로 계산과정이 단순하고 모듈화 되었으며, 특히 다치논리 시스템은 여러개의 부시스템으로 분할한 후 회로를 합성하였으므로 규칙적이고 확장성이 있다.

둘째, 계수 계산은 GF(N)에서 N의 원소에 따라 산출되는 열벡터 연산으로 처리하였으므로 컴퓨터 프로그램이 용이하다.

그러나 다치논리 회로에 입력되는 변수가 많아

지면 열벡터 연산이 커지게 되므로 처리시간이 길어지고, 열벡터를 확장하여 주어야만 하는 단점이 있다.

앞으로의 연구과제는 계수 연산에 의한 다치논리 회로 구성 방법보다 직접다치논리 회로를 실현하는 방법에 관하여 연구할 예정이다.

참 고 문 헌

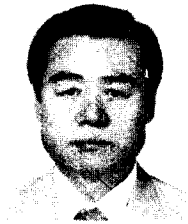
1. Stanley L.Hurst, "Multiple-Valued Logic-its status and its future," IEEE Trans. Compt., vol. c-33, pp.1160-1179, Dec. 1984.
2. K.C.Smith, "the prospects for multivalued logics A Technology and applications view," IEEE Trans. Compt., vol. c-30, pp. 619-633, Sept. 1981.
3. K.Y. Fang and A.S.Wojcik, "Modular decomposition of combinational multivalued circuits," IEEE Trans, Compt., vol. c-37, pp. 1293-1301, Oct, 1988.
4. A.D. Sing, J.R.Armstrong and F.G.Gray, "Combinational and sequential multivalued logic design using universal iterative tree structures," in Proc, IEEE int. symp. MVL, 1978, pp.182-189.
5. V.P.Srini, "Iterative realization of multivalued logic systems," in proc, IEEE int, symp. MVL, 1978, pp.188-194.
6. C.Reischer and D.A.Simovici, "Iteration properties of multivalued switching functions," IEEE Trans. Compt., Vol. c-35, pp.173-178, Feb. 1986.
7. W.R.English, "Synthesis of finite state algorithm in a Galois finite GF(p)," IEEE Trans, Compt., vol.c-30, pp.225-229, Mar. 1981.
8. Stanley L.Hurst, The Logical Processing of Digital Signals, Crane Russak & Company, Inc., 1978.
9. Michtaka Kameyama and Tatsuo Higuchi, "Synthesis of Multiple-Valued Logic Networks Based on Tree-type universal logic module," IEEE Trans Compt, vol. c-26, pp.1297-1302, Dec, 1977.



姜聖洙(Sung Su KANG) 正會員
1956年7月13日生
1979年2月：仁荷大學校 電子科 卒業
1982年2月：仁荷大學校 大學院 電子科
碩士 卒業(工學碩士)
1984年9月～現在：仁荷大學校 大學院
電子科 博士課程 修了(情報
專攻)
1988年3月～現在：富川工業專門大學電
子計算科 專任講師



金興壽(Heung Soo KIM) 正會員
1941年2月26日生
1962年12月：仁荷大學校 電子工學科
(學士)
1965年9月：延世大學校 大學院 電子工
學科(碩士)
1979年2月：仁荷大學校 大學院 電子工
學科(博士)
1968年6月～1979年2月：韓國航空大學
副教授
1979年3月～現在：仁荷大學校 教授



李周珩(Joo Hyung LEE) 正會員
1940年7月7日生
1961年12月：仁荷大學校 電氣科 卒業
1976年8月：仁荷大學院 電子工學科 卒
業
1968年5月：原子力研究所 入社
1971年8月：KIST 入社
1977年2月：三星半導體通信(株)入社
1988年6月：三星半導體通信研究所 在職中