

# Systolic Array를 이용한 Two's Complement Bit-Serial Fir 필터 설계에 관한 연구

正會員 嚴斗變\* 正會員 朴魯京\* 正會員 車均鉉\*

## A study on the design of two's complement bit-serial FIR filter with systolic array architecture

Do Seop EOUM\*, Nho Kyeong PARK\*, Kyun Hyon TCHAH\* *Regular Members*

**要 約** 시스톱릭 어레이를 이용한 FIR 필터를 구현하여 고속처리가 가능하게 설계하였으며, Cascade하게 칩연결이 가능하도록 설계하여 최대 128차의 FIR 필터를 실현할 수 있도록 하였다. 필터 계수는 Sign and Magnitude 형태로 외부에서 입력하며, 데이터는 2's Complement 형태로 입력되게 시스템을 설계하였다.

**ABSTRACT** This Paper describes the implementation of two's complement bit-serial FIR filter with systolic architecture. The filter coefficients are represented as sign and magnitude form and the input data is represented as two's complement form. We use systolic array to obtain high operation speed so this FIR filter successfully operates in real-time environment.

### I. 서 론

많은 디지털 신호처리 알고리즘들은 매우 규칙적이고, 고정된 형태로 데이터를 access 한다.

이런 이유때문에 이들 알고리즘들은 최근에 기술적인 진보를 한 VLSI 회로로 구현하기에 적합하다. 사실상 매우 집적도가 높은 프로세서들이 출현 하였으며, 이들 프로세서들에는 general-purpose machine 처럼 로직과 메모리가 분리되어 프로그램 가능한 DSP칩이 있고, 또 한편으로

\*高麗大學校 電子電算工學科  
Dept. of Elec. & Comp., Korea Univ.  
論文番號 : 89-43 (接受1989. 2. 24)

고정된 task만을 수행하는 매우 특별한 custom chip이 있다. 이 경우 데이터는 칩에 고정되고, 규칙적인 경로를 통하여 움직이고, arithmetic logic은 칩에 분포되어 있다. 또한 프로그램은 topology로 "hard-wired"되어 있다.<sup>(2)</sup> 본 논문에서 구현한 디지털 필터는 후자의 DSP 칩이다.

본 논문에서 구현한 FIR 디지털 필터는 systolic array를 이용하여 컨벌루션을 행할 수 있도록 하였고, 또한 필터계수는 sign and magnitude 형태로 외부에서 입력할 수 있도록 실현하였다.

칩은 종속연결이 가능하게 설계되어 최대 128 개의 FIR 필터를 구현할 수 있다. 설계된 칩은 근본적으로 동일한 셀들이 어레이 된 형태이고 이들간의 통신도 매우 간단하고 국부적이므로 앞으로 VLSI 기술로 칩을 설계하는데 시스토크 어레이 구조는 매우 각광을 받을 것이다.

## II. FIR 필터의 구조

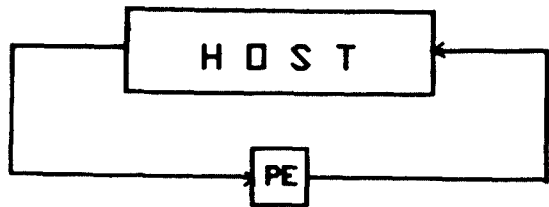
만일 Finite Duration Sequence가 LTI(linear Time Invariant) 시스템의 임펄스 응답일 경우 이 시스템을 FIR(Finite Impulse Response) 시스템 혹은 FIR 필터라 부른다. FIR 필터는 Recursive 혹은 Nonrecursive 구조로 설계할 수 있으며, Nonrecursive 구조로 구현시 항상 안정한다. 또한 정확하게 선형위상을 갖는 FIR 필터는 쉽게 설계되며 Finite Precision Arithmetic으로 구현될 때 항상 생기는 Round-off Error 는 FIR 필터를 Nonrecursive 하게 구현할때는 줄일 수 있다. 그러나, FIR 필터의 경우 적절하게 Sharp Cutoff filter를 구현하려면 많은 필터계수가 필요하다.<sup>(5)(12)(15)</sup> 이로 말미암아 FIR 필터를 1차원 시스토크 어레이로 구현시, 좋은 필터 특성을 얻기 위해서는 많은 셀의 갯수가 필요하다는 단점이 있다. 한 칩안에 들어갈 수 있는 셀의 갯수는 제한되어 있기때문에 본 논문에서는 칩을 Cascade 형태로 사용할 수 있도록 하여 이런 문제를 해결하였다. FIR 필터의 일반식은 다음과

같이 주어진다.

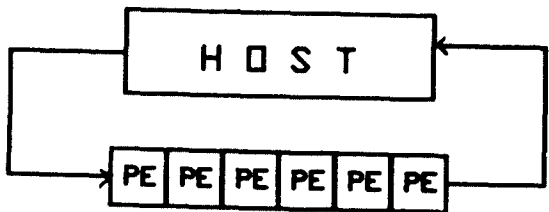
$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (2-1)$$

$h(k)$ : 필터 계수  $x(n-k)$ :  $k$ 만큼 delay된 입력

본 논문은 Systolic Array를 사용하여 위식을 계산하는 FIR 필터를 구현하는데 그 목적이 있다. Systolic Array는 다수의 Processing Element 을 동시에 사용하여 동작속도를 증가시킴으로 실시간에도 사용가능한 FIR 필터를 구현할 수 있다. 또한, 구현된 칩의 구조는 전체 구조가 간단한 Interface을 갖고 반복적으로 사용될 수 있는 몇개의 간단한 Cell이나 Building Block으로 구성될 수 있다. 본 FIR 필터에 사용한 시스토크 어레이의 기본적인 형태는 그림 2.1에 나타내었다.



(a) General Purpose System



(b) Systolic Array

그림 2.1 시스토크 시스템의 기본적인 형태  
Basic form of a Systolic System

그림 2.1(a) 같은 경우는 General Purpose System을 간단하게 표현한 것으로 프로그래밍을 하기 위해서는 매번 Instruction을 Fetch 하여 Decoding 하여야 하므로 시간이 오래 걸린다. 그러나, 그림 2.1(b) 같은 시스토크 어레이에서는 맨 왼쪽에 있는 Processing Element가 데이터를

받아들여서 처리한 후 이웃하는 Processing Element 로 처리되니 데이터를 보내는 과정이 반복되는 Pipelining과 Processing Element가 동시에 동작하는 Concurrency가 이루어진다. 따라서, 그림 2.1(a)의 General-Purpose system 보다 빠르게 동작한다.

시스토릭 어레이를 사용해서 얻어지는 속도의 상한은 시스템의 I/O 대역폭에 의해 결정된다. FIR 필터의 경우 본질적으로 컨벌루션을 행하므로, Operation의 수가 입력과 출력 소자의 수보다 훨씬 많아서 시스토릭 어레이로 구현하기 적합하다.<sup>(1) (2)</sup>

FIR 필터의 일반적인 식(2-1)을 정리하여 식(2-2)을 얻는다.

$$y(n) = h(0)x(n) + h(1)x(n-1) + \dots + h(N-1)x(n-N+1) \quad (2-2)$$

식(2-1)과 컨벌루션이 다른 점은 컨벌루션에서는 계수  $h(k)$ 가 변수이나 필터링에서는 고정되어 있다는 점에 있다. 본 논문에서는 식(2-1)의 연산을 시스토릭 어레이를 사용하여 구현하였다. 간단하게 필터의 임펄스 응답  $h(k)$ 의 수가 3개일 경우에 한하여 시스토릭 어레이의 동작과정을 보면, 식(2-2)로 부터 다음의 필터 출력을 얻는다.

$$y(0) = h(0)x(0)$$

$$y(1) = h(0)x(1) + h(1)x(0)$$

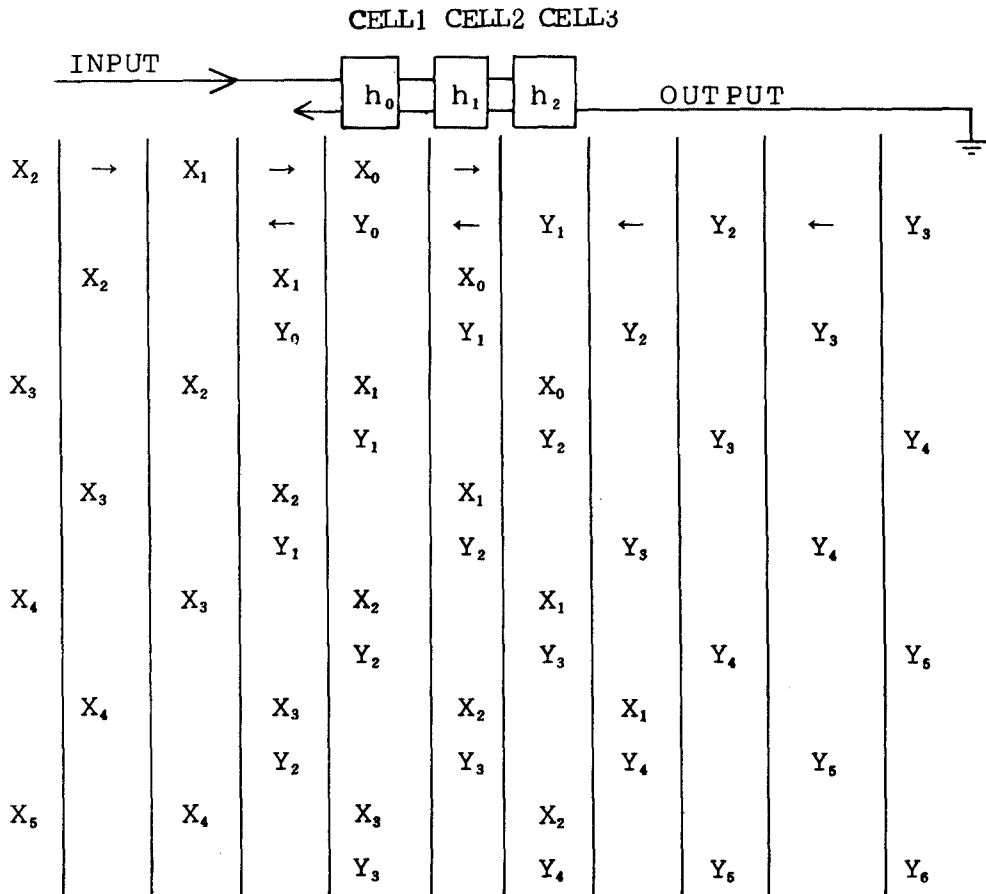


그림 2.2 FIR 필터링을 위한 데이터의 흐름  
Dataflow for a FIR filtering

$$y(1) = h(0)x(2) + h(1)x(1) + h(2)x(0)$$

$$y(2) = h(0)x(3) + h(1)x(2) + h(2)x(1)$$

이 연산을 하는 시스토크 어레이와 이때의 데이터 흐름을 그림 2.2에 나타냈다. 그림 2.2에서 시스토크 어레이의 셀은 근본적으로  $C \leftarrow C + A * B$ 의 연산을 하는 Inner Product Step Processor이다. <sup>(3)(4)</sup> 출력  $y_i$ 의 값은 초기치가 0이고, 마지막에 있는 시스토크 셀(맨오른쪽: 셀3)로부터 입력되어 첫번째 시스토크 셀(맨왼쪽: 셀1)로 출력된다. 입력인 필터링되는 신호는 왼쪽 셀에서 입력되어 오른쪽으로 이동한다. 여기서 각 셀의 기능은 각각의 입력 신호와 필터 계수를 곱한 것과 뒷단의 셀에서 넘어오는 출력 값과 합치는 것이다.

### III. FIR 필터의 하드웨어

#### 3.1 시스토크 셀의 구조

6차의 FIR 필터에 대한 시스토크 어레이 구조는 그림 3.1과 같다. 각 시스토크 셀에는 외부에서 입력된 필터계수가 레지스터되어 있다. 단지 필터 차수만 확장될뿐, 그림 2.2와 같은 데이터 흐름을 갖는다. 그림 3.1에 있는 시스토크 어레이 셀의 기본 기능은 앞서 언급한 대로 Inner Product Step Processor이고 Multiplier, Adder, 필터계수를 저장하기 위한 latch, 그리고 데이터 전달을 위한 Delay 등으로 구성됐다. 외부로부터 입력된

필터 계수는 Sign and Magnitude 형태로 D F / F에 latched되어 있고, 데이터는 2's Complement 형태로 직렬로 입력한다. 사용된 Multiplier는 a bit-Serial Multiplier이다.

그림 3.1에서 보듯이, 본 논문에서 구현한 FIR 필터는 칩당 시스토크 어레이 셀이 6개 있으므로 1개의 칩으로 6차원의 FIR 필터를 만들수 있다. 고차원의 FIR 필터를 얻기 위해서는 이들 칩들을 종속 연결하여 사용하여야 한다. 본 FIR 필터를 얻기 위해서는 이들 칩들을 종속 연결하여 사용하여야 한다. 본 FIR 필터는 최대 128차까지 가능하도록 설계하였다. 시스토크 어레이 셀에 대한 실제 회로는 그림 3.2에 나타내었다. cci단자를 통하여 필터계수를 latched 하기 위해 제어신호가 들어오고, cli단자를 통하여 필터계수가 입력된다. 필터링 되는 데이터는 datai 단자를 통하여 입력되며, Multiplier를 제어하기 위한 제어신호는 mci 단자를 통하여 입력된다. Data와 필터계수를 곱한 결과는 addi 단자를 통하여 들어오는 뒷단의 셀의 계산결과와 Fulladder를 통하여 덧셈되며, 이 결과가 다시 addo 단자를 통하여 앞단의 셀로 출력된다. 그림3.2의 시스토크 셀에 한 로직 시뮬레이션 결과는 그림 3.3에 나타내었다. 필터 계수와 데이터와의 곱셈을 수행하기 위한 Multiplier는 Sign and Magnitude로 필터계수를 표현했고, 2's Complement 형태로 데이터를 표현했으며, 결과적인 곱은 2's Complement 형태로 들어오는 데이터와 같은 길이로 truncate된다.

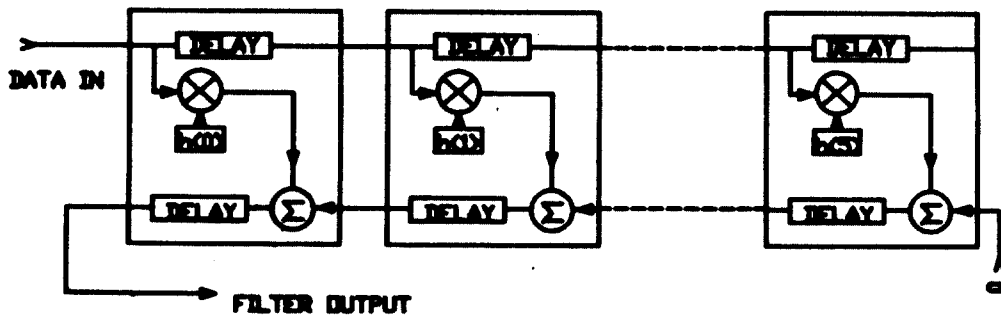


그림 3.1 FIR 필터를 구현한 시스토크 어레이 블럭도  
Systolic Array Block Diagram for FIR Filter

고정된 필터계수를 갖는 디지털 필터에서는 계수 (Multiplier)를 2's Complement 형태로 나타낼 필요가 없기 때문에 Multiplier의 복잡성을 감소시킬 수 있다. Multiplier는 Lyon에 의해 제안된 Modified Shift and add 알고리즘을 이용하여 설계하였다. (6x7)

Multiplier는 8비트 출력을 생성한다. 이들 출력들이 Adder 회로에서 더해지며, 이 덧셈의 결과는 필터의 차수가 N이라면,  $8 + \log(N)$  비트의 결과를 낳는다. 그러므로 Multiplier의 출력을 덧셈시 발생하는 Overflow를 방지하기 위해서는 Multiplier 출력의 Sign bit을  $\log(N)$ 비트 만큼 Extension 시켜야 한다. (9) Multiplier 회로는 그림 3.4와 같으며, (a)의 2's Complement Module 이 그림 3.2에서 보듯 6개 어레이되며, 이것과 (b)의 마지막 2's Complement Stage와 Complementer 를 연결한 것에 Sign Extension 회로가 부가되어 Multiplier를 구성한다. Multiplier에 대한 상세한 설명은 이미 발표된 내용이므로 언급하지 않겠다.

### 3.2 전체 FIR 필터의 구조

전체 FIR 필터의 구조는 그림 3.5와 같다. 앞서 언급한 바와 같이 한개의 칩으로 6차의 FIR 필터를 구현할 수 있다. 고차의 FIR 필터를 구현하려면 칩을 Cascade하게 연결하여 사용하여야 한다. Cascade 되는 Chip은 시스토크 셀 부분만이 동작한다. 따라서 그림 3.5은 시스토크 셀 부분만 필터 계수 만큼 확장된다. 칩을 Cascade 하게 연결하여 사용하기 위한 Data path 제어는 Multiplexer와 Decoder을 사용하였다. 이를 제어하기 위한 신호는 제어단자를 통하여 외부에서 입력된다. 표 2은 칩의 종속연결을 위한 제어신호 상태를 나타낸다. 한개의 칩만을 사용시는 Connection Control Signal을 0으로 하면 된다. 한개의 칩의 사용시에는 맨처음 칩을 Connection Control Signal은 0이고, 나머지 칩은 1이다.

Chip의 동작은 Setup Mode에서 핀으로 나와 있는 CCI(Coefficient Control Input)와 CLI(Coefficient Latch Input)을 통하여 외부에서 필터 계수를 입력한 후, Operation Mode에서 정상적인 동작을 하게 된다. 필터 계수를 외부에서

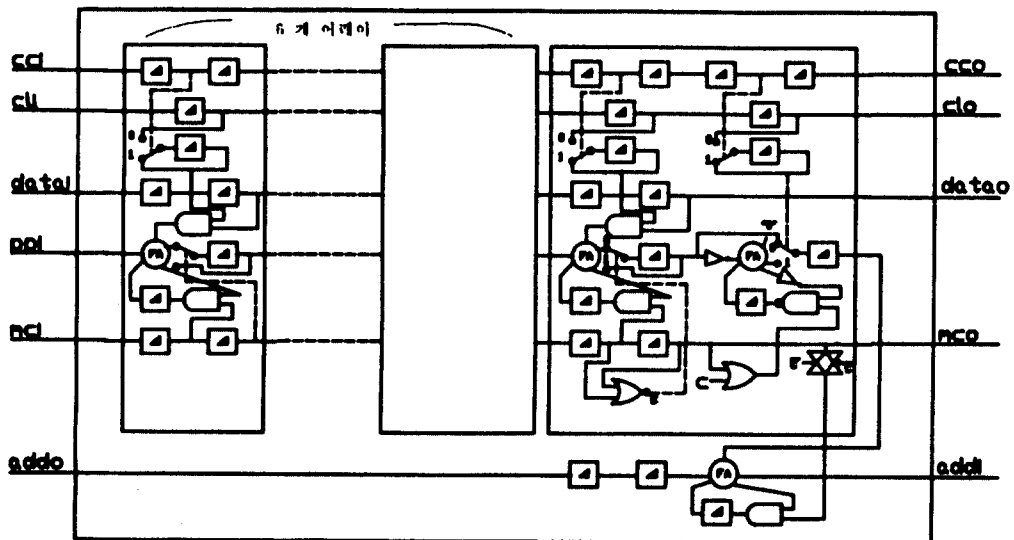
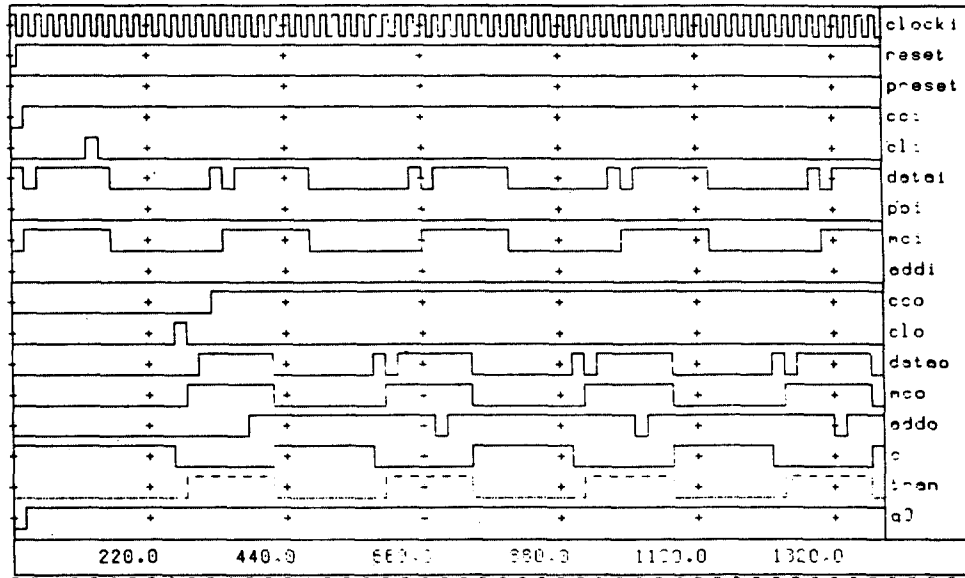


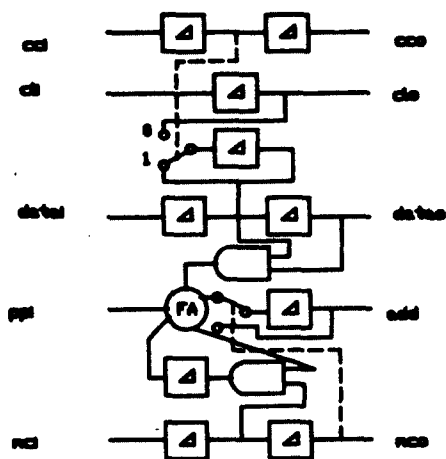
그림 3.2 시스토크 어레이 셀 회로도  
Circuit of Systolic Array Cell

Job: vsb.2000.0.USER.ECELL.GJICV\$IM\_T  
 Enqueued: 6/21/1988 3:03 pm (pat)  
 Started: 6/21/1988 3:04 pm (pat)  
 Magnification: 1.9 (auto-scaled)

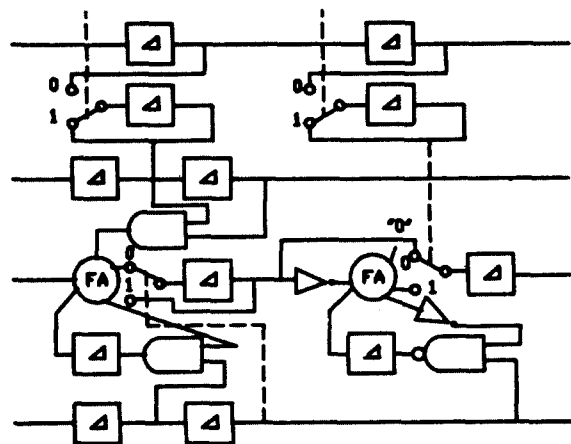


Finished: 6/21/1988 3:04 pm (pat)

그림 3.3 시스토크 어레이 셀의 Logic Simulation 결과  
 Logic Simulation Result of Systolic Array Cell



(a) 2's Complement Module



(b) 마지막 2's Complement Stage와 Complementer

그림 3.4 Multiplier 회로  
 Multiplier Circuit

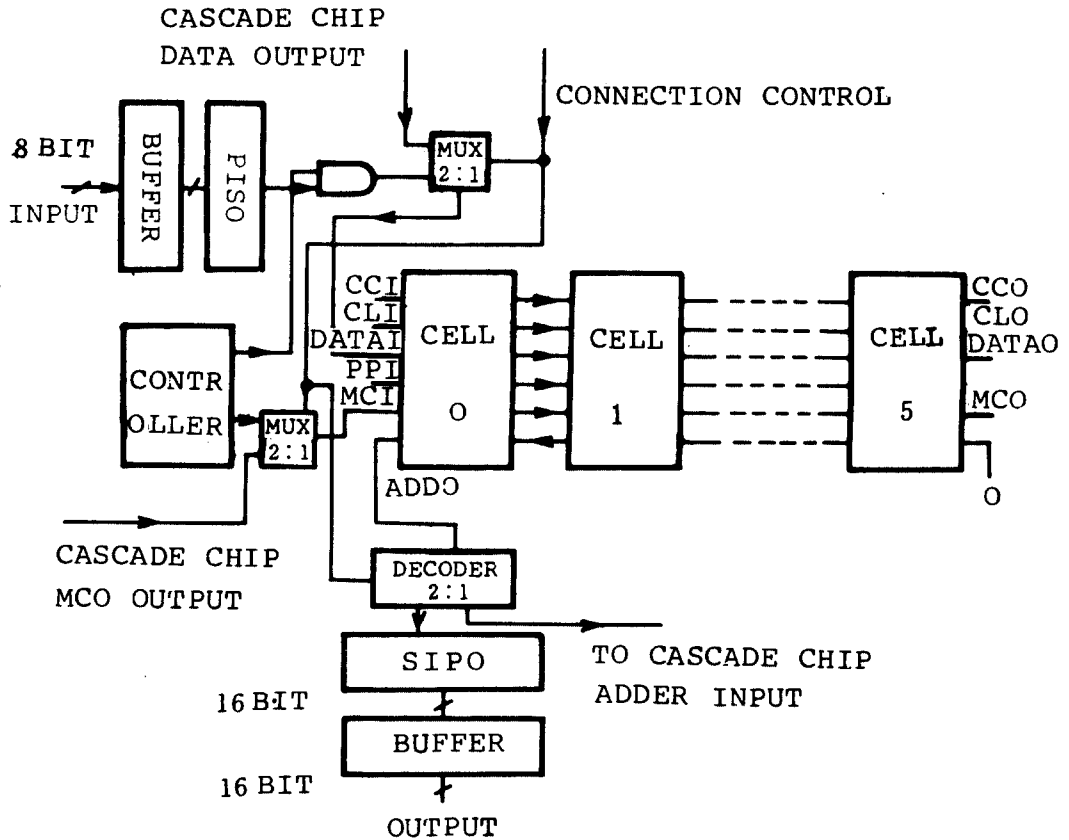


그림 35 FIR 필터의 전체 블럭도  
Block Diagram of FIR Filter

표 1. Connection Control 신호  
Connection Control Signal

CONNECTION CONTROL SIGNAL	종속연결시 칩의 위치
0	맨 처음 칩(모든 칩의 part가 동작)
1	나머지 칩(시스토릭 어레이 셀만 동작)

표 2. Mode 제어 신호  
Mode Control Signal

MODE CONTROL SIGNAL	SELECTED MODE
1	SETUP MODE (필터계수 입력)
0	OPERATION MODE (필터링 수행)

입력함으로 사용자가 원하는 필터특성을 마음대로 구현할 수 있다.(표 2참조) 필터링하고자 하는 신호는 입력버퍼와 PISO 레지스터를 통하여 칩에 입력된다. 이 신호는 한 Byte의 간격을 갖고 시스토릭 어레이 셀에 입력된다. 입력이 한 Byte 만큼의 간격을 갖고 시스토릭 어레이 셀에 입력된다. 입력이 한 Byte만큼의 간격을 갖고 시스토릭 어레이 셀에 들어오는 이유는 적절한 위치와 시간에서 출력과 상호작용 하기 위해서이다. Controller가 AND gate와 PISO 레지스터를 제어함으로써 입력이 한 Byte의 간격을 갖고 들어온다. 시스토릭 어레이셀에서는 그림 2.2에 나타낸 것처럼 이미 입력된 필터계수들과 입력을 상호작용 시켜 필터링을 수행할 수 있다.

필터링된 결과는 add0단자를 통하여 시스토크 어레이 셀에서 나와서 SIPO 레지스터와 출력 버퍼를 통하여 칩 밖으로 출력된다. 설명한 것처럼 칩의 가장 중요한 부분은 시스토크 어레이 셀 부분이며, 나머지 부분은 외부에서 데이터를 받아들여서 한 워드만큼 지연시켜서 시스토크 어레이로 입력하는 입력부분, 시스토크 어레이의 출력을 원하는 데이터만큼 출력하는 출력부분과 Control Part로 구성되어 있다. 시스토크 어레이를 제어하는 제어 신호는 하나만 필요하고 나머지는 I/O부분을 제어하는 제어신호이다. 따라서 Controller는 그림 3.5처럼 비교적 간단하게 구성할 수 있다.

사용되는 제어신호의 수가 많지 않기 때문에 Controller 회로는 Random Logic을 사용하여 구현하였다. 비동기 Binary Ripple Counter을 사용하여 주기적인 파형을 만들고, 이 파형을 Static gate들을 조합하여 원하는 제어신호를

생성했다. 표3에 사용된 제어신호 목록을 나타냈다. 그림 3.7은 제어 신호 타임밍도이다.

표 3. 제어 신호 목록  
List of Control Signal

PART	제어 신호
systolic array	MCS (Multiplier Control Signal) $(a0b \cdot a1b \cdot a2b) \cdot a3b$
PISO register	CI (PISO register의 CKEN 단자용) $(a1b + a2b + a3) \cdot a3b$ SH-LD (PISO register의 SH/LDB 단자용) $(a0 \cdot a1) + (a2b \cdot a3b)$ SI (PISO register의 IN 단자용) $a3 \cdot a3b$
SIPO register	OBC (SIPO register 출력단의 three state buffer control signal) $(a0 \cdot a1) (a2 \cdot a3)$
I/O unit	IN (A/D converter control signal) $a1b \cdot a2b \cdot a3b$ AGC (input unit의 AND gate control signal) $a3b$

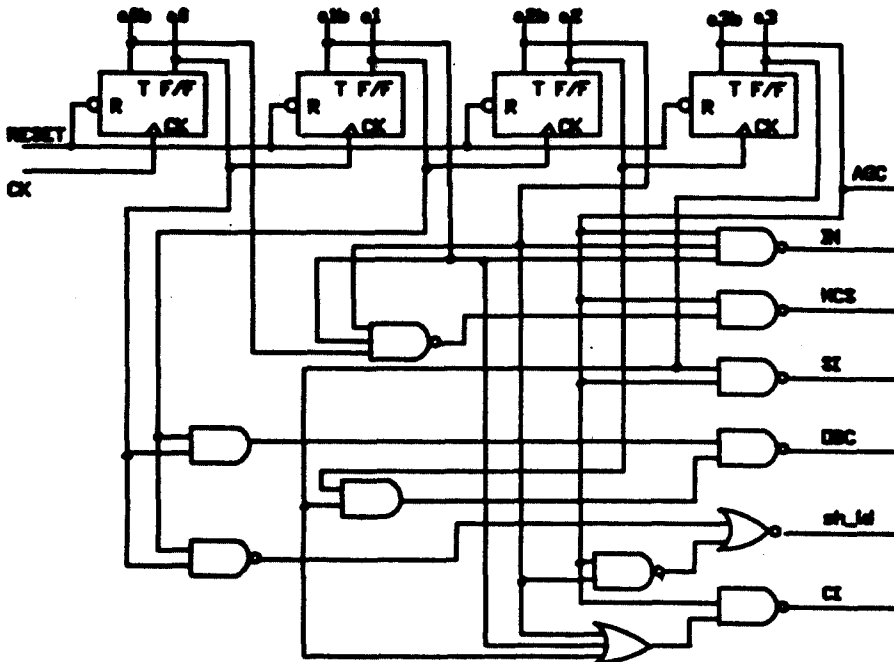


그림 3.6 제어 회로  
Controller Circuit



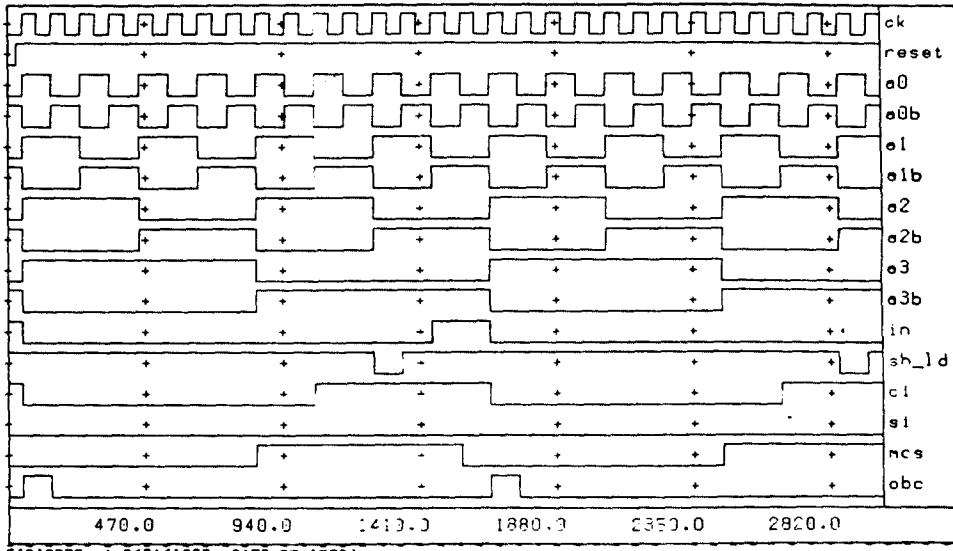


그림 3.7 제어 신호 타임밍도  
Timing Diagram of Control Signal

#### IV. 레이아웃 (Layout)

설계된 회로에 대한 Logic Simulation은 Apollo Workstation에서 수행되는 Logic Simulator인 Quicksim을 사용하였고, Circuit Simulation은 IBM-PC/AT에서 수행되는 U-Spice를 사용하였다. 레이아웃은 Apollo Workstation에서 수행되는 Layout editor인 Chipgraph를 이용하였다. 사용된 Design rule은 2 Micron CMOS p-well 공정이며, Routing은 2-Metal 1-poly를 사용하였다. Poly는 local gate Connection에만 국한해 사용하여 Routing Capacitance을 최소화하였다. 시스토크 어레이 셀 한개에 대한 레이아웃은 그림 4.1과 같고, 전체 FIR 필터에 대한 레이아웃은 그림 4.2와 같다. (시스토크 어레이 셀 부분은 전체가 보이지 않는다.)

#### V. 결 론

본 연구에서는 고속 처리가 가능하게끔 시스토크

릭 아키텍처를 갖는 FIR 필터를 설계하였다. 시스토크 어레이가 갖는 장점으로 인하여 설계에 걸리는 시간이 단축되었다. 시스토크 어레이 셀이 Inner Product Step Processor로서 Multiplier을 포함함으로써 상당한 면적을 차지한다. 따라서, 이 시스토크 어레이 셀의 면적을 줄이기 위해 Bit-Serial Approach을 사용하였다. 시스토크 어레이 부분이 전체 칩 면적중 차지하는 부분은 80%가량을 차지한다. FIR 필터의 경우 좋은 필터 특성을 얻기 위해서는 IIR 필터보다 많은 필터 계수가 필요한데, Multiplier 출력의 Sign bit를 8 bit만큼 Extension하여 이들 출력이 더해질 경우 발생하는 Overflow를 방지하여 최대 128차의 FIR 필터를 얻을 수 있도록 설계하였다.

또한, 필터 계수를 외부로부터 입력이 가능하게 설계하여 필터의 특성을 바꿀 수 있게 하였다. 시스템 Clock은 최대 32 MHz까지 가능하며, 이 경우 얻을 수 있는 Throughput Rate는 16 Mbit/sec이다. 현재 설계된 칩은 CMOS 공정으로 웨이퍼 가공중에 있다.

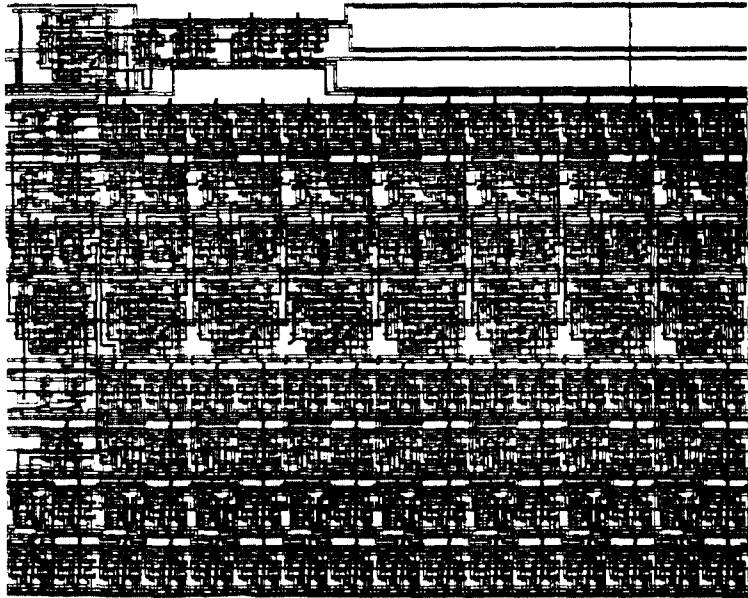


그림 4.1 시스토크 셀 레이아웃  
Layout of Systolic Array Cell

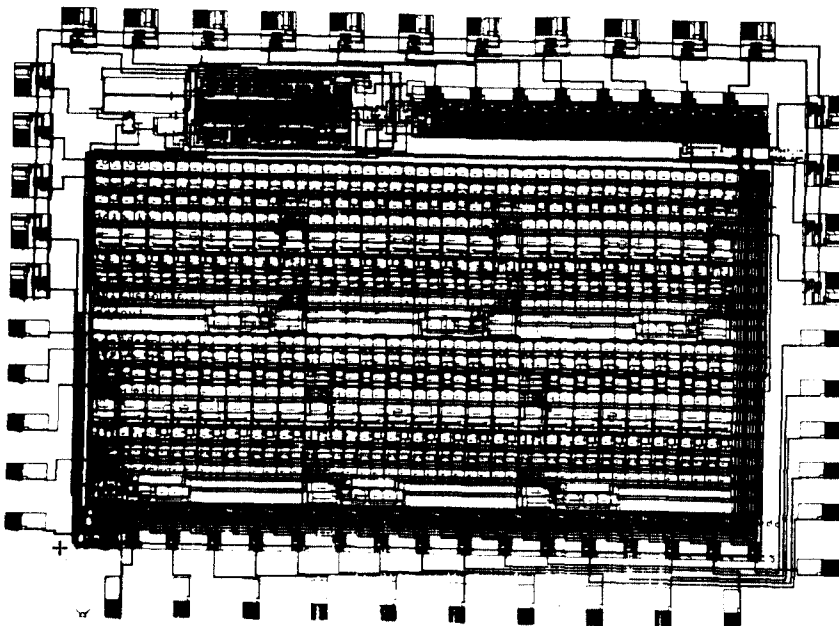


그림 4.2 FIR 디지털 필터의 레이아웃  
Layout for FIR Digital Filter

이 研究는 서울大學校 半導體 共同研究所 支援으로 遂行하였음.

### 참 고 문 헌

1. H.T.Kung, "Why Systolic Architectures?" Computer, Vol. 15, No.1 Jan. 1982. pp.37-46.
2. M.J. Foster and H.T.Kung, "The Desing of Special-purpose VLSI Chips", Computer, Vol.13, No.1, Jan. 1980, pp.26-40.
3. H.T.Kung and C.E.Leiserson, "Systolic Arrays(for VLSI)", in I.S Duff and G.W. Stewart, eds., sparse Matrix Proc. 1978, Society for Industrial and Applied Mathematics, Philadelphia, pa., 1979, pp.256-282.
4. Carver Mead, Lynn Conway "Introduction to VLSI Systems", pp.271-332, 1980.
5. Lawrence R.Rabiner, Bernard Gold "Introduction and Application of Digital Signal Processing", pp.484-540, 1975.
6. Gari L.Baldwin와 3인, "A Modular, High-Speed Serial Pipeline Multiplier for Digital Signal Processing" IEEE Jurnal of Solid State Circuits, Vol.SC-13, No.3 June 1978, pp.400-408.
7. R.F.Lyon, "Two's Complement Pipeline Multipliers," IEEE Trans,Commun., Vol. COM-12, pp.418-425, Apr. 1976.
8. Lance A.Glasser & Daniel W.Dobberpuhl "The Design and Analysis of VLSI Circuits" pp.331-374, 1985.
9. "VLSI Signal Processing" IEEE Press, pp.350-431, 1984.
10. Allan L. Fisher and H.T. Kung "Synchronizing Large VLSI Processing Arays" IEEE Transactions on Computers, VOL. C-34, No.8, August 1985.
11. 차균현의 5인, "Digital Filter One-Chip IC화 및 제작" 88 다목적 공동설계 개발에 관한 연구, pp.2-1-2-47, 1988.



嚴斗璽(Do Seop EOUM) 正會員  
1964年 6月12日生  
1987年 2月:高麗大學校 電子電算工學科 卒業  
1989年 2月:高麗大學校 工學碩士學位 取得  
1989年 3月:現在:韓國電子通信研究所 勤務.  
※主關心分野는 명령處理 시스템 設計



朴魯京(Nho Kyeong PARK) 正會員  
1958年 1月 8日生  
1984年 2月:高麗大學校 電子電算工學科 卒業  
1986年 2月:高麗大學校 工學碩士學位 取得  
1989年 2月:高麗大學校 博士課程 修了  
※主關心分野는 ISDN 분야, 回路 및 시스템 設計等임.



車均鉉(Kyun Hyon TCHAH) 正會員  
1939年 3月26日生  
1965年:서울大學校 工學士  
1967年:美國일리노이大學校 工學碩士學位 取得  
1976年:서울大學校 工學博士學位 取得  
1987年~現在:高麗大學校 電子電算工學科 教授  
※主關心分野는 CAD 및 通信 시스템等.