

이종 채널 결합 신호 방식간 변환을 위한 알고리즘 및 실현 기법에 관한 연구

正會員 金 春 希* 正會員 廉 興 烈*

正會員 金 在 根* 正會員 金 在 明*

A Study on the Conversion Algorithm and its Implementation Technique Between NAS and CEPT Channel Associated Signalling

Choon Hee KIM*, Heung Youl YOUM*

Jae Guen KIM*, Jae Myung KIM* *Regular Members*

要 約 현재 국제적으로 권고되고 있는 디지털 계위에는 유럽 방식과 북미 방식이 있으며, 이종 계위를 적용하는 국가간의 디지털 접속이나 이종 계위를 혼용하는 지역에서는 두 전송 방식간의 정합 기능이, 특히 신호 방식간(signalling) 변환 기능이 매우 중요하다.

본 논문에서는 두 방식의 신호에 적용되고 있는 채널 결합 신호 방식에 대해 설명하고, 다양한 적용 형태에도 융통성 있는 구현이 가능하도록 선정된 신호상태 변환 알고리즘과, 전송로 상의 에러로 인한 신호 천이의 오류를 방지하기 위해 적용한 상태 천이 알고리즘을 제시한다. 또한 이러한 알고리즘의 효율적인 구현 방법을 제시한다.

ABSTRACT The need to conversion between NAS and CEPT networks has led to the development of PCM standards conversion techniques, especially signalling conversion techniques.

This paper contains a brief description and general overview of channel associated signalling(CAS) of 24-channel system and of 30-channel system. The line signalling conversion algorithm between two systems and the transition detection algorithm of call status is proposed. And this paper presents the effective implementation techniques of these algorithm.

I. 서 론

1970년대 후반부터 디지털 전송 기술의 응용이 확대됨에 따라 체계적인 전송로의 구축을 위해서

CCITT를 중심으로 디지털 계위 체계에 대한 국제적 표준화 연구를 추진해 오고 있다.

현재 국제적으로 권고되고 있는 디지털 계위로 는 2.048Mbps 속도를 기본으로 하는 유럽방식 (CEPT: European Conference of Posts and Telecommunications Administrations)과 1.544 Mbps 속도를 기본으로 하는 북미 방식(NAS: North American Standard)이 주로 이용되고

*韓國電子通信研究所
Electronics And Telecommunications Research Institute
論文番號: 89-40(接受1989. 7. 3)

있으며, 또한 이종 디지털 계위 신호를 적용하는 국가간의 디지털 연결시를 위해서 국제간 연동계위를 권고하고 있다.⁽¹⁾⁽²⁾

이에 따라 이종 계위를 적용하는 국가간의 디지털 연결시나 이종 계위를 혼용하는 지역에서는 두 전송 방식간의 정합 기능이 필요하게 되며, 이의 대표적인 경우가 1.544Mbps 신호와 2.048Mbps 신호간의 변환 기능이라 할 수 있다. 이를 위해서는 두 방식간의 물리적, 전기적, 기능적인 변환이 요구되며, 특히 신호 방식간 변환 기능이 매우 중요한 역할을 하게된다.

기존의 신호 변환 장치는 주로 국제간 디지털 접속용으로 사용되고 있으며, 소량 적용에 적합하도록 구성되고 있다. 즉 변환 기능은 주로 채널 결합 신호 방식(CAS: Channel Associated Signalling)의 종류⁽³⁾ 디지털 트렁크의 적용 형태, 그리고 신호 채널 정보의 구성 형태 등에 따라 메모리 또는 하드웨어를 변경시켜 적용하고 있으며, 또한 변환 알고리즘에는 전송로 상에서 발생하는 에러에 대한 보상 기능이 없었다.⁽⁴⁾⁽⁵⁾

본 논문에서는 1.544Mbps와 2.048Mbps 전송 방식에서 적용되고 있는 신호 방식에 대해 개관하고, 두신호 방식간의 신뢰도 높은 변환 알고리즘을 제시한다. 또한 대용량 신호 변환 기능을 효율적으로 실현시키기 위한 구체적인 실현 방법을 제시하고, 시험을 통해 알고리즘의 성능 및 이의 효율성을 확인한다.

II. 신호 방식의 개요

II.1 채널 결합 신호 방식

채널 결합 신호는 감시(선로) 신호와 선택(레지스터) 신호로 분류할 수 있으며⁽⁶⁾ 전자는 회선의 상태 점검과 변경, 점유, 절단 등의 감시 기능을 후자는 번지 기능과 망관리, 요금 처리등과 같은 운용 기능을 위해 정의된다. 또한 국간 디지털 트렁크상에서의 채널 결합 신호 정보의 형성 및 전달 방법에 따라 크게 루프 신호 방식과 R2 신호 방식으로 구분할 수 있으며, 루프 신호 방식의 경우는 감시 신호에 DC 루프 신호

형태를, 선택 신호에 십진 펄스 신호(Decadic Pulse) 형태를 사용하고, R2 신호 방식의 경우는 감시 신호에 DC 루프 신호 형태를, 선택 신호에 다주파 부호 형태를 사용한다⁽⁶⁾. 여기서 십진 펄스 신호 방식은 회선 점유 확인 신호의 유무에 따라 "wink-started" 방식과 "immediate" 방식으로 구분할 수 있다. 또한 기존 디지털 트렁크상의 고정된 영역에 확보된 a,b,c,d 신호 비트는 루프 신호 방식의 감시 신호와 선택 신호 그리고 R2 신호 방식의 감시 신호 전달에 이용되며, R2 신호 방식의 선택 신호는 해당 통화로를 이용한다. 본고에서 제시하는 신호 방식간 변환에서는 다주파 신호의 부호화 방식에 의존하는 후자의 경우는 다루지 않고 신호용 비트(a,b,c,d)를 이용하는 전자의 경우만을 다룬다.

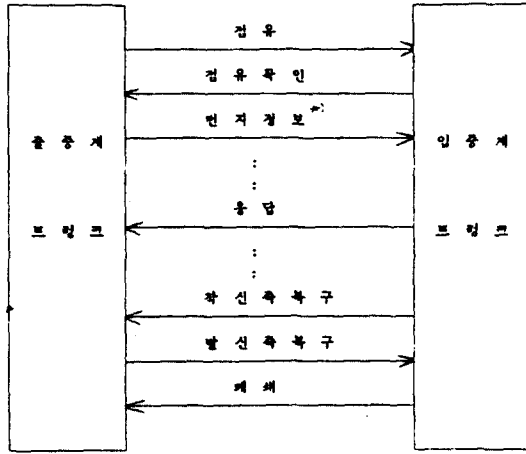
II.2 1.544Mbps 중계선 상의 신호 방식.

1.544Mbps 중계선 상에서는 193 비트 프레임을 12개 단위로하여 멀티프레임을 구성하고 있으며, 이 중 6번째와 12번째 프레임내의 모든 PCM 채널의 LSB(Least Significant Bit)를 각각 a,b 신호 채널 용으로 할당하여 사용하고 있다 (24 프레임 멀티 프레임의 경우 18,24 번째에 c,d 신호 채널 할당.)

표 1 신호 부호값 (복미 방식)
signalling code table (for NAS)

호 상 태	signalling code	
	전진신호(a _r)	후진신호(b _r)
유휴 (IDLE)	0	0
점유 (SEI)	1	0
점유확인 (SEA)	1	0-1-0
다이얼 1* (DIL 1)	1	0
다이얼 0* (DIL 0)	0	0
응답 (ANS)	1	1
착신측복구 (CLB)	1	0
발신측복구 (CLF)	0	1 또는 0
폐쇄 (BLO)	0	1

*): R2 신호 방식에서는 제외



*) : R2 신호 방식에서는 제외

그림 1 신호 정보의 흐름도
Flow diagram of the signalling information

신호 구조는 출중계 트렁크에서 송신하는 전진 (forward) 신호와 입중계 트렁크에서 송신하는 후진(backward) 신호로 구성되고, 또한 트렁크 간에 교환되는 신호의 종류 및 부호표는 <표 1>과 같다.

표 2 신호 부호값 (유럽 방식)
signalling code table (for CEPT)

호 상 태	signalling code	
	전진신호 a _r b _r c _r d _r	후진신호 a _s b _s c _s d _s
유휴 (IDLE)	1 0 1 X	1 0 1 X
점유 (SEI)	0 0 1 X	1 0 1 X
점유확인 (SEA)	0 0 1 X	1 1 1 X
다이얼 1 ^(*) (DIL 1)	1 0 1 X	1 1 1 X
다이얼 0 ^(*) (DIL 0)	0 0 1 X	1 1 1 X
응답 (ANS)	0 0 1 X	0 1 1 X
착신축복구 (CLB)	0 0 1 X	1 1 1 X
발신축복구 (CLF)	1 0 1 X	0 1 1 X
폐쇄 (BLO)	1 0 1 X	1 1 1 X

X : don't care

*) R2 신호 방식에서는 제외

II.2 2.048Mbps 중계선 상의 신호 방식

2.048Mbps 신호 방식에서는 256 비트 프레임을 16개 단위로 멀티프레임을 구성하고 각 프레임의 타임 슬롯 16을 신호 채널로 이용한다. 즉 타임 슬롯 16의 8비트 중 4비트(a,b,c,d) 씩이 각 PCM 채널의 신호 정보용으로 할당된다. 그리고 신호 정보의 대표적인 신호의 종류 및 부호값은 <표 2>와 같다. ⁽⁷⁾

III. 신호 변환 알고리즘의 설정 및 구현

III.1 신호 변환기의 구조

신호 변환기는 (그림 2)와 같이 주로 수신 신호 정보와 현재의 호 설정 상태를 근거로 하여 상태 천이 여부의 판정, 신호 변환 기능의 수행, 호 설정 상태의 저장, 송신 신호 비트의 생성 기능등을 갖도록 구성된다. 이러한 변환 기능은 신호 방식의 종류(R2 신호 / 루프 신호), 십진 펄스 신호 방식의 종류(immediate / wink-started), 트렁크의 구성 형태(입중계 / 출중계), 그리고 신호정보의 구성 형태(a,b,c,d)등에 따라 구분되어 수행되어야 한다. 따라서 본 고에서는 이와 같은 변환기 응용상의 복잡성에 대한 적용

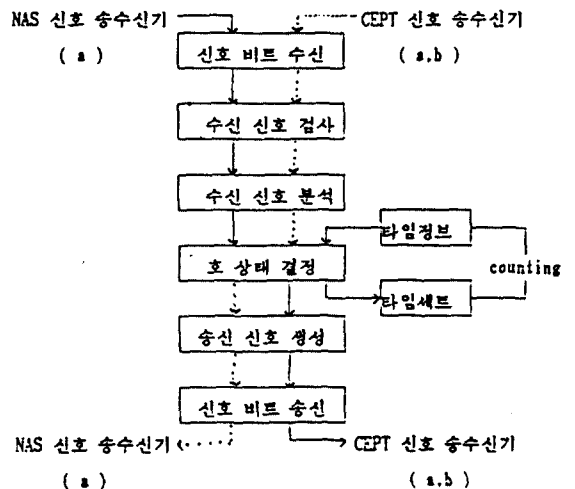


그림 2 신호 변환기의 구성
Configuration of the signalling converter

상의 융통성을 실현시키기 위해서 신호 변환 기능의 대부분을 소프트웨어에 의해 실현되도록 함으로써 적용 신호 방식과 트렁크 구성 형태에 따른 혼란을 최소화시키도록 하고, 또한 신호 정보의 구성은 기존에 주로 사용되어 오고있는 NAS의 a와 CEPT의 a,b 신호 정보만을 고려하기로 한다(국제간 신호 변환에서는 주로 NAS의 a 비트와 CEPT의 a 비트만이 사용된다).

(그림 2)는 크게 호 상태 천이 여부를 검사하는 기능, 천이에 따른 신호 정보의 변환 및 새로운 신호 정보의 생성 기능으로 구분할 수 있으며, 여기서 전 과정을 소프트웨어로 실현하거나 일부 실시간 처리가 가능한 하드웨어의 도입을 고려할 수 있을 것이다. 본 논문에서는 기존 트렁크 상에서의 호 발생 특성을 고려하여 신호 처리 시간을 크게 줄일 수 있도록 상태 천이 검사 기능의 실현시에 일부 하드웨어를 도입하고(3.2항 참조), 이의 효율성을 4.2항에 제시한다.

III.2 호 상태 천이의 검출

호 상태 천이의 검출 기능은 신호 변환 기능을

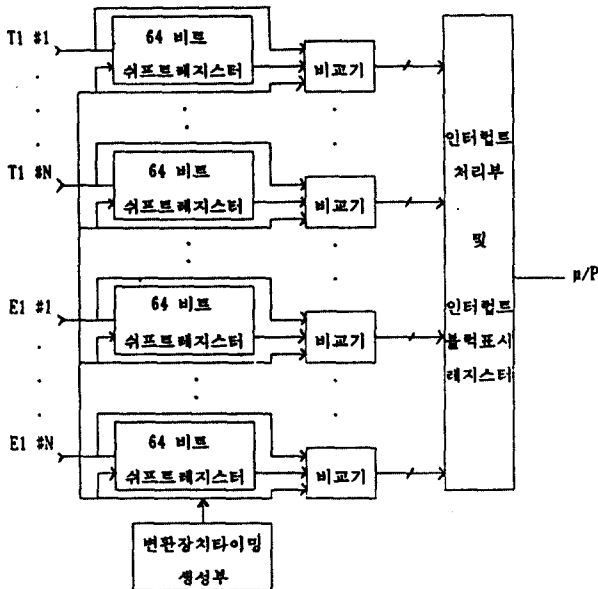


그림 3. 상태 천이 검출을 위한 하드웨어 블럭도
Hardware block diagram for signalling state transition detection

수행하기 이전에 수신된 신호 비트의 검사를 통해서 호의 상태 천이 여부를 판단한다. 본고에서는 기존 통신망에서의 호 발생 특성을 고려하여 1차적으로 하드웨어에 의해 수신 신호 비트의 반전 상태를 검출하고, 반전 채널에 한해서 소프트웨어에 의해 상태 천이 여부를 최종 확인토록 구성한다.

신호 비트의 반전 상태 검출을 위한 하드웨어 구성은 (그림 3)과 같으며, 이는 크게 64 비트의 쉬프트 레지스터, 비교기 그리고 인터럽트 처리부 및 인터럽트 불럭 표시 레지스터 등으로 구성된다. NAS 및 CEPT 트렁크로부터 TDM 버스 형태로 입력되는 각 채널의 신호 비트(NAS 경우 a, CEPT 경우 a,b)는 한 프레임 지연된 후에 수신된 해당 채널의 수신 비트와 비교된다. 이때 불럭당 NAS의 경우 8, CEPT의 경우 10채널로 구성하여 불럭 내에서 어느 한 채널이라도 반전된 상태가 검출될 경우 이를 상태 레지스터에 표시하고, 마이크로 프로세서측으로 인터럽트(인터럽트 1) 신호를 발생시켜 해당 채널의 수신 비트를 읽어서 메모리에 저장한다. 이어서 새로운 신호 비트의 도래 주기인 16 프레임(2 ms) 후에 또 한번의 인터럽트(인터럽트 2)발생에 의해 해당 채널의 새로운 신호 비트를 수신하여 메모리에 저장한다. 그리고 이들 저장된 신호 정보들을 이용하여, 전송로 상의 에러로부터 보호 기능을 갖도록 (1)식과 같은 알고리즘에 따라 상태 천이 여부를 최종 판단하게 된다.

$$TD = \{(LL \oplus LM) \cap (LL \oplus SCN)\} \cap ACT \dots \quad (1)$$

LL : 이전 수신 비트(old)
SCN : 새로운 수신 비트(new)
LM : 현 수신 비트(temp)
ACT: scanning activity data

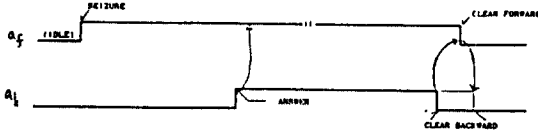
만약 TD=0이면 "No transition"
TD=1이면 "transition"

만약 한개 이상의 채널에서 동시에 신호 비트 천이가 발생했을 때는 하드웨어에 의해서 프로그

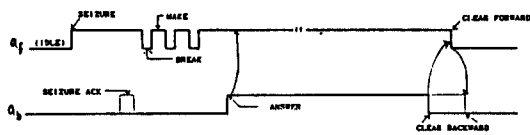
세트만 하고 한 채널에 의한 천이 발생 때와 마찬가지로 인터럽트가 발생한다.

III.3 신호 변환 알고리즘의 설정

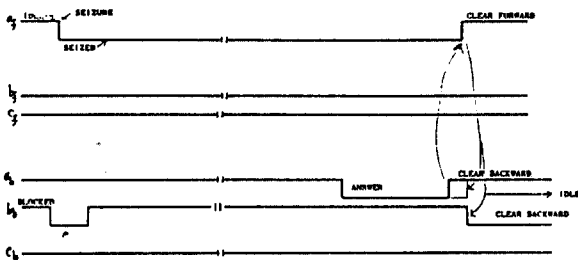
본 고에서는 신호 방식으로서 널리 사용되고 있는 (그림 4)와 같은 신호 방식별 타이밍도를 기초로 하여(그림 5)와 같은 호 설정 상태 천이도를 설정하였다. 루프 신호 방식의 상태 천이도에서 설정한 십진 펄스 신호 방식은 "immediate" 방식이며 "wink-started" 방식의 경우는 (그림 4)의 점유확인(SEIZURE ACK) 상태를 첨가한 루프 신호 방식에 따라 (그림 5) 및 <표 3>을 수정하여 적용하면 된다. 여기서 IDLE stage는 선로 유휴 상태를, C.A (Circuit Activation) stage는 선로 유휴 상태에서 응답 상태로 천이되는 중간 상태를, 그리고 ANSWER stage는 통화 진행 상태를 나타낸다.

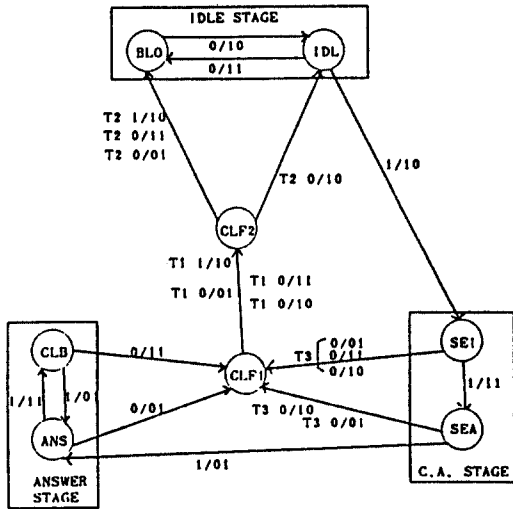


(a) NAS 방식 (R2 신호 방식)

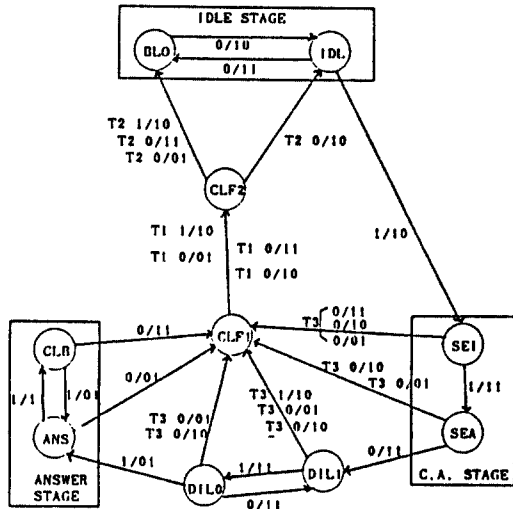


(b) NAS 방식 (루프 신호 방식)





CEPT(a_b, b_b) / NAS(a_r): CEPT의 a, b 비트 후진 신호
 :NAS의 a 비트 전진 신호
 (c) R2 신호 방식, NAS 출중계 트렁크의 경우



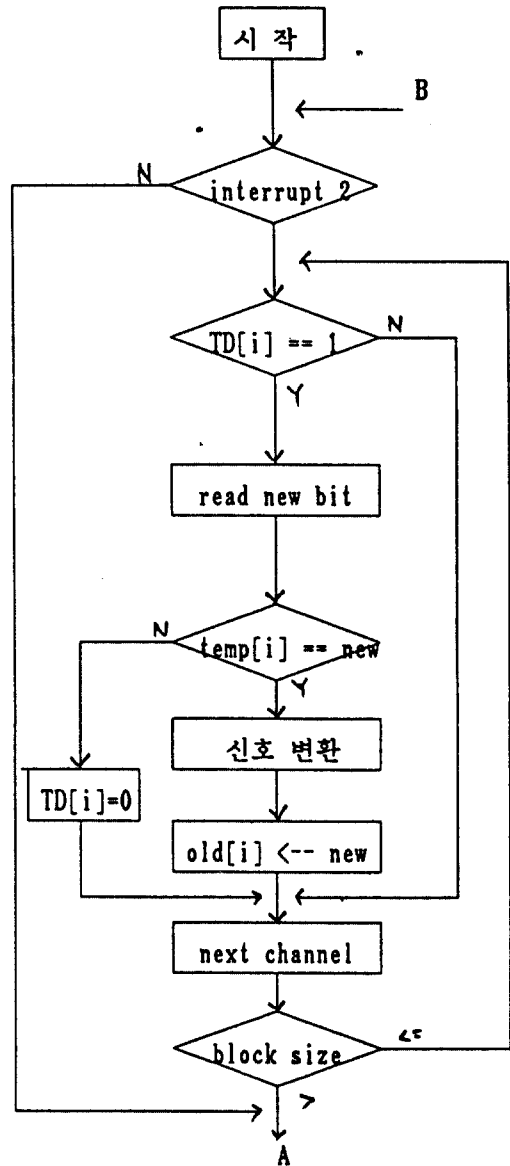
CEPT(a_b, b_b) / NAS(a_r): CEPT의 a, b 비트 후진 신호
 :NAS의 a 비트 전진 신호
 (d) 루프 신호 방식, NAS 출중계 트렁크의 경우

T1, T2, T3, T4: 각 상태에서 사용되는 타이머
 그림 5. 호 설정 상태 천이도

State transition diagram for call

III.4 신호 변환 기능의 소프트웨어 구성

(그림 6)은 전술된 호 천이 상태의 검출 및 신호 변환 기능을 수행하기 위한 소프트웨어 흐름도이다.



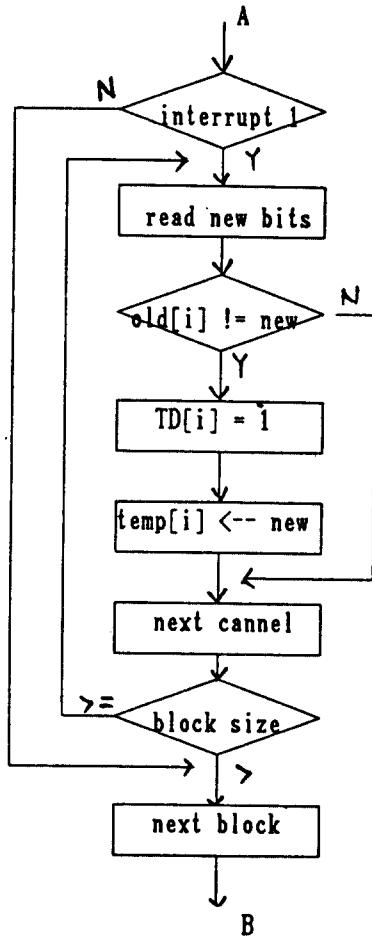


그림 6 신호 변환을 위한 신호 흐름도
Flowchart for signalling conversion.

마이크로 프로세서는 하드웨어에 의해 발생된 인터럽트 1,2에 의해서 각 채널 신호의 이전 신호(old), 현 신호(temp), 새로운 신호(new) 등 3가지 시차를 갖는 정보들 TDM 버스로 부터 읽어서 구분하여 저장하며, 이들 정보를 이용하여 (1)식에 따라 천이 검출(TD) 알고리즘이 수행된다. 이 결과 신호 비트 천이가 발생된 채널에 대하여는 신호 변환 기능이 수행되도록 조치하고 'old' 신호 비트를 'new' 신호 비트로 치환한다.

한편 신호 변환 기능은 (그림 5)의 호 설정 상태 천이도를 바탕으로하여 수행되며, 호 상태

결정 및 출력 신호 정보의 생성은 <표 3>에 따라 수행된다. 즉 <표 3.a>를 예로 들면, 호 점유(SEI) 상태에서 NAS 트렁크로 부터 천이된 신호 "1"을 수신하면 신호 변환기는 응답(ANS) 상태임을 판단하여, CEPT 트렁크 측으로 변환된 후진 신호 "01"을 송신한다.

IV. 시험 및 결과 고찰

IV.1 시험 시스템의 구성

전송된 신호 변환 기능을 시험하기 위한 시험 시스템을 (그림 7)과 같이 구성하여 입/출중계, R2 신호/루프 신호 방식에 따라 관련 기능을 시험하였다. 여기서 신호 변환 기능의 효율성을 비교, 측정하기 위해서 양방향 240개 채널을 임의로 설정하였으며, 신호 변환 관련 기능의 제어를 위해서 12MHz 에서 동작되는 16비트 마이크로 프로세서를 이용하였다. 또한 소프트웨어 기능제어를 위해서 MTOS(Multi-Tasking O.S.)를 이용하였고, 관련 소프트웨어는 "C"언어로 구현하여 C-cross Compiler를 이용하여 어셈블리어 및 기계어로 번역하여 시험을 실시하였다.

시험 결과 기설정된 기능들이 만족스럽게 동작됨을 확인하였다.

IV.2 결과 고찰

본 항에서는 신호 비트 천이 검출 및 신호 변환 기능을 수행하는 전과정을 소프트웨어만으로 구현하는 경우(경우 1)와 본 고에서 제시한 하드웨어와 소프트웨어의 조합으로 구현하는 경우(경우 2)에 대하여 수행 시간 및 효율성을 비교하였다.

"경우 1"의 경우, N개 전 채널에 대하여 신호 상태 천이 검출을 위해 기본적으로 소요되는 시간은 약 $(0.055 \times N)$ ms이며, 여기에 변환 기능을 수행하는데 $(0.475 \times \text{천이 채널수})$ ms가 소요된다. 이에 비해 "경우 2"의 경우, 신호 비트

반전 채널이 포함된 블럭당 인터럽트 1,2의 처리를 위해 각각 0.123ms, 변환 기능 수행에 (0.475×천이 채널수)ms가 소요된다.

또한 같은 N에 대하여 하나의 채널에 신호 상태 천이가 발생한다면 “경우 1”은 약(0.055×N)+(0.475×1)ms, “경우 2”는 0.246+(0.47

5×1)ms 가 걸리므로 경우 2가 그 차이만큼 빠르게 신호 변환 기능을 수행할 수 있으며, 천이 발생 채널수가 증가할수록 두 경우간의 차이가 줄어든다.(그림8)은 경우 1과 2에 대하여 신호 상태 천이 채널수에 대한 신호 변환에 필요한 수행 시간을 비교한 그래프이다.

표 3 호 설정 상태 결정표 및 부호값
Decision and code table of call state

SIGNAL INPUT AND SIGNALING CONVERSION										OUTPUT CODE	
IN-SIG. STATE	00/0	01/0	10/0	11/0	00/1	01/1	10/1	11/1	TIME OUT	NAS (a _r)	CEPT (a _b , b _b)
IDL	SEI	*	IDL	*	*	*	BLO	*	*	0	10
SEI	SEI	*	*	*	ANS	*	*	*	CLF1	1	10
ANS	CLB	*	*	*	ANS	*	CLF1	*	*	1	01
CLB	CLB	*	CLF1	*	ANS	*	*	*	*	1	11
CLF1	*	*	*	*	*	*	*	*	CLF2	0	11/01
CLF2	*	*	*	*	*	*	*	*	BLO IDL	0	11/01
BLO	*	*	IDL	*	*	*	BLO	*	*	0	11

(a) R2 신호 방식, CEPT 출중계 트렁크의 경우

SIGNAL INPUT AND SIGNALING CONVERSION										OUTPUT CODE	
IN-SIG. STATE	00/0	01/0	10/0	11/0	00/1	01/1	10/1	11/1	TIME OUT	NAS (a _r)	CEPT (a _b , b _b)
IDL	SEI	*	IDL	*	*	*	BLO	*	*	0	10
SEI	SEI	*	*	*	*	*	*	*	CLF1 SEA	1	10
SEA	SEA	*	DIL0	*	*	*	*	*	CLF1	1	11
DIL0	DIL1	*	*	*	*	*	*	*	CLF1	0	11
DIL1	*	*	DIL0	*	ANS	*	*	*	CLF1	1	11
ANS	CLB	*	*	*	ANS	*	CLF1	*	*	1	01
CLB	CLB	*	CLF1	*	ANS	*	*	*	*	1	11
CLF1	*	*	*	*	*	*	*	*	CLF2	0	11/01
CLF2	*	*	*	*	*	*	*	*	BLO IDL	0	11/01
BLO	*	*	IDL	*	*	*	BLO	*	*	0	11

(b) 루프신호방식, CEPT 출중계 트렁크의 경우

SIGNAL INPUT AND SIGNALING CONVERSION										OUTPUT CODE	
IN-SIG STATE	00/0	01/0	10/0	11/0	00/1	01/1	10/1	11/1	TIME OUT	NAS (a _s)	CEPT (b _s , b _r)
IDL	*	*	IDL	BLO	*	*	SEI	*	*	0	10
SEI	*	*	*	*	*	*	SEI	SEA	CLF1	0	00
SEA	*	*	*	*	*	ANS	*	SEA	CLF1	0	00
ANS	*	CLF1	*	*	*	ANS	*	CLB	*	1	00
CLB	*	*	*	CLF1	*	ANS	*	CLB	*	0	00
CLF1	*	*	*	*	*	*	*	*	CLF2	0	10
CLF2	*	*	*	*	*	*	*	*	BLO IDL	0	10
BLO	*	*	IDL	BLO	*	*	*	*	*	1	10

(c) R2 신호 방식, NAS 출중계 트렁크의 경우

SIGNAL INPUT AND SIGNALING CONVERSION										OUTPUT CODE	
IN-SIG STATE	00/0	01/0	10/0	11/0	00/1	01/1	10/1	11/1	TIME OUT	NAS (a _s)	CEPT (a _r , b _r)
IDL	*	*	IDL	BLO	*	*	SEI	*	*	0	10
SEI	*	*	*	*	*	*	SEI	SEA	CLF1	0	00
SEA	*	*	*	DIL1	*	*	*	SEA	CLF1	0	00
DIL1	*	*	*	*	*	*	*	DIL0	CLF1	0	10
DIL0	*	*	*	DIL1	*	ANS	*	*	CLF1	0	00
ANS	*	CLF1	*	*	*	ANS	*	CLB	*	1	00
CLB	*	*	*	CLF1	*	ANS	*	*	*	0	00
CLF1	*	*	*	*	*	*	*	*	CLF2	0	10
CLF2	*	*	*	*	*	*	*	*	BLO IDL	0	10
BLO	*	*	IDL	BLO	*	*	*	*	*	1	10

(d) 루프 신호 방식, NAS 출중계 트렁크의 경우

한편 기존 트렁크상의 호 점유율을 바탕으로 하여 호 천이 여부 검출 주기인 2ms 동안에 호 천이가 일어날 확률을 계산해 보면 다음과 같다. 여기서 트렁크축이 회선당 트래픽량을 최악의 경우인 1어랑(erlang), 평균 호 지속 시간을 2분으로 하여 2ms 당 신호 비트 천이가 발생할 확률을 계산한다. R2 신호 방식의 경우 한 call 당 신호 비트 천이수가 평균 4번이므로 8×10

⁴이고, 루프 신호 방식은 최대 다이얼 디지털수를 8개, 디지털 당 최대 break 수를 10으로 가정할때 신호 비트 천이수는 84이므로 0.0168로서 호 발생 확률은 매우 낮다.

따라서 이러한 호 천이 발생 확률은 그림 8 에서의 횡축의 값으로 거의 "0"에 가깝기 때문에 "경우 2"가 처리 시간 측면에서 매우 효율적이며, 전체 시스템에 미치는 과부하를 크게 줄일

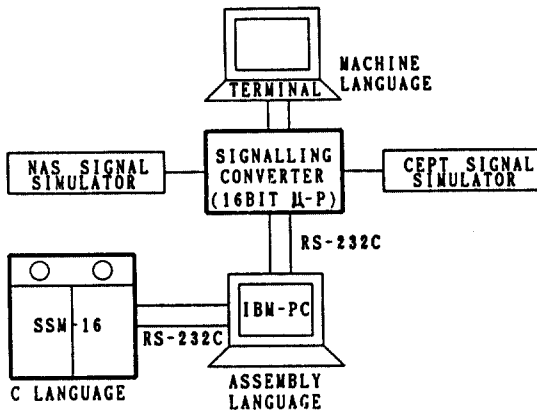


그림 7. 신호 변환 기능 구현을 위한 시험 시스템
Testing system for implementation of signalling conversion

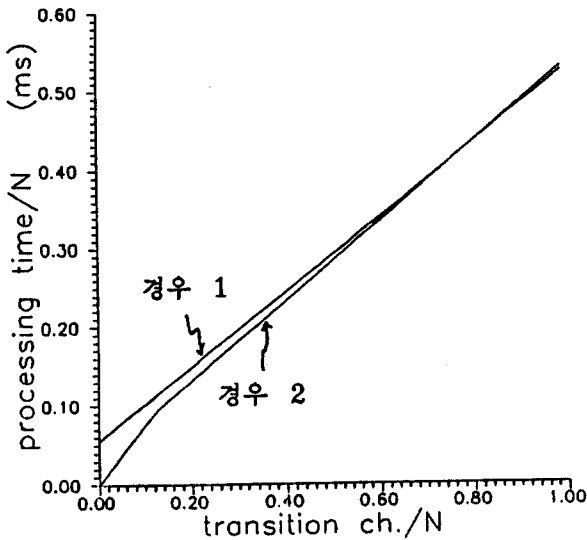


그림 8. 경우 1,2에 대한 수행시간 비교 그래프
Processing time comparison graph of case 1,2

수 있음을 알 수 있다. 이러한 효율성은 마이크로 프로세서가 채널 결합 신호 변환 기능 이외에 여러 기능들을 동시에 수행하는 통신 시스템에서 더욱 유용하게 활용 할 수 있는 방식임을 알 수 있다.

V. 결 론

본 논문에서는 국제적으로 널리 적용되어 오고 있는 2가지 디지털 전송 방식인 1.544Mbps와 2.048Mbps 방식의 신호 방식에 대해 개관하고, 이들 두 방식간의 연동에 필요한 신호 방식간 변환 알고리즘 및 이의 효율적인 실현에 대하여 기술하였다.

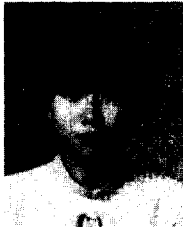
즉 신호 방식의 종류(R2 신호/무프 신호), 십진 펄스 신호 방식의 종류(immediate/wink-started), 트렁크 적용 형태(입/출중계), 신호 정보의 구성 형태(a,b,c,d)등 다양한 적용 형태를 감안 상호 융통성 있는 구현이 가능토록 그림 6과 같은 변환 알고리즘을 설정하여 소프트웨어에 의해 구현하였다. 또한 전송로 상의 에러로 인한 신호 천이의 오류를 방지하기 위하여 (1)식과 같은 상태 천이 알고리즘을 설정하여 적용하였으며, 완전 소프트웨어에 의한 호 처리 때문에 발생하는 호 처리 시간 지연 특성 및 기존의 호 발생 특성등을 감안하여 상태 천이 검출기능에 대하여 일부 하드웨어에 의한 실현이 시도 되었다.

본 논문에서 제안된 알고리즘 및 구현 방법은 기존에 주로 이용되던 방식, 즉 완전 하드웨어에 의한 직접 변환 방식에 비해 적용상의 융통성과 에러에 대한 호 상태 보호성이 높으며, 특히 소프트웨어와 하드웨어를 적절히 조합한 구현 방법은 프로세서가 타기능을 동시에 제어하는 장치 실현시 프로세서의 신호 처리 효율을 증대시킬 수 있는 효과를 가질 것이다.

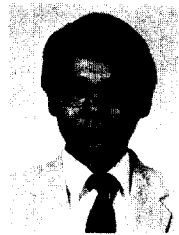
참 고 문 헌

1. CCITT, Recommendations G.701, G.702, G.703, G.704, G.705, General, Red book, vol. III.3, Geneva, pp. 3-65, 1984.
2. CCITT, Recommendations G.802, Red book, vol. III.3, Geneva, pp. 292-293, 1985.
3. CCITT, Recommendations Q.421, Q.422, Q.424, Q.430, Line Signaling Digital Version, Red book, vol. VI.4, pp. 57- 82, 1984.
4. DELTA COMMUNICATIONS, Technical Manual for T1 to CEPT Converter, 1987

5. EUROTEL, CT 30 TRANSCODA OPERATION MANUAL, 1987.
6. 김 현우, "스위칭과 신호방식," 대한전자공학회, 전자교환기술 제1권 제2호, pp. 10-17, 1985.
7. 유 은영, 손 수현, 문 정국, 범 순권, 박 일, "TDX-1 용 CEPT 방식 국간 중계장치 개발," 대한전자공학회, 텔레콤 제3권 제2호, pp. 71-78, 1987.
8. A.C.P.M Backx, L.J. Glimmerveen, "Signalling Converter for the Transmultiplexer," ICC'81, pp. 18.1.1-18.1.5, 1981.
9. ERICSSON DOCUMENT, "Exchange Transmission Requirement for Termination of 2.048 Mb/s Digital Path to the Digital Exchange," 1982
10. I.P. Inc, MTOS-68K User's Guide-A Multi-Tasking Operating System for the MC68000, 1981.



金 春 希(Choon Hee KIM) 正會員
1966年 1月29日生
1988. 2 : 全南大學校 電算通計學課 學士
1984. 2 ~現在 : 韓國電子通信研究所 電送시스템研究室 勤務



廉 興 烈(Heung Youl YOUM) 正會員
1959年 2月10日生
1981年 : 漢陽大學校 電子工學科 卒業
1983年 : 漢陽大學校 大學院 電子工學科 工學碩士
1983年~現在 : 漢陽大學校 大學院 電子工學科 博士課程中
1982年12月~現在 : 韓國電子通信研究所 電送시스템研究室 先任研究員



金 在 根(Jae Guen KIM) 正會員
1952年 8月28日生
1980. 2 : 高麗大學校 電子工學科 學士
1983. 2 : 高麗大學校 大學院 電子工學科 碩士
1989. 8 : 高麗大學校 大學院 博士過程
1979. 12~現在 : 韓國電子通信研究所 入勤務



金 在 明(Jae Myung KIM) 正會員
1951年12月17日生
1974. 2 : 漢陽大學校 電子工學科 學士
1981. 2 : 美國Univ. of Southern Calif. 通信工學科 碩士
1987. 2 : 延世大學校 電子工學科 博士
1977~1979 : 韓國通信技術研究所 勤務
1982. : 韓國電子通信研究所 入所
1989. 6 ~現在 : 電送技術開發部 研究委員