

## 플라즈마 실리콘 질화막의 전기적 특성에 관한 연구

주현성 · 주승기  
서울대학교 금속공학과

### A Study on the Electrical Properties of Plasma Silicon Nitride

Hyun-sung Joo and Seung-ki Joo

Dept. of Metallurgical Eng.  
Seoul National University

Silicon Nitride whose thickness is about  $100 \text{ \AA}$  by the ellipsometer was successfully formed by the Plasma reaction. Nitrogen Plasma was formed by applying the 200 KHz, 500 Watt power between the two electrodes and nitridation of silicon was carried out directly on the top of the silicon wafer.

Thus Silicon Nitride formed was oxidized to form oxynitrides and their electrical characteristics were analyzed by measuring I-V curves and capacitances. Through ESCA depth profiles, the chemical composition changes before and after the oxidation were analyzed.

#### 1. 서 론

현대의 대단위 집적공정에서, 공정 기술의 발달에 따른 집적도의 기하급수적 증가는 소자들의 크기를 수 마이크로미터( $\mu\text{m}$ )이하로 축소시켰다. 이러한 집적도의 증가와 소자 크기의 감소는 기존의 기억소자(DRAM, SRAM)등에서 사용되어지는 저장 축전기(Storage Capacitor)영역의 면적 감소를 필연적으로 수반하게 되었고, 이로 인하여 기존의 소자에서 쓰이고 있는 저장 축전기의 유전체 박막인 실리콘 산화막( $\text{SiO}_2$ )은 한계에 다다르게 되었다.

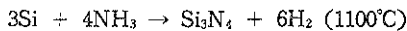
집적도의 증가와 집적소자 크기의 감소에 따라 야기된 축전 용량(Storage Capacitance)의 감소를

극복하기 위하여 유전체 박막인 실리콘 산화막의 두께를 줄이는 방법과<sup>1, 2)</sup> 저장 축전기에 할당되는 면적을 최대한 확보하기 위한 3차원적인 구조 즉, 다층 다결정 구조(Stacked Poly Structure)나<sup>3)</sup> 트랜치(Trench)구조<sup>4, 5)</sup>등에 대해 연구되어 왔다. 그러나 실리콘 산화막의 경우  $100\text{ \AA}$  이하의 균일하면서도 유전체 특성이 우수한 박막을 재현성 있게 얻기는 어렵고, 3차원 구조인 경우에는 회로 설계상의 복잡성과 공정상의 여러 어려움들로 인해 많은 문제점을 갖게 된다. 이에 따라 기존에 사용되어지는 실리콘 산화막보다 유전상수(Dielectric Constant) 값이 큰 새로운 유전체 박막의 형성에 관해 최근 연구가 집중되고 있다.<sup>6, 7)</sup>

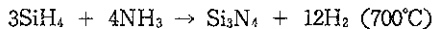
특히 기존의 대단위 집적 공정에서 부분산화공정(LOCOS)등 여러 단위 공정들에서 널리 사용되어지고 있고 박막의 특성이 비교적 잘 알려져 있는 실리콘 질화막(Silicon Nitride film,  $\text{Si}_3\text{N}_4$ )이 실리콘 산화막보다 유전상수 값이 2배 이상 높으므로 실리콘 산화막의 대체물로서 관심을 모으고 있다.

기존의 실리콘 질화막을 형성하는 방법은 다음의 두가지로 대별되어질 수 있다.

#### 1) 열질화막의 형성(Thermal Nitride)



#### 2) 저압 화학증기 증착법에 의한 질화막의 형성(LPCVD Nitride)



열질화막 형성의 경우 약의 두께가 약  $70\text{\AA}$ 의 아주 얇고 균일한 양질의 실리콘 질화막을 얻을 수 있으나 공정 온도가 약  $1100^\circ\text{C}$ 로써 고온 공정이라는 단점을 갖고 있다.<sup>8~10)</sup> 저압 화학증기 증착법(Low Pressure Chemical Vapor Deposition, LPCVD)의 경우에는 실리콘 질화막 형성시 공정 온도를  $700^\circ\text{C}$ 로 낮출 수 있고, 플라즈마를 이용한 화학증기 증착법(Plasma Enhanced Chemical Vapor Deposition, PECVD)을 이용하여 실리콘 질화막을 형성할 때에는 공정 온도를 약  $350^\circ\text{C}$ 로까지 낮추는 것이 가능하나 양질의 균일한 실리콘 질화물 초박막( $100\text{\AA}$ )을 얻기는 거의 불가능하며 또한 실리콘 질화막의 특성도 크게 저하되게 된다.<sup>11)</sup>

현재 실리콘 질화막이 대단위 집적 공정에서 쓰이지 못하는 이유는 위와 같은 단점 이외에도 실리콘 산화막에 비해 누설전류가 크기 때문이다.<sup>12, 13)</sup> 따라서 산화막과 질화막의 다층구조에 관한 연구가 집중되고 있으며 다른 산화물( $\text{Ta}_2\text{O}_5$ ,  $\text{Y}_2\text{O}_3$ )에 대한 연구도 활발하다.<sup>5, 7, 14)</sup>

본 연구에서는 저장 축전기(Storage Capacitor)의 유전박막으로 기존의 실리콘 산화막을 대체하기 위한 실리콘 질화막의 제조시, 고온에서 장시간의 공정이 필요하다는 단점을 보완하고 초박막 제조시

막의 균일성을 유지해 줄 수 있도록 하기 위하여 실리콘 웨이퍼를 상온으로 유지하면서 감압하에 발생한 질소 플라즈마(Plasma)와 직접 반응시켜 표면으로부터 두께 약  $100\text{\AA}$ 의 실리콘 질화물 초박막을 제조하였고 이렇게 얻어진 실리콘 질화막을 관상로에서 산화시켜 산화 공정의 변화에 따른 막의 전기적 특성을 측정하였다. 또한 실리콘 질화막의 화학적 조성을 알아보기 위하여 ESCA(Electron Spectroscopy for Chemical Analysis) 분석을 행하여 박막의 깊이에 따른 농도 분포를 조사하였다.

## 2. 실험장치 및 실험방법

### 2-1 플라즈마 실리콘 질화막의 형성

플라즈마 실리콘 질화막의 형성은 화학증기 증착법(Cheical Vapor Deposition)에 의한 경우와는 달리 질소 원자가 실리콘 표면에서 확산을 통해 성장하는 열질화막 성장의 반응기구를 따르게 되는데 이때 질소 원자의 질화물내에서의 확산 계수가 실리콘 내에서의 경우에 비해 무척 작음으로 인해 일단 질화막이 성장한 실리콘 웨이퍼 표면에서는 더 이상의 질화막 성장이 일어나지 않는 소위 자기제

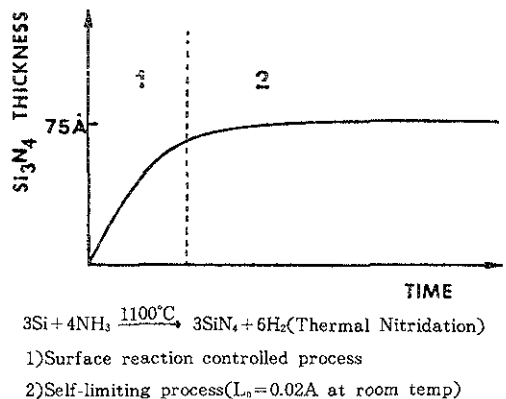


Fig. 1 Self limiting Reaction in Thermal Nitridation Process.

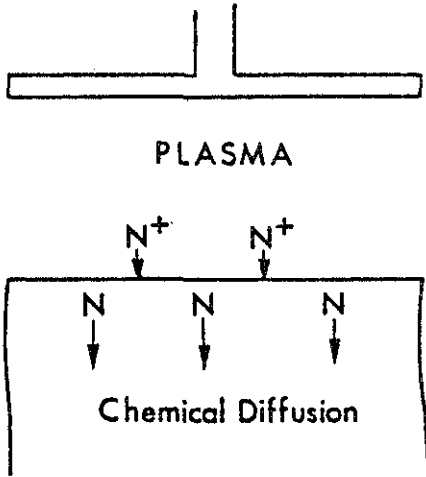


Fig. 2 Schematic Diagram of Room Temperature Plasma Nitridation

한 공정 (Self Limiting Process)를 이루게 된다. (그림 1, 2)

이러한 계면 반응에서 계면 활성을 위한 에너지로 플라즈마 반응에 의한 이온 충돌이 중요한 역할을 하게되고 이온 충돌 효과를 극대화하기 위하여 그림 3과 같은 실험 장치를 설계 제작하였다. 고주파 전력 인가시 인가전극(Powered Electrode : Cathode)에 형성되는 음(-)의 셀프바이어스(Self-Bias)를 증가시키기 위해 접지전극(Grounded Electrode : Anode)과 전력 인가전극(Powered Electrode :

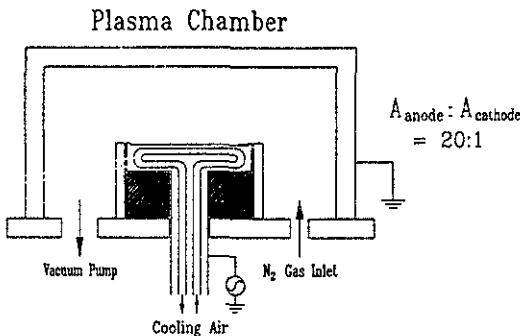
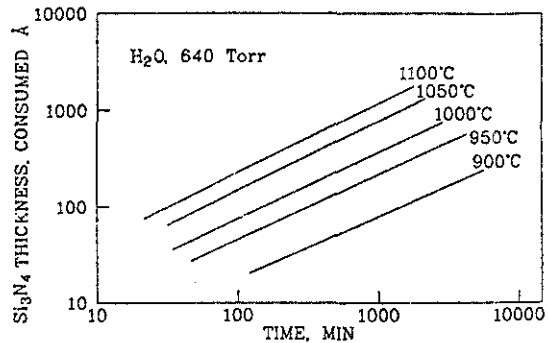


Fig. 3 Reaction Chamber for Room Temperature Plasma Nitridation

Cathode)의 면적 비율 약 20 : 1로 하였으며 인가전류의 주파수도 13.56MHz의 RF(Radio Frequency)가 아닌 200KHz의 것을, 주파수 가변 영역이 90KHz - 460KHz인 ENI사의 HF-3 플라즈마 발생장치 (Plasma Generator)를 이용하여 실험하였다.

2-2 실리콘 질화막과 실리콘 산화질화막 시편의 제작

시편은 붕소가 불순물(Dopant)로 첨가된 P-type 실리콘 웨이퍼를 사용하였다. 시편 표면의 청정을 위해, 10 : 1로 희석시킨 불산 용액에 약 30초 동안 담구어 실리콘 웨이퍼 표면의 산화막(Native Oxide)을 제거한 후 이온교환수에 세척하고 표면의 수분을 고압 질소를 불어 제거한 다음 곧 진공장치에 넣었다. 진공 장치는 로타리 펌프와 유화산 진공 펌프를 이용하여 초기 진공을  $1 \times 10^{-4}$  torr로 유지한 다음 고순도 (99.999%)의 질소 가스를 10sccm 흘려 주면서 로타리 펌프를 이용하여 진공 장치 내부의 압력을 40mtorr로 만들어 주었다. 시편이 놓여 있는 양극에 500W의 고주파(200KHz, High Frequency) 전력을 인가하여 10분 동안 플라즈마를 발생시키고 실리콘 웨이퍼의 표면과 반응시켜 실리콘 질화막을 형성하였다. 질화막의 두께는 편심측정기(Ellipsometer)를 이용하여 구하였다.



$$\text{CONVERSION RATIO} \triangleq \frac{\text{THICKNESS OF SiO}_2 \text{ LAYER}}{\text{THICKNESS OF Si}_3\text{N}_4 \text{ CONSUMED}} \approx 1.62$$

Fig. 4 Oxidation rate of Silicon nitride.

형성된 실리콘 질화막은 관상로에서 조건이 다른 산화공정을 통해 실리콘 산화질화막을 형성하였다. 일반적인 산화 공정시 실리콘 질화막의 산화 속도는 그림 4에 나타내었다.<sup>15)</sup>

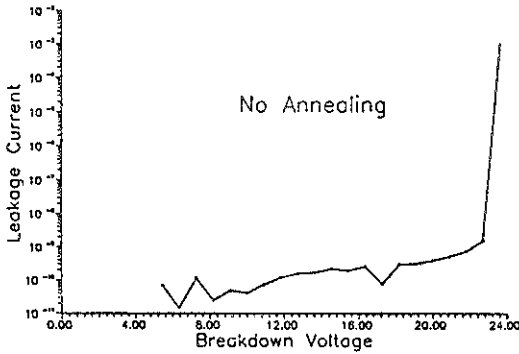


Fig. 5 Leakage Current of Al/Si<sub>3</sub>N<sub>4</sub>/Si 120μm×120μm Capacitor

2-3 전기적 특성 분석

실리콘 질화막과 실리콘 산화질화막이 각각 형성된 실리콘 시편은 형성된 막의 전기적 특성을 측정하기 위하여 표면에 전극을 만들었다. 전극은 알루미늄 전극을 사용하였으며, 열기화 (Thermal Evaporation) 증착기에서 약 1μm의 알루미늄을 증착한 다음 일반적인 사진 식각 공정으로 면적이 1.44×10<sup>4</sup>μm<sup>2</sup>인 전극을 형성하였다.

박막의 축전 용량은 C-V로 부터 파괴 전장의 값은 I-V로 구한 값들로 막대그래프를 그려 최빈 값을 택하였다. 그림 5는 실리콘 질화막의 누설전류 측정을 나타내어 주고 있으며 그림 6은 실리콘 질화막의 파괴전장 막대그래프이다.

2-4 실리콘 질화막의 깊이에 따른 농도 분석

시편 속에 함유되어 있는 실리콘과 질소 원소의 상대적 농도 변화를 깊이에 따라 조사하기 위하여 산화 공정을 거치지 않은 시편과 산화 공정을 거친 시편에 대해 각각 ESCA 분석을 행하였다.

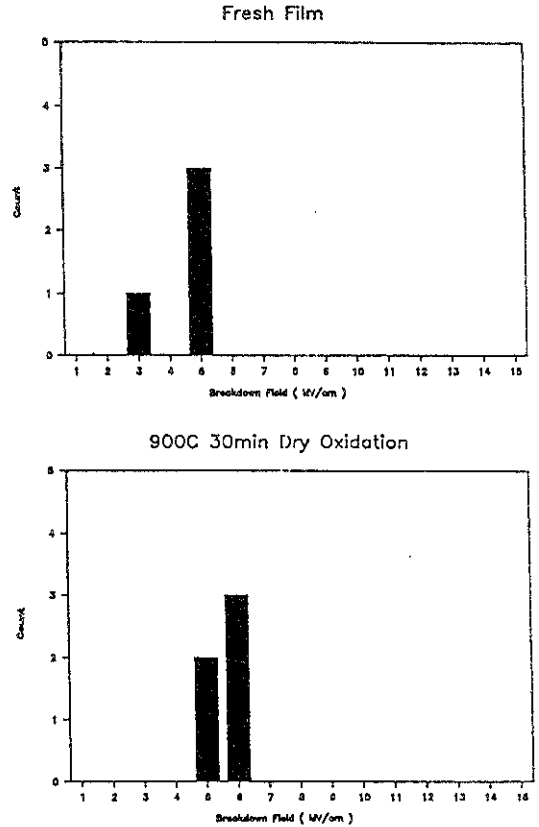


Fig. 6 Dielectric Breakdown field distribution of Al/Si<sub>3</sub>N<sub>4</sub>/Si Capacitor

3. 실험 결과 및 고찰

3-1 플라즈마 실리콘 질화막과 산화질화막의 전기적 특성

표 1은 질화막과 산화질화막의 전기적 특성 분석 결과를 나타낸 것이다. 이 표에서 알 수 있듯이 플라즈마 실리콘 질화막의 경우 측정된 유전상수 값은 7.3으로 이론적 값인 7.5<sup>6)</sup>에 가까운 결과를 나타내었으며 산화질화막의 경우 산화시 공정 온도가 높을 수록 축전 용량(Capacitance)은 감소하고 파괴전장(Breakdown Field)의 값은 증가하는 경향을 나타내었다.

표 1 Electrical Properties of Nitride and Oxynitride

$\epsilon_{nitride} = 7.5$   $\epsilon_{oxide} = 3.9$

	Si <sub>3</sub> N <sub>4</sub> (Å)	SiO <sub>2</sub> (Å) <sup>15)</sup>	C(p <sup>f</sup> )	$\epsilon_{total}$	B.F. (MV/cm)
Fresh Film	100	none	93.26	7.3	5
900°C dry 30 min	100	none	74.94	5.9	6
900°C dry 1 hr	100	none	68.37	5.4	10
1000°C dry 30 min	70	48	56.84	5.3	8
900°C wet 2 hr	87	22	36.22	3.1	20

플라즈마 반응에 의한 실리콘 질화막은 LPCVD에 의한 질화막보다 일반적으로 높은 유전상수 값을 나타내며<sup>11)</sup> 열질화막과 거의 같은 값을 나타낸다. 이는 플라즈마 반응에 의해서 양질의 질화막을 얻을 수 있는 증거이며 열질화막과는 달리 상온 공정이므로 집적회로 공정 측면에서 보면 매우 큰 이점이 있다.

산화 질화막의 경우 산화 공정의 공정 온도가 높을수록 축전 용량이 감소하는 것은 아래의 식에서 보이는 바와 같이 질화막의 표면에 생기는 산화막의 두께가 증가함에 따라 전체 축전 용량은 감소하기 때문인 것으로 생각된다.

$$\frac{1}{C_{total}} = \frac{1}{C_{oxide}} + \frac{1}{C_{nitride}}$$

$$C_{total} = \frac{A \cdot \epsilon_{ox} \cdot \epsilon_{ni}}{d_{ox} \cdot \epsilon_{ni} + d_{ni} \cdot \epsilon_{ox}}$$

A : Capacitor Area

$d_{ox}, d_{ni}$  : Thickness of Oxide, Nitride

$\epsilon_{ox}, \epsilon_{ni}$  : Dielectric Constant of Oxide, Nitride

파괴전장의 경우 실리콘 질화막보다 산화질화막이 매우 양호한 값을 갖는 것은 실리콘과의 계면에 ESCA분석에서 알 수 있듯이 순수한 실리콘 질화막보다는 양호한 계면을 이루기 때문인 것으로 생각된다. 파괴전장은 주로 박막의 계면 상태와 박막의 결합에 크게 좌우되는 것으로 알려져 있으며,<sup>13)</sup> 산화 공정에 의해 박막의 결합 즉 pin-hole, crack 등이 개선될 수 있으며 계면결합을 감소시킬 수 있다

는 것이 알려져 있다.<sup>13)</sup>

이러한 결과들은 기존의 산화질화물 초박막을 만드는 경우들에 비해 양호한 결과들을 보여주고 있으며, 특히 매우 간단한 공정으로 훌륭한 유전체 초박막을 얻을 수 있다는 장점을 갖고 있다.

### 3-2 플라즈마 실리콘 질화막의 ESCA분석 결과

그림 7은 ESCA를 이용한 깊이에 따른 농도 분포를 나타낸 것으로 산화 공정을 행하지 않은 박막과 900°C에서 30분 동안 전식 산화 공정을 행한 후의 박막을 비교한 것이다.

산화공정을 거치지 않은 박막의 경우 표면에서 질소 원소의 농도가 높은 것으로 나타났으며 산화처리 후에는 표면으로부터 50Å 근처로 확산되어 들어가는 것으로 보인다. 실리콘 원소는 산화공정을 행하지 않은 박막의 경우 약 100Å 정도까지 질소 원소보다 낮은 농도를 보이다 연속적으로 변화하며 100Å 이후에는 Si<sub>3</sub>N<sub>4-x</sub>로 질소 원자에 비해 증가되는 양상을 보인다. 그러나 산화처리 후에는 많은 양의 실리콘이 표면으로 확산되는 것을 알 수 있다.

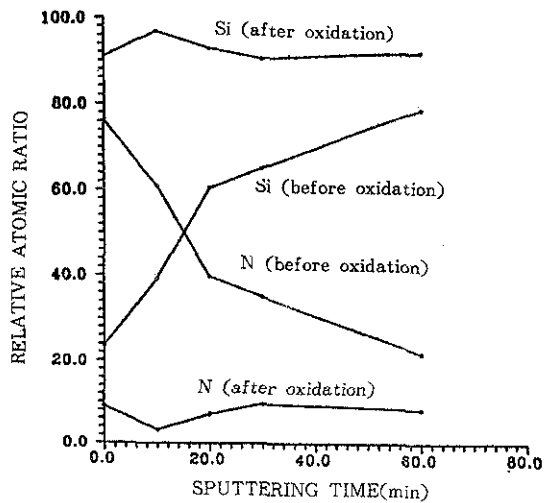


Fig. 7 ESCA Depth Profile of Room Temperature Plasma Nitride before/after Oxidation Process (Sputtering rate : 5Å/min)

#### 4. 결 론

1. 200KHz, 500 Watt의 고주파 교류전력을 이용 질소 플라즈마를 발생시키고 실리콘 웨이퍼와 10분간 반응시켜 100Å 이하의 균일한 실리콘 질화막 초박막을 얻었다.

2. 플라즈마에 의한 실리콘 질화막의 경우 유전율은 7.3으로 이론치와 거의 같았으며 900°C에서 1시간 동안 건식 산화시켜 얻은 산화질화막의 경우 유전율은 5.4, 파괴전장은 약 10MV/cm으로 실리콘 질화막보다 향상되었다.

3. ESCA 분석 결과 산화처리 후 실리콘 원소는 표면으로 확산되며 질소 원자는 표면으로부터 약 50Å 정도의 깊이로 확산되어지는 것으로 나타났다.

#### 참 고 문 헌

1. Chenming Hu : IEDM, (1985), 368.
2. M. Saito, T. Mori and H. Tamura : IEDM, (1986), 680.
3. Yasuo Tarui, et al. : IEEE Trans. Electron Devices, ED-29 (3), (1982), 368.
4. C. Gonzalez, J. P. Mcvittie : IEEE Elec. Devi. Letters, EDL-6 (5), (1985), 215.
5. 이 병일, 주 승기 : 전자공학회논문지, 26 (4), (1988), 540.
6. A. Z. Reversz, T. D. Kirkendall : J. Electrochem. Soc., 123 (10), (1976), 1514.
7. P. S. Wilcox, et al. : J. Appl. Phys., 40 (10), (1969), 3891.
8. Mehrdad M. Moslehi, Krishna C. Saraswat, and Steven C. Shatas : Appl. Phys. Lett., 47 (10), (1985), 1113.
9. S. P. Murarka, C. C. Chang, and A. C. Adams : J. Electrochem. soc., 126 (6), (1979), 996.
10. Takashi Ito, Ichiro Kato, Takao Nozaki, Tetsuo Nakamura, and Hajime Ishikawa : Appl. Phys. Lett. 38 (5), (1981), 370.
11. F. H. P. M. Habraken, A. E. T. Kuiper, A. v. Oostrom, and Y. Tamminga : J. Appl. Phys., 53 (1), (1982), 404.
12. H. Esaki, et al. : IEEE Trans. Electron Devices, ED-34(11), (1987), 2238.
13. K. N. Ritz, et al. : IEEE Elec. Devi. Letters, EDL-7(2), (1986), 58.
14. L. Manchanda, MGuvitch : IEEE Elec. Devi. Letters, 9 (4), (1988), 244.
15. W. A. Pliskin, et al. : J. Electrochem. Soc., 123 (4), (1976), 560.
16. R. S. Muller, T. I. Karmin : Device Electronics for Integrated Circuits. 2nd ed., (1986), Wiley, 54.