

DRAM 제조공정의 기술적인 문제점

-Trench 축전구조 형성 기술을 중심으로

이 대 혼

(현대전자산업 반도체연구소 수석연구원)

1. 서 론

최근 DRAM의 집적도는 1Mb의 기억소자의 대량 생산이 본격화된 단계에 이르렀으며, 이미 연구개발 단계에서는 4Mb는 물론 16Mb의 기억소자 까지도 발표되기에 이르고 있다.¹⁾

근년에 이르러 더욱 가속화 되고 있는 이러한 일련의 고집적화의 과정을 주의 깊게 살펴본다면, 고집적화가 가능했던 공정기술 측면의 뒷받침이 무엇이었나를 쉽게 깨달을 수가 있는데, 입체축전구조(3차원 Capacitor)의 등장이 바로 그것이다. Texas Instruments와 같은 회사에서는 이미 상품화된 1Mb DRAM에 이러한 입체축전구조를 사용하고 있는데, 이의 채용은 4Mb 급의 소자에는 보편적인 추세이며 최근 활발히 진행되고 있는 16Mb 및 64Mb 기억소자의 개발에 있어서는 필수적인 핵심기술로서 각광을 받고 있다.

이러한 입체축전구조의 쌍벽을 이루고 있는 기술은 첫째로는 Si 단결정 기판에 좁고 긴 홈을 파고 이의 측벽을 이용하여 축전용량을 확대하는 소위 Trench Capacitor, 둘째로는 소자의 Active Region은 물론 Field Area까지를 이용하여 다결정 Si 박막을 얹은 후에 그 위에 절연막을 형성한 Stacked Capacitor이다. 이와같은 기술이 필요한 이유는 소

자의 고집적·고밀화에 따라 이미 한계에 이른 Active Area만으로는 기억정보저장에 필요한 만큼의 충분한 축전용량(Cs)을 확보할 수가 없기 때문이다. 그림 1에서 보는바와 같이 DRAM에서의 Cell Size

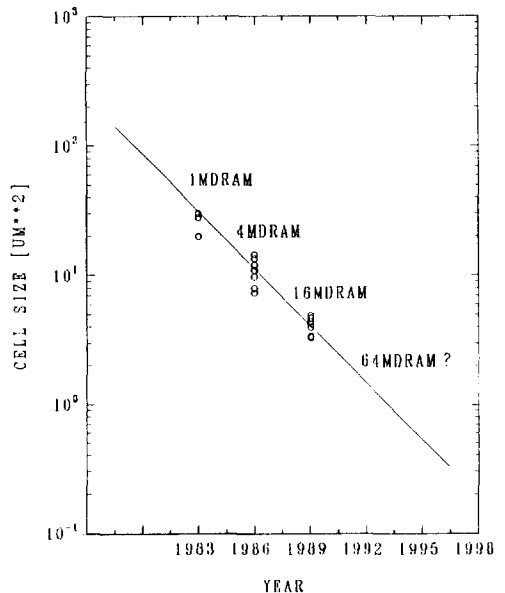


그림1. 집적도의 증가에 따른 DRAM Cell Size의 축소

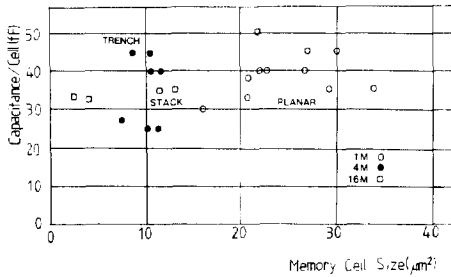


그림2. DRAM Memory Cell의 면적과 Capacitor 용량과의 관계 (2)-1M DRAM에서는 2차원 (Planar) 구조의 Capacitor를 사용하였으나 4M 및 16M에서는 3차원 구조의 Capacitor 사용이 보편화되고 있다. Trench가 Stack 형태의 Capacitor 보다는 Capacitance 확보가 용이한 것으로 보인다.

는 4Mb 급에서는 $10\mu\text{m}^2$ 전후까지 축소되어 있으며 최근 활발한 연구가 진행되고 있는 16Mb에서는 $5\mu\text{m}^2$ 이하의 Cell Size가 보편화되고 있는 실정이다. 이러한 한계를 극복하기 위해 등장한 3차원 Capacitor 형성기술은 대체로 4Mb DRAM을 경계로 하여 보편화하고 있는 추세인데, 그림2는 그 실례를 보여주고 있는 것으로서, 최근 DRAM 시장을 주도하고 있는 일본의 유수업체의 DRAM Cell의 면적과 대비한 축전용량과의 관계를 한눈에 알 수 있다. 1M DRAM급에서 얻었던 Cs 값을 확보하면서 Chip Size를 줄이기 위해서는 Cell Size가 축소 되어야 하며 이에 따른 Active Region의 감소를 만회하기 위해서는 3차원 구조를 가지는 Trench나 Stacked Cell의 등장이 불가피하게 된 것이다. 따라서, 본고에서는 추후로 기억소자의 고집적화에 따라 필수적으로 요구되는 이러한 3차원 Capacitor 형성 기술의 특징을 알아보고 그 문제점에 대해 살펴보고자 한다.

2. 본 론

DRAM의 Cell은 1개의 Transistor와 1개의 Capacitor의 결합을 기본으로 하고있다. DRAM은 SRAM과는 달리 기억된 정보를 주기적으로 되풀이하여 써 주어야(Refresh)한다. 일단 Refresh의

Scheme(Refresh의 주기 및 동일 주기내에 Refresh시켜 줄 수 있는 Bit의 수)이 정해져 버린 연후에 Cs의 값은 축적된 전하의 보존시간을 결정하는 가장 주요한 인자이기 때문에, Cell이 필요로 하는 만큼의 최소한의 축전용량(Cs)을 확보하는 것이 대단히 중요하다. 이론적으로 얘기하자면 Cs의 값은 다시 절연막으로 형성되는 재료의 유전상수(ϵ) 및 막의 두께, 절연막의 넓이에 따라 좌우되므로 바람직한 것은 고유전상수의 막재료를 선택하고 막의 두께를 얇게 해주면서 넓은 영역을 확보하는 것인데, 고유전상수의 얇은 막을 형성하는 작업은 누설전류(Leakage Current) 및 재현성 있는 박막제조 등의 어려움때문에 제한을 받고 있는 반면, 넓은 영역을 확보하는 작업은 1절에서 이미 언급한 3차원 축전구조를 채택하면 가능하다는 점이다. 이에 따라 DRAM을 제조하는 각 업체에서는 이와 같은 구조의 Cell을 실현시키는데 주력하여 왔으며 유수의 업체들은 이미 이러한 공정기술을 안정시켜 생산단계에까지 올려 놓게 되었다. 그렇다면 과연 어떠한 3차원 축전구조의 형성이 앞서 언급한 바와 같이 가장 훌륭한 해답인가? 이는 앞으로 DRAM이 나아가야 할 방향을 제시하는 중요한 질문이다. 특히 같은 개념에서 출발한 3차원 축전구조이기는 하나 Trench와 Stacked Capacitor는 제조에 필요한 공정기술이 근본적으로 차이가 있으므로 어떤 구조를 선택하느냐 하는 결정에는 신중해야 할 필요가 있으며 궁극적으로 그 선택이 DRAM 제조업체의 연구개발 및 생산 방향설정에 치명적인 영향을 미치는 결과를 가져올 수도 있는 극히 중요한 문제라 아니할 수 없다.

2. 1 3차원 축전구조 형성기술

2.1.1 Trench Capacitor

그림3은 Si의 단결정에 RIE(Reactive Ion Etching)에 의해 형성된 Trench Capacitor를 보여주고 있다. 4Mb DRAM의 경우 대개 $5.0\mu\text{m}^2$ 깊이를 전후로한 Trench가 필요한 것으로 알려져 있다. Trench의 크기는 집적도와 밀접한 관계가 있으므로 일정하지는 않으나 깊이 $1/3 \sim 1/4$ 정도이면 4~16 Mb급 소자의 집적도에 걸맞는 것으로 생각된다. 언뜻보기에 이러한 구상은 기발한 것처럼 보이나

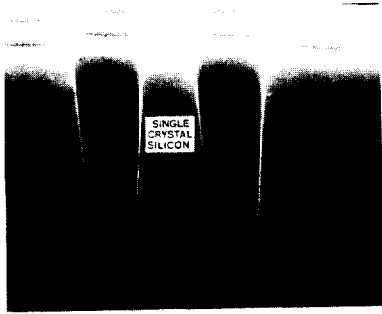


그림3. 단결정 Si에 RIE에 의해 형성된 Trench-단면적이 하부로 갈수록 작아지는 형태를 취해야 후속 공정이 손쉬워지며, 첨예한 모서리 부분이 생기지 않도록 Etching 하여야 한다.

Trench를 형성한 이후의 후속공정도 함께 살펴본다면 그리 실현이 용이한 것이 아니라는 점을 깨닫게 된다.

Trench를 이용하여 Capacitor를 형성 하고자 할 때 크게 나누어 그 공정을 다음과 같이 분류할 수 있다.

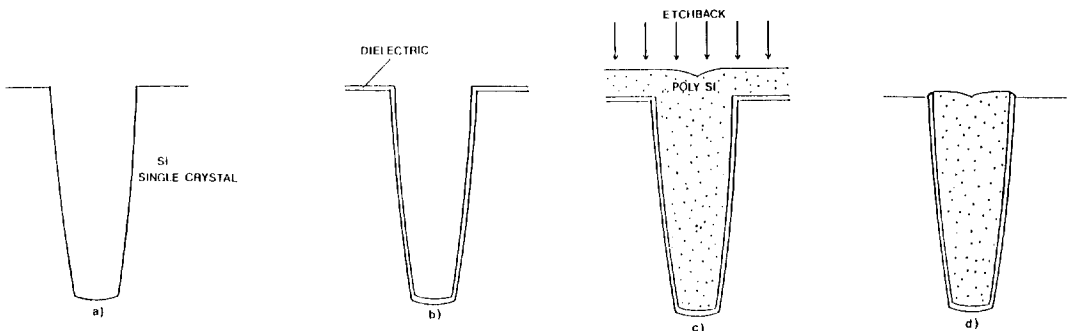
- 1) RIE에 의한 Trench 형성,
- 2) Capacitor로 쓰일 절연막의 형성,
- 3) 후속공정을 위해 Trench를 다시 충전물질로 메꾸고 이를 전극으로 사용하기 위해 불순물 영역

을 만드는 작업.

4) 기존 Si 기판과 같은 높이를 만들어 후속공정을 용이하게 하기 위한 평탄화 작업등이 그것이다. 소자의 구성 방법에 따라 전하를 Trench의 내부에 형성 (Inside-Charge-Storage) 하느냐, 혹은 외부에 형성 (Outside-Charge-Storage) 하느냐 하는 방법의 차이가 있는데 전자의 경우에는 2)의 작업전에 미리 다른 하나의 전극으로 사용될 부분을 Trench 외부에 형성하여야 하므로 작업은 더욱 복잡해 진다. 편의상 1)의 작업을 Trench Etching, 2)는 절연막 형성, 3)은 Refilling, 4)의 작업은 Planarization으로 부르기로 하며 전자의 경우에 필요한 또 하나의 전극 형성작업은 Sidewall-Doping으로 부르기로 한다. 이러한 공정 작업순서를 그림4에 나타내었다.

(1) Trench Etching

이방성 (Anisotropic) Etching을 위해 RIE 방법을 이용하는데 이때 주로 BCl_3 , Cl_2 , $SiCl_4$ 등의 Chlorine계 Gas를 이용하며 원하는 형상에 따라 각 Gas의 용도 및 혼합량을 달리 하여야 한다. 이상적인 Trench가 가져야 할 형상 조건으로 첫째, 후에 Refilling을 용이하게 하기위해서 Trench 형상이 하



a) RIE에 의한 Si Single Crystal Etching (Trench Etching) b) 절연막 형성 c) Refilling 및 Reactive Ion에 의한 Etchback d) Etchback에 Planarization 후

그림4. Trench Capacitor 형성을 위한 공정순서

부로 갈수록 작아져야 하며, 둘째 소자의 작동시에 후에 형성되는 절연박막의 항복 전압이상으로 전장(Electric Field)이 형성되어 절연막이 파괴되는 것을 피하기 위해 바닥의 Trench 모서리가 가능한 한 굴곡을 가지는 부드러운 형상을 가져야 하고, 셋째로는 RIE시에 생기는 생성물이 Trench 바깥으로 쉽게 빠져 나옴으로써 측벽에 부착되지 않도록 하여야 한다.

첫번째 조건을 만족시킬때 흔히 Trench의 측벽이 Positive Slope을 가진다고 표현하는데, 그렇다고 해서 그 Slope이 너무 크게 되면 Trench의 바닥이 지나치게 침예하여 지고 오히려 전계 집중을 일으키게 되므로 어느 정도의 타협이 필요하다.

두번째 조건 또한 제어하기 매우 까다로운 조건중의 하나인데 실제로 어느정도의 굴곡으로 Trench가 형성되었는지의 여부를 Si Wafer를 절단하여 SEM(Scanning Electron Microscope)으로 확인하기 전에는 검사하기 힘들다는 것 또한 실제 공정에서 공정작업자를 불편하게 만드는 요소가 된다.

4M DRAM급 소자에서 200Å 전후의 정도의 절연막이 사용되고 있으며, 그 이상의 집적도를 위해서는 절연막의 두께가 더욱 얇아질 전망이므로 Trench 구조를 포기하지 않는 한 이 문제는 더욱더 심각해질 것으로 사료된다. 또한 절연막으로 SiO₂를 형성하는 경우에 Corner와 Fillet에서 산화막이 얇게 자라는 현상이 보고되고 있으므로³⁾⁴⁾⁵⁾ Trench의 모서리가 Device 작동시에 Short의 원인이 될 수 있다는 점 또한 모서리에서의 형상제어가 중요한 이유의 하나이다.

(2) 절연막 형성

보통 4Mb 급 기억소자에는 200Å 전후의 절연막이 Capacitor로서 이용되는데, 박막을 형성하는 공정자체에는 큰 어려움이 없다고 보여진다. 다만 소자의 수명과 관련한 절연막의 신뢰성(TDDB: Time-Dependent Dielectric Breakdown)이 Device Engineer의 관심과 연구의 대상이 되고 있는 것은 사실이다. 물론 이 경우에도 재현성 있는 절연막을 형성하는 것이 중요한 문제이지만은 하나 그 보다 더욱 중요한 것은 절연막 형성을 전후한 Trench 내부

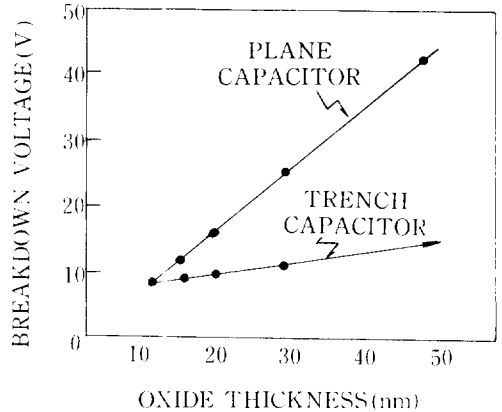
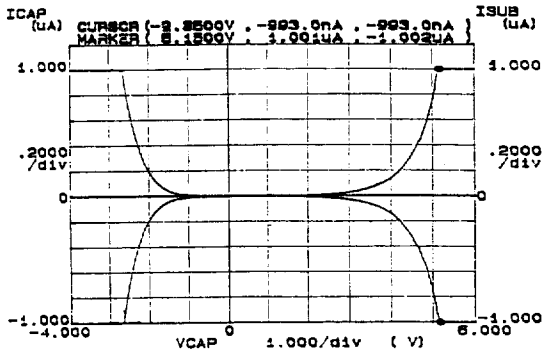


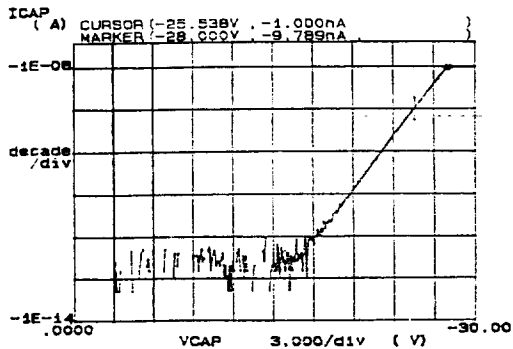
그림5. Si 산화막 두께와 파괴전압과의 관계 -

동일한 두께에서도 평면 Capacitor와 Trench Capacitor 내에서 각각 형성된 산화막의 질이 다르다는 것을 보여준다.

의 세척(청정) 작업이라고 하겠다. (1)에서 언급한 바와 같이 Etching 작업시에 형성되는 부생성물(By-Products, 주로 Carbon을 중심으로 생성되는 Polymer)이 Trench 측벽에 부착되어 이후의 절연막 형성을 방해하는 경우 양질의 절연막이 생성되지 못할 우려가 있으므로 Trench 내부의 청정작업은 일반적인 Wafer Cleaning 공정보다 매우 까다로와 진다. 이러한 오염물질의 심각성을 고려하여 여러가지 특수한 세정작업을 사용하는데 대표적인 방법이 주파수 800K~1MHz에 이르는 초음파를 이용하여 Wafer에 진동을 가하고 그 힘을 이용하여 물리적인 세정효과를 기대하는 것이며, 최근에는 IPA(Iso-propyl Alcohol)를 가열하여 생기는 증기를 이용하여 Wafer를 세척하는 방법도 고안되었다. 그러나, 초음파에 의한 Wafer에의 Damage, IPA 세정시에 생기는 잔류물의 처리등 부수적인 문제가 DRAM 제조업체들로 하여금 그 채택을 주저하게 만들고 있다. 따라서, 종래의 통상적인 세척작업과 새로운 세척 방법을 여하히 조합하여 오염되지 않은 깨끗한 Trench를 만드는냐 하는것은 DRAM 제조업체들의 커다란 관심사중의 하나이며 무수한 시행착오를 거쳐 오랜동안의 경험에서 얻은 세척방법이 각 DRAM 제조업체의 중요한 Know-How 임은 두말할 필요가 없다고 하겠다.



a)



b)

그림6. a) 불량한 산화막에서의 I-V 특성-1 μ A에서의 파괴전압이 5V 정도밖에 되지않음
 b) 양질의 절연막(Oxide/Nitride/Oxide)에서의 I-V 특성 -Pico Amp. Range에서의 파괴전압이 25V에 이른다.
 실제 동작상태인 7V 부근에서의 Current는 Noise Level 임을 보여준다.

Planar Capacitor 에 형성된 절연막에 비해 Trench 내부에 형성된 절연막의 전기적인 약점은, 첫째 Trench의 물리적인 형상에 따라 파괴전압 특성의 저하현상이 나타나며, (그림5) 둘째 Etching 공정에서 Trench의 크기가 정상적으로 Trench가 형성된 경우라 하더라도 그 이후 절연막의 두께제어가 제대로 되지 않거나 Corner에서의 산화막의 Thinning 현상등에 의해 Leakage나 Breakdown 등의 성질이 불량하여 원하는 Capacitor 얻는 것이 용이하지 못하다는 점이다.

그림6에서는 이와같은 불량한 전기적 특성을 나타

내는 Trench Capacitor의 파괴 전압 및 누설전류 특성(a)과 세심한 세척작업 및 절연막 형성공정등에 의해 이루어진 Trench에서의 정상적인 전기적특성(b)을 비교하였다.

(3) Refilling

Etching에 못지않게 까다로운 공정중의 하나가 Refilling 작업이다. 물론 Refilling 공정은 Etching

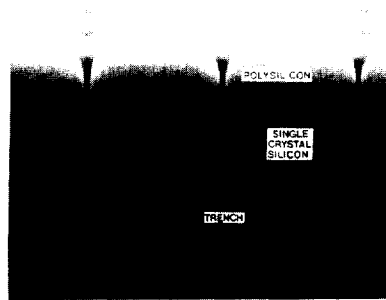


그림7. Refilling 시에 생기는 Trench 입구에서의 병목(Bottleneck) 현상-입구가 먼저 충전재료에 의해 막힘으로써 내부의 충전이 방해를 받는다.



그림8. 충전재료가 내부에 채워지지 못하여 생긴 Trench 내부의 Void

과 같은 전공정(Trench Shape)에 따라 그 공정의 성패 여부가 달려있으나, Etching에 의해 원하는 형상의 Trench가 형성되었다 하더라도 Refilling 공정의 성공은 장담할 수 없다. 주로 Refilling 공정에서 문제가 되는 것은 Trench의 깊이가 넓이에 비해 Dimension이 커짐에 따라 Trench의 바닥이 충전되기 전에 입구가 먼저 충전되어 Trench 입구를 막아 버리고 이로 인해 Trench 내부의 충전이 방해 받는 현상이다. (그림7) 이렇게 해서 Refilling이 실패하는 경우 내부에 큰 구멍을 남기게 되는데 이를 흔히 Void라고 부른다. (그림8)

Void의 형성이 전기적으로 어떠한 영향을 미치는 지에 대해서는 조사된 바는 없으나, 이러한 문제를 해결하기 위해서는 유동성이 좋은 재료를 선택하여 Refilling의 초기에 생기는 Trench 입구에서의 불량한 Step Coverage를 피해야 한다. 625°C 이상에서 생성되는 다결정 Si의 저압증착법(Low Pressure Chemical Vapor Deposition)이 무난한 Refilling 공정 방법이나 흔히 이 다결정의 Si를 도체로 만들어 주기 위해서는 불순물 (Boron이나 Phosphorus)을 주입하여야 하므로 여하히 원하는 양 만큼의 불순물을 주입하면서 균일한 불순물 분포의 양호한 Step Coverage를 갖는 다결정 Si를 충전하느냐 하는 것이 Refilling 공정에서의 숙제이다. In-Situ Doping을 이용한 저온 증착법(증착시에 불순물을 동시에 주입하는 저온 증착법)은 증착 속도가 낮고, Step Coverage가 나빠 Void를 형성할 수 있는 가능성이 있으며, Ion Implantation 등에 의한 불순물 주입을 생각해 볼 수 있으나 이는 충전물의 깊이에 따라 균등하게 Trench 바닥까지 불순물을 주입하는데 난점이 있다. 따라서 이에 대한 해결책은 연속적인 다결정 Si의 증착과 Doping을 적당히 반복하는 방법이 있을 수 있으나 이 또한 번거로우며 장시간이 소요되는 공정이므로 근본적인 문제점을 내포하고 있다.

(4) Planarization(평탄화)

앞서 언급한 LPCVD 공정은 Trench 내부는 물론 Trench가 형성되어 있지 않은 Si 기판 부위에도 원하지 않는 증착 물질을 형성하며 따라서 후속 공정에 들어가기 전에 원하지 않는 부위의 물질을 제거

하여야 한다.

언뜻보아 여기에는 큰 문제가 없는 것처럼 보이나 LPCVD 공정 이후에 Si 기판 위에 남아있는 증착물은 그림 5(c)와 같이 완전한 평면이 아니며 Trench 윗부분에서 함몰된 형태의 Profile을 가지게 된다.

RIE(Blanket Etchback)에 의한 평탄화를 먼저 떠올릴 수 있으나 이는 철저한 이방성 Etching 공정이므로 Trench 상부에서의 Cusp가 그대로 Etchback 이후에도 그림 5.(d)와 같이 존재한다. 이 역시 Refilling에서 생기는 Void와 마찬가지로 위에 형성될 여러가지 재료의 박막을 물리적으로 불안정한 상태를 만드는 원인이 되며 후에 이러한 부분에서 전기적으로 원하지 않는 전류의 흐름을 유발함으로써 소자의 작동에 치명적인 악영향을 미치기도 한다. 그림9는 평탄화가 제대로 이루어지지 않은 경우에 자란 불량한 형태의 Field Oxide의 단면을 보여주고 있다. 이러한 문제를 해결하기 위해 최근 IBM에서는 기계적인 연마에 의해 Si 기판위에 남아있는 증착 잔류물을 제거하는 시도를 하고 있는데 물론 RIE(Blanket Etchback)에 의한 Cusp의 잔류 문제를 해결해 주기는 하나, 근본적으로 가장 깨끗하여야 할 반도체 공정에 오염의 근원이 되는 미립자의 불순물을 스스로 만들어 주는 공정이므로 제한성을 가지는 공정이며, Trench 내부의 세척공정과 버금가는 주의깊은 세척공정의 뒷받침 없이는 불가능하다고 하겠다. 또한 이러한 공정자체 뿐만 아니라 이 공정으로 인해 생기는 불순물이 청정실에서 이루어지는 반도체 제조공정 전체의 오염을 유발할 수 있으므로 매우 신중하게 고려하여 선택하여야 할 공정이라고 보겠다.

(5) 기타 문제점

앞서 언급한 문제점외에 몇가지 문제점을 더 열거해 볼 수 있는데, 이들 문제는 Cell의 구조를 어떻게 가져가느냐, 혹은 어떻게 집적도를 높이느냐 하는 문제등에 따라 수반되는 문제들이다. 첫째로, 2.1.1에서 설명한 바와 같이 Trench의 측벽에 확산현상을 이용하여 불순물층을 형성하여야 할 필요가 있다. 흔히 확산의 방법으로는 확산로내에서 원하는 불순물의 기체 분위기를 형성하고 온도를 높여

Trench 측벽에 Solid-Vapor간 반응을 이용하여 불순물층을 만들어주는 방법(Bipolar 소자의 제조에 많이 이용), 또는 BSG(Borosilicate Glass)나 AsSG(Arsenic Silicate Glass) 등의 Solid-Solid간 반응을 이용하여 확산로내에서 가열하여 불순물층을 형성하여 주는 방법을 사용한다. 전자의 경우에는 후자의 경우에 비해 비교적 간단하게 불순물층을 형성시킬 수 있는 장점이 있으나 확산로내에 원하는 확산 분위기를 형성하기 위해서는 온도와 압력의 최적조건을 찾아 원하는 양만큼의 정확한 불순물을 주입하는 것이 상당히 제어하기 어려운 공정이다. 후자의 경우에는 비교적 용이하게 확산농도를 제어할 수 있는 점이 장점이나 일단 Trench 측벽에 BSG나 AsSG 등의 박막을 증착하고 열공정을 거쳐 확산층을 형성한 이후에 다시 박막을 제거하여야 하므로 Refilling을 하는 경우와 마찬가지로 우수한 Step Coverage를 가지는 확산층을 형성하여 주어야 하고, 공정이 복잡하여지는 문제를 안고있다. 더욱 간편하게 불순물을 주입하는 방법으로서 Ion Implantation에 의한 확산층 형성에 대한 연구가 이루어지고 있으나, 깊은 Trench를 사용하는 경우 Trench의 바닥과 측벽에 고르게 불순물층을 형성시키는 데에 단점이 있어 아직도 실용화와는 상당한 거리가있다. 그림10은 Solid-Solid간 반응을 이용하여 Sidewall에 Boron을 확산시켜 만든 P-Type Junction의 사진을 보여주고 있다. 두번째로는, 집적도를 높이기 위해 Field

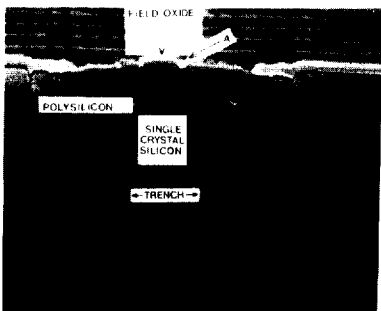


그림9. 단결정과 다결정 Si 위에 동시에 형성된 Field Oxide-산화막 성장속도의 차이에 의해 단결정과 다결정 사이에서 Stress가 유발되어 Field Oxide 상부의 표면이 함몰된 형태로 남는다(A)

Oxide가 차지하는 부분을 Trench 위로 지나 가도록 하여야 하는 경우가 생기는데(그림9) 이 경우 종래의 Isolation의 개념대로 Oxide가 단결정 Si 위에서만 자라는 것이 아니고 Trench 내부에 Refilling된 재료(다결정 Si)와 단결정 Si 위에서 동시에 성장하게 된다. 이때 단결정과 다결정 Si 위에서의 Oxide

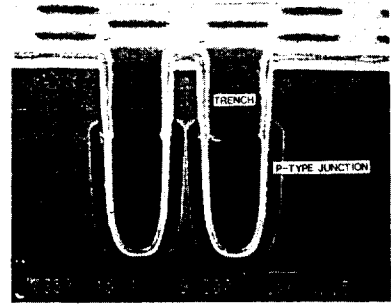
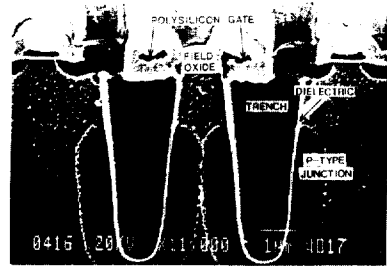
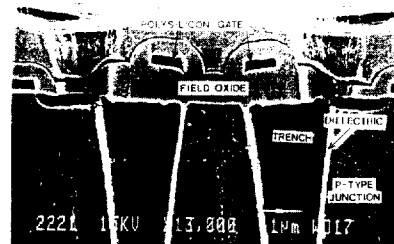


그림10. BSG Film의 확산을 통해 형성된 Trench Sidewall의 P-Type Junction의 단면도



(a)



(b)

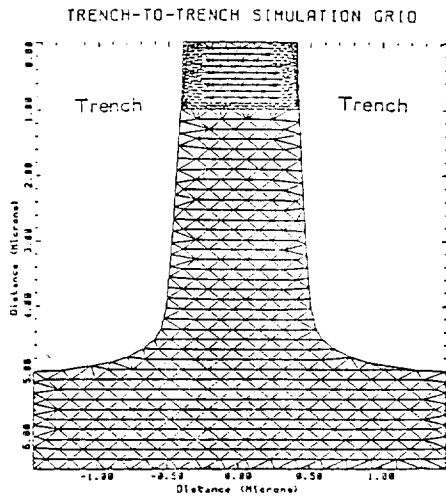
그림11. a) 비정상적인 형태의 Polysilicon Gate -평탄화 작업부터 정상적으로 이루어지지 못한것을 관찰할 수 있다. 추후공정에서 전기적인 문제를 유발한다.
b) 정상적으로 형성된 Polysilicon Gate -평탄화 공정이 잘 이루어져 있다.

의 성장속도가 차이가 나게 되므로 단결정과 다결정 Si의 경계면 위에 자라는 Field Oxide 부위에서 심한 Stress가 유발되고 이 부위가 전기적으로 취약하여 지므로 소자 작동시에 원하지 않는 전류의 흐름

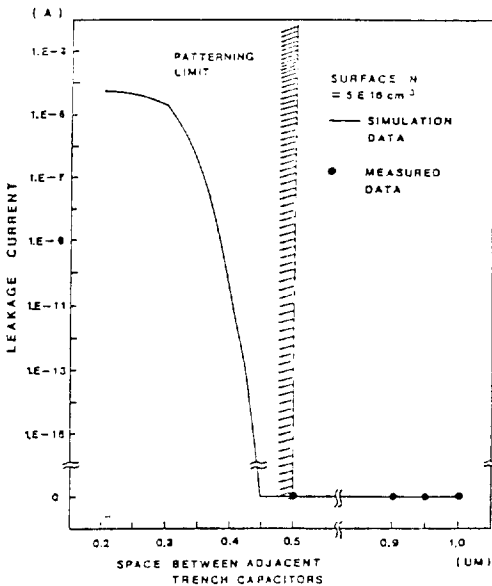
을 발생시킨다. 통상 단결정 Si보다 거친 표면을 가진 다결정 Si 위에서 생성되는 Field Oxide는 단결정 Si 위에서 자란 Oxide 보다 전기적으로나 물리적으로 좋지 않은 성질을 가지게 되므로^{6)~10)} 이러한 구조를 가지게 되는 소자는 근본적으로 구조적인 취약점을 내포하고 있다고 보겠다.

그림 11의 a), b)는 각각 9와 같은 Field Oxide 위에 형성된 불안정한 Polysilicon Gate와 Planarization이 정상적으로 이루어진 경우의 Gate를 보여주고 있다. 전기적으로 역시 Cell에서의 누설전류(Leakage) 문제가 가장 심각한 것이라고 볼 수 있는데, Oxide-Charge-Storage의 경우에는 Cell-to-Cell Leakage가 문제가 되고 따라서 Cell 간의 거리를 어느 한도 이상으로 줄일수 없고 집적도를 높이는 데에 한계가 있으므로 Trench 구조를 선택하는 의미가 상실된다. 또한 Chip Packaging 이후에 생기는 방사성 물질로 인한 α -Particle에 의해 DRAM의 정보저장기능의 방해를 받는 현상(Soft Error)이 나타나기도 한다.

Inside-Charge-Storage의 경우에는 Cell-to-Cell Leakage는 크게 염려되지는 않으며 Soft Error에 대한 저항력도 높은 편이다. 이 경우에도 역시



(a)



(b)

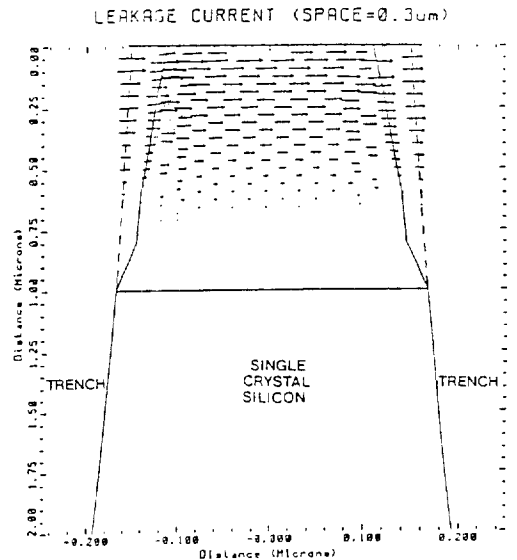


그림12. a) Trench Couple에서의 Simulation을 위한 Grid

b) a)의 Grid에 의해 형성된 Goupling에서의 Trench간 거리-누설전류의 상관관계

그림13. Trench간 거리 0.3 μ m인 경우의 Trench간 Leakage에 대한 Vector Plot Simulation

Trench간의 거리를 어느 한도 이상으로는 지켜주어야 한다. 그림 12에는 두 Trench의 Coupling을 가정하고 이를 Grid에 의해 분할한 다음(a), Trench 사이의 누설전류가 Trench 간의 거리에 따라 변하는 현상을 Simulation한 예(b)를 나타내었다. 여러가지 주변 조건(Junction의 농도, 깊이, 동작상태에서의 전위)에 따라 달라지지만, 이 경우 Trench간의 거리가 $0.45\mu\text{m}$ 이하가 될때 누설전류가 급격히 증가하는 것을 볼 수 있는데 실측한 결과와도 잘 일치하고 있음을 알 수 있다. 그림13에는 Trench간 거리가 $0.3\mu\text{m}$ 일때의 (기타조건은 동일) 누설전류의 Path를 Simulation 결과이다. Inside-Charge-Storage의 경우에도 이와 같이 Trench 간의 거리에는 한계가 있음을 알 수 있다. 그 외에도 Polysilicon Gate의 Storage Node 사이에서의 누설전류(그림11, a), 불량한 절연막에 의한 Storage Node-Si Substrate 간의 누설전류등도 전기적인 문제를 유발하는 원인이 된다.

2.1.2 Stacked Capacitor

앞서 여러가지 문제점들이 지적된바 있는 Trench Capacitor에 비해 비교적 그 공정방법이 간단하면서 공정제어가 용이한 것이 Stacked Capacitor이다. 그림14는 가장 기본적인 Stacked Capacitor를 보여주고 있다. 평면적인 Capacitor의 개념에서 약간 발전하여 Capacitor Area를 증대시킨 형태로서 Etching, Sidewall Doping, Refilling, Planarization 등, 앞서 Trench Capacitor를 형성시키기 위해 필요하던 공정들이 모두 불필요하므로, 공정이 간단하고 공정에 필요한 절대시간이 절약되므로 Trench의 경우 보다는 생산성의 측면에서 비교 우위에 있다고 보아진다. 반면 Trench Capacitor 형성공정에서 겪지 않았던 새로운 문제들을 안고 있는데, 대표적으로는 첫째, 단결정 Si 위에 절연막을 키워 Capacitor로 이용하는 Trench Capacitor의 경우와는 다르게 다결정의 Si 위에 절연막을 형성시켜야 한다는 점이다. 둘째로는, Capacitor를 형성하는 부분이 Si 기판위에 없혀짐으로 해서 Submicron 급의 Pattern을 형성하여야하는 감광작업(Lithography) 및 Etching 작업이 무척 까다로워진다는 점이다. Trench Capacitor의 경우에는 이 부분이 모두 Si 기판 안으로 형성되어

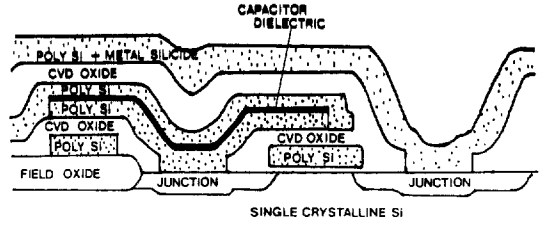
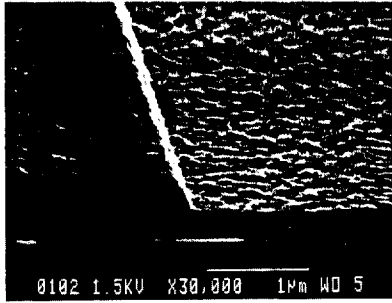


그림14. Stacked Capacitor의 기본 Cell 구조-적층된 Polysilicon 사이에 절연박막을 형성한 Capacitor를 사용하여 Capacitance를 증대시킨다.

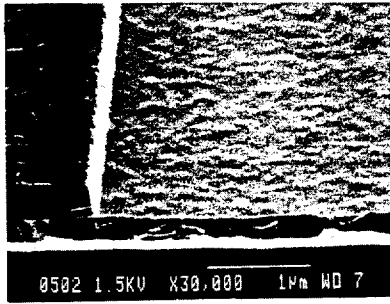
있으므로 이에 대한 부담이 상당히 적은편이라고 하겠다. 마지막으로 생각할 수 있는 Stacked Capacitor의 치명적인 약점은, Trench Capacitor의 경우 그 깊이를 조절함으로써 Capacitor의 면적을 증대시킬 수 있고 이에 따라 축적전하량 (Cs)을 증대시키는데에 비교적 융통성이 있는 반면, 집적도에 한계가 존재하는 한 늘릴수 있는 Capacitor Area가 제한을 받으므로 원하는 양만큼의 충분한 Cs 값을 얻는데 무척 어려움이 따른다는 점이다.

(1) 절연막 형성

다결정 Si 위에서 자라는 Oxide는 앞서 Trench의 경우 (4)에서 언급한 것과 마찬가지로 표면이 거칠게 되므로 양질의 박막을 만들기 까다로운 문제가 있다. 보통 625°C 부근에서 증착되는 다결정의 Si의 결정립의 크기가 $0.2\sim 0.4\mu\text{m}$ 정도이므로 표면 거칠기를 비슷한 정도로 생각한다면 워낙 수백 \AA 정도의 얇은 박막을 절연막으로 이용하는 경우에 Capacitor 전면에 걸쳐 균등한 두께와 전기적 성질을 가지는 산화박막을 성장시키기가 매우 어렵다. 따라서, 소자가 동작상태에 진입했을때 얇은 부분에서의 절연막 파괴(Breakdown) 등의 현상이 나타나며, 그에 앞서 이미 박막 형성시에 불균일한 Si의 공급으로 인해 Oxide가 생성되지 않고 Pin Hole 등이 존재하는 경우에 직접적으로 이 부위에서 원하지 않는 전류의 흐름을 유발하게 된다. 이러한 현상을 방지하기 위해서는 다결정 Si의 표면을 부드럽고 깨끗하게 해주어야 하는데, 종래의 POCl_3 을 이용한 불



(a)



(b)

그림15. $POCl_3$ 에 의해 Doping 된 다결정 Si(a)과 Implantation에 의해 Doping된 다결정 Si(b)의 표면사진-(b)의 경우가 (a)의 경우보다 표면이 훨씬 부드러운 것을 볼 수 있다.

순물 주입 방법이 비교적 고온에서 행하여지기 때문에 이미 증착된 다결정 Si의 결정립 조대화(粗大化)를 유발하여 표면을 거칠게 하는 원인이 되며 지나치게 $POCl_3$ 의 유량이 많은 경우 표면에 불균일한 불순물 분포로 인하여 막질이 국부적으로 상이하게 형성되는 현상이 나타나기도 한다. 이와 같은 가열효과 및 불균등한 불순물 분포를 배제하기 위한 방법으로 Ion Implantation에 의한 불순물 주입을 하기도 한다. 그림15에서 비교한 바와 같이 $POCl_3$ 에 의한 불순물 주입보다는 표면이 거칠지 않은 다결정 Si의 표면을 유지할 수 있는 장점이 있으나 소자의 특성에 따라 다결정 Si의 막이 두꺼운 경우에는 역시 Ion Implantation시에 가속 Energy의 제한이 있기때문에 충분한 불순물 주입이 이루어지지 못할 염려가 있다. 이러한 문제를 해결하기 위해 다결정 Si을 이종으로 증착하는 방법도 사용하고 있는데, 먼저 다결정 Si막의 일부만을 증착하여 $POCl_3$ 에 의해 충분

히 불순물을 주입한 후, 나머지의 다결정 Si 막을 덮어주고 표면층만 Ion Implantation에 의해 불순물층을 형성함으로써 깨끗한 다결정 Si막을 형성하고 후에 그 위에 형성될 산화막의 성질을 개선하고자 하는 시도이다. 이 방법은 상당히 가능성이 있어 보이는 하나, 생산성의 측면에서 보면 공정이 복잡하여 지는것이 흠이다.

상기와 같은 문제점 들을 해결하기 위한 시도로서 (3)에서 언급한 In-Situ Doping을 이용하는 방법이 있는데, 이 경우 다결정의 Si을 형성하지 않고 다결정 Si이 형성되는 온도인 $625^{\circ}C$ 이하의 온도에서 비정질의 Si이 증착될 수 있도록 공정을 행하게 되면 다결정 Si에서 형성될 수 있는 Grain Boundary에 의한 불균일한 산화막 형성도 막을 수 있을 것으로 기대된다.

(2) Lithography

Mega 급 DRAM에서는 필요한 각 Layer의 Pattern이 이미 Submicron 급까지 Scale-down 되어있다. 이런 측면에서 일반적으로 Mega 급 DRAM에서는 Lithography와 Etching이 상당히 심각한 문제로 부각되어 왔으나, 최근의 Submicron급 첨단 반도체 공정 장비의 개발로 무난히 어려운 고비를 넘기고 있다. Optical Lithography 및 RIE를 이용한 $0.8\mu m$ 의 Pattern 형성은 이미 보편화 되어있으며, 고해상도의 감광막의 개발도 Submicron급 Pattern 형성 공정을 실현하는데 큰 몫을 하고 있다. 그러나, Stacked Capacitor와 같은 3차원 구조의 축전기술을 도입하는 경우 평면 Capacitor를 사용하는 경우와 비교해 1~2 층의 다결정 Si Layer를 더 사용하여야 하므로 Lithography 공정은 더욱 더 압박을 받게되는 것이다. 공정기술의 확보도 중요하나 Lithography 공정은 역시 주변의 반도체 제조장치 산업의 발달에 크게 의존하여 왔으며, 추후로도 이러한 추세는 지속될 전망이다. 지금까지는 Optical Light 중에서 파장 $436nm$ 의 g-Line을 광원으로 하는 Lithography Tool을 사용하여 4Mb DRAM 급의 $0.8\mu m$ 의 선폭을 얻을 수 있었으나, 최근에는 파장 $365nm$ 의 i-Line을 이용한 Stepper가 개발되고 있고 고해상도의 감광막의 개발에 의해 0.

6 μ m 급의 선풍형성도 현실화하고 있는 단계이므로 미세선풍의 형성공정에 관한 Stacked Capacitor 채택에 대한 부담은 그리 심각하지 않을 것으로 보여진다.

(3) 축전 용량의 한계성

Stacked Capacitor 를 사용하는 경우 Trench Capacitor를 채택하는 경우와 비교하여 축전용량을 확보하는데 한계가 있다는 점이 가장 큰 약점이라고 하겠다. 앞서 지적한 바와 같이 Trench Capacitor에서는 Trench의 깊이에 따라 축전용량의 변화가 큰 반면, Stacked Capacitor에서의 축전용량은 Chip Size에 한계가 있으므로 당연히 따라서 제한을 받게 될 것이다.

최근 일본에서의 DRAM 제조업체들의 움직임은 다분히 생산성을 고려하여 Trench를 피하고 Stacked Capacitor를 사용하는 것이라고 보아지는데, Multi-Stack의 구조¹¹⁾ 등을 통해 Stacked Capacitor가 갖는 축전용량의 한계성을 극복하려는 연구도 진행되고 있다. 결국, 이 또한 다른 제조공정과의 연계성을 따져 볼 때에 무한정의 Stack을 만들 수는 없는 일이므로 가까운 장래에 그 한계를 나타낼 것으로 사료된다. 물론 앞서 언급한 바와 같이 고유전 상수를 갖는 재료의 개발은 생각하여 볼 수 있겠으나 유독 이 분야에서만큼은 다른 분야에 비해 연구 개발의 진행이 부진하다.

다만 유전율이 큰재료($\epsilon=22\sim 28$)로서 Tantalum의 산화막에 대한 연구보고가 있으나¹¹⁾¹²⁾ 아직 그 연구개발실적이 미비하며 실제 대량생산에의 적용사례가 보고되지않은 시점에서 이의 장래를 예측하기 어렵다고 사료된다.

3. 향후 전망

최근 기억소자를 주도하고 있는 일본의 업체들은 64M DRAM까지도 Stacked Capacitor를 이용 하려는 추세이다. 앞서 살펴 본 바와같이 Trench를 이용한 3차원 Capacitor 형성기술에는 해결하기 까다로운 많은 공정상의 문제점들이 존재하고 공정의 난이도 및 복잡성으로 인해 생산성의 측면에서 큰 취

약점을 안고 있다. 또, 즉석에서의 공정성패 여부에 대한 검사가 용이하지 못하여 점차 복잡해져가는 DRAM의 제조에 있어 생산단가를 증대시키고 생산

표 1.4M DRAM 이후의 DRAM 업체별 Capacitor의 선택

제 조 업 체	Cell(Capacitor) 종류	Source(Ref.)
Toshiba	Trench Stack+Trench	ISSCC, 1988 IEDM, 1987, 1988
NEC	Trench	IEDM, 1985
	Stack	ISSCC, 1989
Matsushita	Trench	ISSCC, 1987
Mitsubishi	Trench	IEDM, 1987
	Stack	ISSCC, 1989
Oki	Trench	ISSCC, 1987
Hitachi	Trench	IEDM, 1987
	Stack	IEDM, 1988
Fujitsu	Trench	IEDM, 1986
	Stack	IEDM, 1988
IBM	Trench	IEDM Digest, 1985(14)
TI	Trench	IEDM, 1985
Siemens	Trench	ISSCC, 1987
현대	Trench	반도체기술 공동개발사업, 1987
	Stack	
삼성	Trench	반도체기술 공동개발사업
	Stack	
금성	Stack	반도체기술 공동개발사업
NTT	Trench	ISSCC, 1987

* 1M DRAM에 Trench Capacitor 사용

을 저하시키는 요인이 된다. 비교한 바와 같이 Stacked Polysilicon을 이용한 구조의 문제점들은 Trench의 경우와 비교하여 상대적으로 용이하게 제어할 수 있는 것들이어서 현재로서는 후자의 방법이 현명한 선택이라고 여겨진다. 이미 Trench 구조를 채택하여 4M DRAM의 개발에 성공한 DRAM의 제조업체조차도 16M DRAM에서는 Stacked Capacitor를 채택한 예가 있다. (NEC, ISSCC, 1989) Fujitsu의 경우에는 다층의 Stacked Capacitor를 이용한 Fin 구조를 채택하여 Stacked Capacitor가 가지는 근본적인 축적전하량의 한계를 극복하여 이를 64M DRAM에서 까지도 연장하려는 시도를 보이고 있다¹¹⁾. 그러나, Stacked Capacitor의 축적전하량의 한계의 문제는 고집적화가 노력이 계속되는 한 점차 큰 문제점으로 부각될 것이며, 이에 따라 Trench와 Stack을 혼합하는 구조가 고려될 수 있을 것이다. (Toshiba) 언뜻보면 두 가지의 장점을 다 살리는 현명한 선택이라고 보여질 수도 있으나, 역설적으로 두 가지 기술의 단점을 모두 취하는 최악의 선택이 될 수도 있다. 표1에 4M 및 16M DRAM에 대한 각 DRAM 제조업체별 3차원 축전구조의 선택을 나타내었는데, 연구개발 단계에서의 선택은 Trench 쪽이 우세한 것으로 보인다. 그러나, 이것은 3차원 축전구조를 보편화하기 시작한 초기 단계에서 DRAM 제조업체들이 그 선택에 대한 해답을 스스로 얻기 위하여 양쪽 모두를 시도하는데 따라 나타난 일시적 현상이라고 해석하여야 할 것이며 추후의 대량생산 단계에서 어느 쪽을 선택하느냐 하는 것을 관찰하여야만 할 것이다. 실제로 최근의 일본의 경향은 Stacked Capacitor 쪽으로 기울는 것으로 보인다. Stacked Capacitor 구조의 축적전하량의 한계성은 몇 년후가 될지는 예측하기 어려우나, 현재 Stacked Capacitor를 선호하고 있는 DRAM 제조업체들로 하여금 Trench의 사용을 강요하게 될 것으로 보여진다. 최근 Trench 내부를 검사할 수 있는

검사 장비도 실용화되는 단계에 있으며 앞서 언급한 Trench 기술의 문제점을 해결하기 위한 장비의 개발, 원·부자재의 고순도화, 세척장비의 고도화 등이 기억소자의 고집적화와 보조를 맞추어 준다면 수년 후에는 앞서의 Trench에서의 까다로운 공정들이 해결 용이한 공정이 될 것이며 결국 Trench를 이용한 3차원 축전구조 형성기술이 필수적인 DRAM 공정기술로 대두하게 될 것으로 사료된다.

참 고 문 헌

- 1) ISSCC Conf Procs., Feb., 1989.
- 2) Nikkei Micro Devices, Aug., 1988.
- 3) R.B. Marcus and T.T. Sheng, J.Electrochem. Soc., vol. 129, pp. 1278, 1982.
- 4) Y.Sakina, T.Ohno, and S.Matsumoto, Japan J. Appl. Phys., vol.22, pp. L514, 1983.
- 5) K. Yamase and K.Imai, IEEE Trans. on Electron Devices, vol. ED-34, 1681, 1987.
- 6) T.I. Kamins and E.L. MacKenna, Metall. Trans., 2, 2292, 1971.
- 7) R.M. Anderson and D.R. Kerr, J.Appl. Phys., 48, 4834, 1977.
- 8) S.A. Abbas and C.A. Barile, 13th Annual Procs., Reliability Physics Symp., IEEE, 1975.
- 9) D.J. DiMaria and D.R. Kerr, Appl. Phys. Lett., 27, 507, 1975.
- 10) E.A. Irene, E.Tierney, and D.W.Dong, J.Electrochem. Soc., vol.127, pp 705, 1980.
- 11) IEDM Conf. Procs., Dec., 1988.
- 12) Y.Nishioka, S.Kimura, H.Shinrikin, and K. Mukai J.Electrochem. Soc., vol. 134, No.2, 411, 1987.
- 13) S.M. Gubanski and D.M. Huges, Thin Solid Films, 52, 119, 1987.
- 14) IEDM, Digest, pp. 771, 1985.