16Mb DRAM의 중요 기술적 문제점

김 창 현·신 윤 승·진 대 제
(삼성전자 반도체 부문 연구소 MOS DVC GROUP)

1. 서 론

근년들어 매 3년마다 DRAM 世代가 바뀌게 되는 경향에따라 최초의 16Mb DRAM은 日本 NTT 社에서 87년 2月 ISSCC학회에 발표했었다[1].

그후로 日本의 Toshiba, Hitachi, Matsushita, NEC, Mitsubishi 社가 88년, 89년 ISSCC에서 발표했었다.

여러 회사가 이미 16Mb DRAM을 학회에 발표하고 있으나 통상 발표와 개발완료 또는 양산개시 사이에는 1~3년의 격차가 있다고 볼때 아직도 많은 기술적인 문제가 남아 있을 것으로 생각된다. 국내의 당면 상황은 16M/64M을 국가적 차원에서 개발해 보려는 노력으로 국책과제가 성안되고 있으며 4M을 성공적으로 이끈 ETRI와 삼성, 금성, 현대가 다시 그 다음 세대의 개발에 도전하려고 채비를 서두르고 있다.

더우기 16M/64M은 거의 순수 우리의 기술로 개발하게되며 앞으로 우리나라가 HI-Tech 方面에서 自主的 이며 독창적으로 경제 성장을 해 나갈수 있는가의 중요한 시금석적인 계기가 될 거로 생각된다. 특히 日本, 미국 등 선진국에서 기술보호 정책을 강화하는 마당에 自生的인 기반기술의 개발은 필수 불가결하기 때문이다.

본 논문은 이러한 시점에서 현재까지 발표된 16M/64M의 기술적인 내용을 정리 분석하여 국내 16M개발에 도움이 되고자 한다. 고집적 DRAM의 필수적인 설계상의 고속화 및 noise대책과 집적화를 위한 CELL 구조 및 제조 방법등에 역점을 두어 전개해 나간다.

2. 설계상의 문제점

DRAM의 access time 도 世代別로 개선되어 256K, 1M, 4M가 각각 120ns, 100ns, 80ns가 주종이 되고 있으므로 16M의 동작 Speed도 60ns 요구될 전망이다.

이에 따라 各社는 Double metal을 이용하는 새로운 architecture를 도입하게 된다. 일례로 Toshiba 16M[2]는 45ns access time을 얻기위해 Rowdecoder와 주변회로를 Chip의 가운데에 위치시켰다.

그러나 고속 동작은 noise를 유발하며 Input/output단에서의 Signal margin이 현저히 줄어 들 수 있으므로 설계상의 여러 문제가 야기된다. 각社는 noise문제를 해결하기 위해 여러가지 조치를 취하고 있으며 특히 internal Voltage down Converter를 내장해야하는 16Mb DRAM은 Vcc power관련 noise를 특히 조심해야 한다.

2.1 Vcc 內部 전압 강하기

DRAM의 DENSITY가 높아져 갈수록, sensing

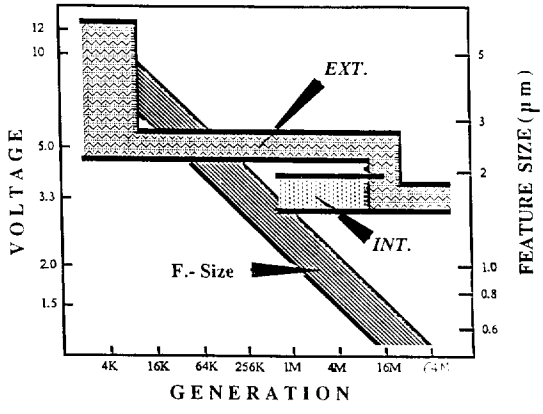


그림 1. 동작 전압과 선폭의 동향

할 때 흐르는 current가 커지게되고 이때 발생되는 power noise가 Reliability와 Speed에 큰 문제가 된다.

이를 위해 16M/64M에서의 외부 전원 전압을 강하하기 위한 방안이 여러회사에서 강구되고 있다.

현재까지 발표된 16Mb DRAM을 비교 분석한 표 1에서 보이는 바와같이 外部 전원 5V를 cell등을 포함한 core 부분에서는 3.3~4V로 사용하나, 주변회로는 外部 전원을 그냥 사용하는 방법과 3.3~4V로 강하시키는 두 group으로 대별된다(그림 1). Array쪽의 전압을 강화시키는 이유는 bitline의 voltage swing을 작게하여 power소모를 줄이려는데 목적을 둔다.

주변회로를 外部 전원으로 직접 사용하면, 고전압에서 회로 동작이 빨라지는 점을 이용할 수 있으나 gate oxide의 reliability나 core부분과의 timing skew가 문제가 된다. 내부 전압의 level은 3.3V가 대부분이나 각社의 취향에 따라 약간의 변동이 있다. 이 회로는 large current driving능력과 안정된 level설정이 중요하며, 특히 온도 특성을 좋게하기위해 current-mirror형, 정전류형, BiCMOS형 등을 채택하고 있다. 일례로 Vcc generator는 그림 2에서 보이는 바와 같이 reference전압 발생기와 Differential Amp.를 사용하여 출력단과 Vref를 비교하는 부분과 P-channel transistor driver의 세부분으로 되어 있다[3].

Vref level과 Diff. Amp. 부분이 Vcc generator의

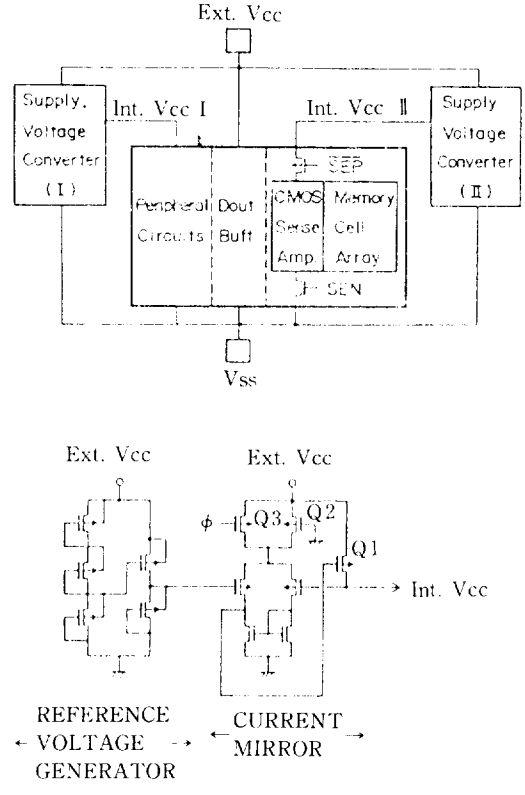


그림 2. Block diagram of a dynamic RAM with a new voltage converter. Converters I and II are used for peripheral circuits and memory cell array, respectively.

performance를 좌우하는 중요 부분이며, 내부 Vcc을 Vref level이 증폭되어 나타나므로 Vref 발생기의 Vth의 Control이 문제시된다.

2.2 Bitline Coupling Noise

고집적화에 따라 bitline pitch가 16M에서는 1.5 μm 정도로 줄어들었다. Bitline의 재료가 종래의 Metal에서 polycide로 변경하고 두께도 줄여 Coupling capacitance가 줄어들었으나, Bitline pitch가 줄어들어 이것은 현 16M 급에서는 전체 bitline capacitance의 36%까지 차지 할 수 있다. bitline pair를 상호 교차해두면 (twist 또는 transpose라고 부름) 주변의 bitline의 Sensing시 coupling capacitance에 의한 Signal Margin degradation를

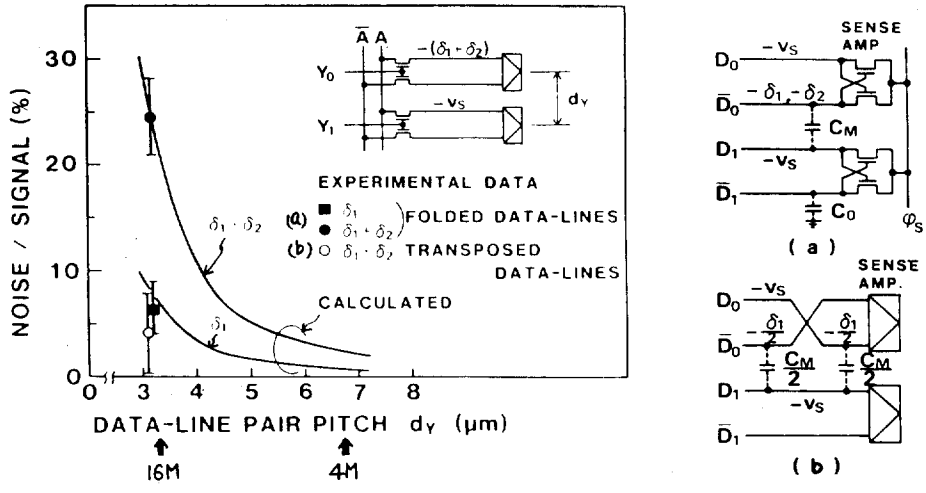


그림 3. Bit line interference noise dependence on data-line pair pitch (folded Data-line(=bit line)의 경우)

줄일 수 있음이 여러 회사에 의해 밝혀지고 또 이를 사용하고 있다 [Hitachi, Mitsubishi, Oki]. 특히 Hitachi社는 그림 3에서 보는 바와같이 twist bitline에 의해 Sensing시 생기는 noise-to-signal 비율(Noise/Signal)을 5% 수준으로 감소시킬 수 있다고 발표했다[4]. Mitsubishi 社는 이 개념을 더욱 확장하여 2개의 bitline pair를 twist 한 경우 BL과 BL사이의 Coupling capacitance도 상호상쇄킬 수 있다고 보고하고 있으나 layout을 Process적으로 실현시키기에는 어려움이 예상된다[5].

3. CELL 구조 및 제조 방법상의 문제점.

0.5μm Memory의 대표적인 16M DRAM은 90년 중반경에야 시작될 최초의 Sample출하를 목표로 개발경쟁이 치열해지고 있다.

DRAM에서 가장 중요시되는 Memory Cell은 현재 제품 Version에 사용할 최종 후보자를 가려내는 시기이고 0.5μm 시대를 맞이하는 DRAM Cell은 큰 변혁기를 맞이했다.

3.1 STACK CELL

Stack Cell이 최소가공선폭이나 Alignment 산포(dispersion)등으로 결정되는 Lithography기술의 한계까지 축소가능하다는 것이 잇달아 발표되었다.

Cell 면적을 작게해도 Cell 용량 Cs는 충분히 확보할 수 있게 되었다.

지금까지는 비교적 만들기 쉬운 반면, Cs가 작다는 것이 Stack의 약점이었고, [IEDM 87]에서는 16M 이후를 겨냥한 Memory Cell로써 Stack과 Trench를 병합시킨 구조가 될 것으로 예상했었다.

일본에서는 [Stack이 有利하다]는 바람이 불기 시작하긴 했으나 아직 결정된 바는 없으며, 16M를 탑재할 Package의 크기에 따라서 사정은 바뀌게 된다. 아직 Stack Trench병합으로 갈 가능성도 남아있다는 지적도 있다 (Hitachi).

Stack Cell의 구조적인 Cs 증대책은 크게 3가지 방향으로 나누어진다. 이 3가지는 Capacitor部 아래에 Bit Line을 형성하는 방법, Storage Node의 형성과 Node Contact Hole Open의 순서를 바꿔 Contact 部도 Storage Node로 이용하는 방법, 층간절연막을 두껍게 해서 Storage Node 部의 단차를 크게 하는 방법 등이다.

우선 Bit Line을 Capacitor아래에 형성하는 구조를 채용하므로써 Cell면적의 최대한까지 Capacitor

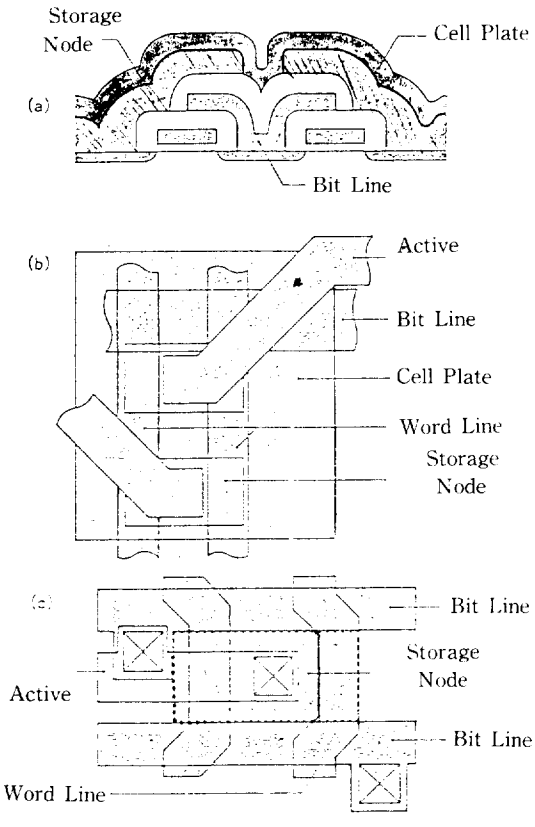


그림 4. Bit Line 형성후에 2층의 poly-Si으로 Capacitor를 만든다.
(a) 1989년에 Hitachi 제작소가 발표한 [DASH] Cell. Storage Node 아래에 Bit Line을 매몰했다. Storage Node를 최대한 크게 할 수 있다. 단, Bit Line 용량 Cb가 커지는 결점이 지적된다.
(b) [DASH] Cell의 layout
(c) Fujitsu가 이번에 발표한 Layout.
Fujitsu와 Hitachi의 Stack Cell은 기본적으로는 같은 발상이다.

영역을 확장할 수 있게 되었다.

[IEDM 88]에서는 뜻밖에 Fujitsu[6]와 Hitachi 중앙연구소[7]가 같은 취지의 발표를 했으며[그림4], 또 Storage Node 형성후에 Contact Hole을 open해서 Contact Hole의 inside wall 부도 Capacitor로써 유효하게 활용할 수 있다는 것을 Toshiba ULSI 연구同社 반도체 기술 연구소는 약 4μm^2의 Cell면적을 소와 반도체 기술 연구소가 공동발표했다[9].

갖는 16M 제1세대用으로는 이것만으로 대응할 수 있다고 보고 있다. 그러나 3.1μm^2정도가 필요한 제2세대 用으로는 Contact部에 Trench를 merge할 필요가 있을 것이라고 본다.

Mitsubishi 전기 LSI 연구소는 Trench Capacitor를 기판표면위에 쌓아 올리는 구조의 Stack Cell을 발표했는데[9], Bit Line의 Contact 部에 사용하는 Selective기술의 실용화 시기와 맞아떨어지면 4M DRAM의 연장선 上에 있는 量産性이 높은 Cell이라고 보고있다.

Capacitor 형성前에 Bit Line을 만들어 넣는 idea에 의해 다음과 같은 Stack Cell의 본질적인 進化가 도래했다.

i) Storage Node를 Cell면적의 최대한까지 크게 할 수 있다.
인접 Cell 間 Storage Node를 관통해서 Bit Line의 Contact Hole을 형성할 필요가 없어졌다. 이 때문에 Storage Node 間을 최소가공 Size를 사용해서 분리할 수 있게 되어 3.36μm^2의 16M 제2세대 Version用 Cell면적을 유지하면서 Cs는 35fF를 확보 할 수 있게 되었다[10].

ii) Self-align 기술을 사용하기 쉽다
Word Line 형성時에 소자분리영역에 대해 고려할 필요가 있을 경우 외에는 Layout 上에서 Alignment Margin을 신경쓰지 않아도 된다.
Cell면적이 작은 Hitachi의 경우는 Bit Line Contact과 Node Contact에 모두 Self-align기술을 사용하고 있으며, Fujitsu는 필요에 따라 분리해서 사용한다고 한다.

iii) Lithography에 단차를 감소시킬 수 있다.
종래 구조에서는 약점으로 지적되었던 Bit Line Lithograghy가 현격하게 쉬워졌다는 것이 양산함에 있어서 큰 장점이 되었다.
또 평탄화를 위해 Word Line 뿐만아니라 Bit Line에도 Side Wall을 형성했다(Fujitsu, Hitachi).

iv) Memory Array 全面을 덮는 Cell Plate가 Shield Plate 역할도 한다.
16M부터 대책 강구가 요구되는 Bit Line間 간

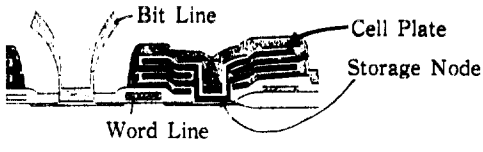


그림 5. Storage node를 적층하는 FIN 구조
Poly Silicon depo 후 Cell plate와 Bit Line 순으로 형성한다. MASK장수가 종래 구조와 같고 Storage node는 몇층이고 적층 가능하다는 특징도 있다.

섭을 억제할 수 있고,

실제로 16M를 만든 Fujitsu에 따르면 간섭잡음은 1% 이하였다고 한다. 이 Stack Cell을 사용해서 64M도 Cover할 수 있다고 한다.

이를 위해서는 크게 나누어

i) Storage Node를 겹쳐 쌓거나,

ii) Ta_2O_5와 같은 高誘電率膜을 Capacitor에 사용하는 방법이 있다.

Cs는 얼마든지 크게 할 수 있어도 Cell축소는 Lithography의 한계로 결정되게 되었다.

Storage Node를 쌓아가는, 이른바 [FIN 구조]를 채용한 것이 Fujitsu 발표의 큰 장점중의 하나이다[그림 5].

Storage Node가 한 장밖에 없는 1 FIN 구조일 때도 Storage Node는 Substrate에 붙어있지 않다. Storage Node의 上部도 Capacitor로 사용할 수 있기 때문에 종래 구조에 비해 약 70% Cs를 크게 할 수 있으며, 또한 2FIN 구조를 사용하면 Cs는 3배까지 향상할 수 있다.

그리고 Ta_2O_5는 Cell Plate에 Poly-Si을 사용할 수 없다는 것이 實用化를 저해하는 큰 요인이었다. 즉, 퇴적時의 고온에서 Ta_2O_5와 반응해 버리는 것. 그런데 Bit Line을 매몰하는 이번 Stack Cell은 가장 늦게 형성하는 Cell Plate에는 W등의 고융점금속을 사용할 수도 있다.

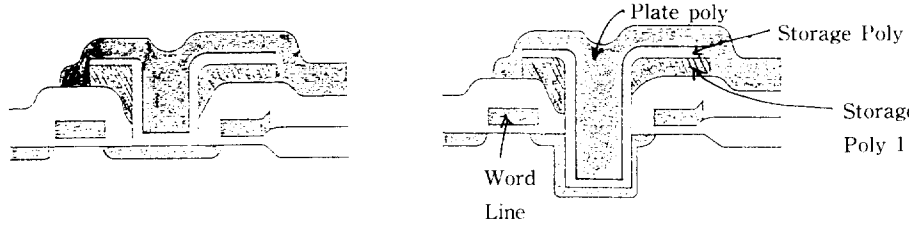
Cell Plate에 W을 사용한 Ta_2O_5가 산화막환산으로 약 4nm까지 사용할 수 있다.[11]

Toshiba는 종래구조 Stack Cell에 있어서의 Storage Node의 Contact Hole 가공에 2단계 案이 도입했다(그림 6).

Storage Node 퇴적과 Contact hole 형성 순서만 바꾸는 방법(Type Ⅰ)과, Contact Hole Open時에 기판에 Trench를 형성하는 방법(Type Ⅱ)이다.

실제로 同社는 Type Ⅰ의 Process를 사용해서 4M DRAM을 試作하여

이 방법의 有効性을 확인했다. SiO_2 (3nm)/$sinN_4$ (6nm)의 산화막환산으로 약 8nm인 절연막을 Capacitor에 사용, Cell면적을 $4.9\times2.3(=11.27)\mu m^2$로 했을때 Cs는 32fF로 종래구조보다 4fF커졌다. 이와 아울러 절연막의 내압분포도 평가, 특별히 문제없다는 것을 확인했다(Toshiba 반도체 기술연구소). 한편, 1μm정도의 Trench를 사용한 type Ⅱ는 64M시대의 1.3μm^2 Memory Cell에 對해서도 「實用



(a) 종래구조에 대해 Storage Node用 Poly-Si 퇴적후에 Contact Hole을 open하도록 했다.

(b) Contact Hole Open시에 기판에 Trench를 형성하면 Cs를 더 크게 할 수 있다.

그림 6. Node Contact 연구로 용량 확대 ; 16M 用 Cell의 한 후보로써 Toshiba가 개발한 Stack Cell.

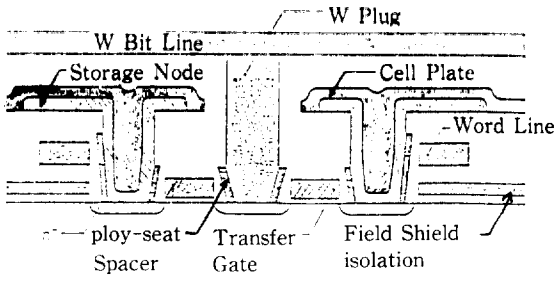


그림 7. 평탄화에 중점을 둔 Stack Cell.
; 가공용이를 전체로 평탄화에 역점을 둔 Mitsubishi의 Stack Cell. Stepper Lens의 高 NA 化에 의해 얕아지는 촛점심도에 대처했다. Cell 면적은 약 4.8μm^2, 환산으로 6mm인 절연막을 사용해서 Cs는 35fF. Storage Node와 Bit Line의 Contact에는 Self-align기술이 필수라고 본다. 이 때문에 Poly-Si의 Etching Stopper를 형성했다.

上 충분한 30fF정도의 Cs 확보가 가능하다」고 본다.

Storage Node를 T자형으로 형성시켜 높이 방향으로 크게 함으로써 Cs를 조절하는 것이 Mitsubishi전기의 stack cell로 그림 7에 나타나 있다.

여기서는 6mm(산화막환산)의 절연막을 사용해서 35fF의 Cs를 확보했다. storge Node의 높이는 약 1.5μm, Node Contact은 0.7μ径이다. 이 Cell의 또 하나의 특징은 Stack Process에 완전평탄화기술을 도입한 것. g線, 高NA Lens를 사용해서 量産하기로 想定하고 Device구조를 결정한 결과이다. Bit Line Contact을 위해 선택성장시키는 W은 주변회로 MOS FET의 Source Drain에도 성장시킨다. 기생저항이 저하되어 회로의 고속동작에 기여할 것을 겨냥했다(Mitsubishi LSI 연구소).

또, 16M시대는 더 이상 LOCOS기술을 소자분리에 사용할 수 없을 것으로 보고 Field부분에 Poly-Si Plate를 형성해서 소자분리에 사용했다. Narrow channel Effect를 억제할 수 있는 정도부터 고려할 경우, 분리폭 0.6μm가 가능하다고 한다.

3.2 TRENCH ISOLATION

또 美IBM은 16M DRAM에 사용하고 있는 Trench분리기술을 발표했다.[12] Trench 측벽에 B을 확산, 측벽의 반전에 따른 leak전류는 무시할 수 있는 Level까지 저하시켰으며, Narrow Width Effect 감소등에서도 그 有効性을 확인했다. LOCOS분리로 Channel폭을 0.5μm까지 좁힐 수 있을 경우, Narrow Width Effect에 의해 Vth가 40mV나 상승하게 되는데 이번 Trench 분리에서는 100mV정도로 억제했다. PMOS의 Narrow Width Effect는 거의 무시할 수 있는 Level. Field산화막의 Vth는 15V로 높아서 잘 반전되지 않는다.

측벽 B의 확산이 없으면 Sub-threshold전류곡선에 혹이 생겨서 측벽의 Leak전류를 감소시킬 수 없다. 분리用 Trench를 형성한 後 P-Well 側을 BSG로 coating해서 800~900°C의 열처리로 Trench측벽과 Bottom部에 확산시킨다. 활성영역은 질화막으로 coating되어 있으므로 확산을 억제할 수 있다. 이 분리법을 同社가 16M DRAM用으로 개발中인 「MINT」 Cell[13]의 Process에 적용, 0.5μm 기술로 4.06μm^2의 Memory Cell을 실현했다.

3.3 PACKAGE

1988年 11月중순에 동경에서 개최된 「JEDEC」을 필두로, 16M DRAM의 제품화를 향한 Spec통일작업이 진행되고 있다. 本誌가 88年 11月에 日本 DRAM Maker를 대상으로 앙케이트조사한 결과, 各社가 image하는 現 시점의 16M 像이 분명해졌다(표1).

Package에 對해서는 1M이후의 SOJ型이 이 세대의 주류가 될 것이며, 제품설계의 기본을 결정하는 크기에 대해서는 폭, 길이 모두 4M보다 더한 scale이 큰 400×725mil이 LSI側의 다수의견.

90年 중반기까지 첫 sample을 실제로 배포하기 시작하면 Trend대로 130mm²정도의 chip면적을 선택하는 것이 타당하기 때문이다.

ZIP는 높이가 475mil이 될 것 같다. 이 경우에는 제2세대의 Chip면적이 110mm² 안팎이 되어 stack型 Cell을 채용해도 對應할 수 있을 것이다. 단, 이것은 LSI側 의견이기 때문에 아직 유동적인 부분이 남아 있다. 실장기판의 면적효율을 向上시키

표 1. 16M DRAM 경쟁사 비교, 분석

SOURCE	87 ISSCC	88 ISSCC			89 ISSCC				89 NIKKEI MICRODEVICES		
COMPANY	NTT	MATSUSHITA	* TOSHIBA	HITACHI	* TOSHIBA	NEC	MITSUBISHI		FUJITSU	OKI	MATSUSHITA
ORGANIZATION	2M X 8	16M X 1, X 4	4M X 4	16M X 1	16M X 1, X 4	16M X 1, X4	16M X 1, X 4		16M X 1, X 4 X 8, X 16	16M X 1, X 4 X 8, X 16	16M X 1, X4
CHIP SIZE	8.9 X 16.6 = 147.8 mm² (229.1 mil²)	5.4 X 17.38 =93.85 mm² (145.5 mil²)	12.0 X 17.5 = 210.0 mm² (325.5 mil²)	8.2 X 17.3 =141.86 mm² (219.9 mil²)	7.87 X 17.4 = 136.9 mm² (212.2 mil²)	8.2 X 15.9 = 130.38 mm² (202.1 mil²)	7.7 X 17.5 = 134.75 mm² (208.9 mil²)		- 120 - 125 mm² (186-193.8 mil²)	- 127.76 mm² (198 mil²)	- 135 - 150 mm² (209.3-201.5mil²)
# THGH MASK (NET DIE수)	76	127	48	78	84	86	83		92	88	92
CELL SIZE	1.5 X 2.25 μ² = 4.875 μ²	1.5 X 2.2 μ² =3.3 μ²	1.7 X 3.6 μ² = 6.12 μ²	1.3 X 3.2 μ² = 4.16 μ²	1.6 X 3.0 μ² = 4.8 μ²	1.5 X 2.7 μ² = 4.05 μ²	1.5 X 3.2 μ² = 4.8 μ²		4.4 μ²	1.4 X 2.9 μ² = 4.06 μ²	- 4.5 μ²
SUPPLY VOLTAGE	SINGLE 3.3V ARRAY = 3.3V PERI = 3.3V	SINGLE 5V ARRAY = 3.0V PERI = 4.0V	SINGLE 5V ARRAY =4.0V PERI =4.0V	SINGLE 5V ARRAY = 3.3V PERI = 5-6V	SINGLE 5V ARRAY = 4.0V PERI = 4.0V	SINGLE 5V ARRAY = 3.3V PERI = 5.0V	SINGLE 3.3V ARRAY = 3.3V PERI = 3.3V		SINGLE 5V ARRAY = 4.0V PERI = 5.0V	SINGLE 5V ARRAY = 3.5V PERI = 5.0V	SINGLE 5V ARRAY = 3.3V PERI = 5.0V
TECHNOLOGY	N-WELL CMOS	N-WELL CMOS	TRIPLE-WELL CMOS (N-SUB)	TWIN-WELL CMOS	TRIPLE-WELL CMOS	TWIN-WELL CMOS	TWIN-WELL CMOS		?	TWIN-TUB CMOS	?
DESIGN RULE	0.7 μ	0.5 μ	0.7 μ	0.6 μ	0.6 μ	0.55 μ	0.5 μ		0.5 μ	0.55 μ	0.6 μ
CELL TYPE	TVEI CELL	TRENCH CELL	STACKED TRENCH (4.0μ DEPTH) (0.7μ OPENING)	STACK CELL	STACKED TRENCH CELL	STACK CELL	STACK CELL		STACK CELL	STACKED TRENCH	STACK OR TRENCH CELL
PROCESS	POLY GATE/ SILICIDE/2 AL	2-POLY/ 1-A POLYCIDE/2 AL	3-POLY/ 1-MO-POLYCIDE/2 AL	? / 2-AL	3-POLY/1-MO POLYCIDE/2AL	? / 2-AL	3-POLY/N/NSi2- POLYCIDE/2-AL		?	? / 2 AL	?
CHANNEL LENGTH	Le eff = 0.5 μ Lp eff = 0.7 μ	Le eff = 0.5 μ Lp eff = 0.7 μ	Le eff= 0.5 μ Lp eff= 0.5 μ	L eff = 0.9 μ	Le = 0.7 μ Lp = 0.9 μ	Le = 0.8 μ Lp = 1.0 μ	Le eff = 0.6 μ Lp eff = 0.8 μ		?	?	?
TOX(GATE/CAP)	120 / ? Å	100 / 100 Å	? / 80 Å	? / 50 Å	? / 100 Å	150 / ? Å	150 / 100 Å		?	?	?
CS/CB	70fF / ?	70fF / 350fF	30fF / ?	33fF / 300fF	30fF/ ?	30fF / 250fF	35F / 200fF		30fF / ?	32fF / ?	70fF / ?
ACCESS TIME	15ns + 40ns	tRAC=65 ,tCAC=35	70ns / (?) (5V, 25°C)	60ns, 80ns (5V, 25°C)	55ns / (?) (5.0V, 25°C)	55ns / (?) (5V, 25°C)	60ns / 80ns (3.3V, 25°C)		?	60ns / (?) (5V, 25°C)	?
SUPPLY CURRENT	35 mA (tRC=180ns)	Icc1 = 90mA Icc2 = 1mA	Icc1 = 65 mA (150ns) Icc2 = 0.5 mA	80mA (180ns) (5V, 25°C) < 3mA (CMOS)	65mA (150 ns) < 1mA (CMOS)	80mA (150ns) (5V, 25°C) 2 mA (CMOS)	90mA (120ns) 1mA (CMOS)		?	85 mA (150ns) 0.5 mA (CMOS) (5V, 25°C)	?
REDUNDANCY	?	16R / 1C	?	?	16R/8C	8R/8C	12RR/16C		?	?	?
PACKAGE	?	300 mil DIP (P)	?	?	400 X 725 mil² SOJ	400 X 725 mil² SOJ	400 X 725 mil² SOJ		?	400 X 725 mil² SOJ	400 X 725 mil² OR 675 SOJ
ARRAY 구성	2M X 8 BLK	0.5M X 33 BLK (1 BLK WASTE)		0.5M X 32 BLK	0.25M X 64 BLK V/B ACTIVATION	1M X 16 BLK	2M X 8 BLK V/B ACTIVATION		?	2M X 8 BLK	?
FUNCTIONAL MODE	FCC (+5ns DELAY) : 10 % AREA 소모	16 BIT TEST g-LINE STEPPER	FAST SERIAL- READ/WRITE MODE	16 BIT TEST	16 BIT TEST FP/SC/NB (BONDING OPTION)	16 BIT TEST FP/SC/NB BIST BY ROM g-LINE STEPPER	16 BIT TEST 1024 BIT TEST FP/SC/NB/SERIAL g-LINE STEPPER		16 BIT TEST	16 BIT TEST FP/SC/NB/SERIAL/ FLASH WRITE/ NPB	?
S/A SCHEME	?	OPEN B/L		TWISTER B/L (TRANSPOSED) -NEGATIVE FEEDBACK PREAMP	SHARED S/A INTERDIGITATED- B/L SCHEME	?	ALTERNATE- SHARED S/A		?	TWISTED B/L SHARED S/A	?
REFRESH CYCLE	?	?	2048 CYC / 32ms	?	2048 CYC /32ms	?	2048 CYC /32ms		?	2048 CYC / 32ms	?
ISOLATION	?	TRENCH ISOLATION (0.6μ SPACE)	개발 LOCOS	CONVENTIONAL LOCOS	개발 LOCOS	?	FIELD SHIELD ISOLATION		?	?	?

기 위해 user側은 가능한 한 작은 Package를 요구한다. Chip면적의 제약때문에 4M와 같은 350×675 mil은 적어도 제1세대 Ver.에는 없을 것으로 보이나 폭만 400mil로 확대할 경우에는 120mm² 안팎의 chip이 필요하다.

제2세대로는 90mm²정도를 target으로 하게 되며, 이 경우 STACK型으로 對應 가능한지의 여부가 불투명해진다.

Trench型보다는 Device표면의 단차가 커서 g線, NA=0.54 정도의 Stepper Lens로는 필요한 최소 size를 가공할 수 없을 가능성이 있기 때문이다.

4. 결 론

16M DRAM을 개발하는데 필요한 주요한 기술적인 문제점으로 설계面에서는 전력소모, Noise, Vcc 內部 전압강하회로를 들 수 있다.

기술적인 面은 CELL을 어떻게 형상화하느냐에 따라 문제가 다르게 나타나나 단차에 따른 photo/etching, 박막의 leakage 전류와 reliability, short channel에 따른 transistor특성의 안정화등이 있다.

특히 16M에서는 stack형, stack과 trench의 병합형이 cell의 주요형태가 될 전망이다.

참 고 문 헌

1) Mano, T., etal. "Circuit Technologies for 16Mb. DRAMs," 1987 IEEE International Solid-state circuits Conference. Feb. 1987.

2) Fujii, S., etal. "A 45ns 16Mb DRAM with

Triple-Well structure," 1989 IEEE ISSCC Feb. 1989.

3) Furuyama, T., et al. "A New On-chip Voltage Converter for submicrometer High-Density DRAM's" IEEE Journal of Solid-state circuits, VOL.SC-22, No.3, JUNE 1987.
4) Kazutami A., et al." A 60ns 3.3V 16Mb DRAM," 1989 IEEE ISSCC Feb. 1989.
5) Yoshihara, T., "A Twisted Bit Line Technique for Multi-Mb DRAMs" 1988 IEEE ISSCC, Feb. 1988
6) Ema, T., et al. "3-Dimensional Stacked Capacitor cell for 16M and 64M DRAMs," 1988 IEEE International Electron Devices Meeting, Dec. 1988.
7) Kimura, S..et al. "A New stacked Capacitor DRAM Cell characterized by a storage Capacitor on a Bit-line Structure," IEDM, Dec. 1988.
8) Watanabe, H., et al "stacked capacitor cells for High-Density Dynamic RAMs, "IEDM, Dec. 1988.
9) Wakamiya. W., et al. "Fully planarized 0.5μm Technologies for 16M DRAM," Dec. 1988.
10) Aoki, M., et al. "An Experimental 16M bit DRAM with Transposed Data-Line Structure," 1988 IEEE ISSCC, Feb. 1988.
11) Shinriki, H., et al. "Ta_2O_5 Capacitor Technology Compatible with Advanced VLSI Process," 1988 Symposium on VLSI Technology Digest of Technical Papers, May, 1988.
12) Davari, B., et al. "A variable size shallow Trench Isolation (STI) Technology with Diffused sidewall Doping for submicron CMOS," 1988 IEEE IEDM, Dec. 1988
13) Kenney, D., et al. "16M BIT Merged Isolation and Node Trench SPT Cell (MINT)," 1988 symposium on VLSI Technology Digest of Technical Papers, May. 1988.