

광신경망 A/D변환기 : 구현 및 응용

Optical Neural-Net Analog-to-Digital Converter : Implementation and Application

張 珠 錫* · 高 相 鎬** · 李 壽 永§ · 申 相 永§§
(Ju-Seog Jang · Sang-Ho Koh · Soo-Young Lee · Sang-Yung Shin)

요 약

인공 신경망을 이용하여 병렬 아날로그-디지털 변환기를 설계하고 광학적으로 구현하였다. 이것의 동작원리는 주어진 아날로그 입력에 대한 그의 출력 디지털값을 동시에 얻는 방법에 기초하고 있다. 우리가 제안하는 이 아날로그-디지털 변환기는 종래의 에너지 최소화 기법으로 설계한 것에 비해 단순하고, 또 그 출력이 회로의 초기값에 의존하지 않는 장점이 있다. 이 아날로그-디지털 변환기를 기초 계산소자로 써서 혼합2진수-완전2진수 변환기를 또한 설계하고 실험하였다. 이 변환기 역시 종래의 것과 비교하면 매우 간단한 구조이며 빠른 변환속도를 갖는다.

Abstract- A parallel analog-to-digital converter with neuron-like elements is designed and optically implemented. Its operation principle is based on the simultaneous estimation of bit values for a given analog input. The architecture of the proposed analog-to-digital converter is simpler than that of an earlier one designed by the energy minimization technique, and its digital output is independent of the initial state. Mixed binary-to-full binary converters are also designed by using our analog-to-digital converters as basic computing elements. These converters have very simple structures and fast conversion times compared with earlier ones.

1. 서 론

*正 會 員 : 韓國科學技術院 電氣 및 電子工學科 博士課程

**正 會 員 : 韓國電氣通信公社 事業支援團 研究員

§正 會 員 : 韓國科學技術院 電氣·電子工學科 副教授 · 工博

§§正 會 員 : 韓國科學技術院 電氣·電子工學科 教授 · 工博

接受日字 : 1989年 7月 6日

一次修正 : 1989年 9月 23日

신경회로를 흉내낸 단순 thresholding소자로 구성된 회로가 상당한 병렬적 계산능력을 보인다는 것이 밝혀진 이래 이 분야에 대한 많은 연구가 있었다. 여러가지 형태의 신경회로에 대한 연상기억 모델이 제안되었으며 전기적 혹은 광학적 구현이 보고되었다. 그러나 이들 인공신경회로망의 기능은 오류보정능력을 갖는 연상기억에 국한되지 않는다. 디지털 입력과 디지털 출력을 연결하는 다

양한 mapping기능도, 이들 인공신경들을 적절한 연결세기로 연결시켜줌으로써, 얻을 수 있다[1]. 이 논문에서는 어떤 아날로그 입력값을 그의 디지털값으로 변환하는 mapping회로(즉, A/D 변환기)를 고찰한다. 이 A/D변환기는 광학및 전기적 정보처리에 매우 중요하며 더욱 빠른 변환속도를 갖는 A/D변환기가 요구되고 있다[2]. 여기서 다루고자 하는 A/D변환기는, 입력을 받아 합한 후 thresholding하는 단순 소자들이 적절히 연결된 매우 단순한 회로로서 종래의 A/D변환기에 비해 더욱 빠른 변환속도를 갖는다.

사실 신경회로망을 이용한 A/D변환기의 제안은 우리가 처음이 아니다. 최초의 신경회로 A/D변환기는 에너지 최소화기법을 이용하여 Tank와 Hopfield에 의해 설계된 바 있다[3]. 에너지 최소화 기법이란, Hopfield의 신경회로에 대한 연상 기억 모델[4]이 상태공간에서 Liapunov함수라고 알려진 회로의 에너지함수의 최소화값으로 항상 수렴한다는 것을 이용한 것으로, 어떤 아날로그 입력값에 대한 출력상태가 그들 회로의 에너지 최소화점에 위치하도록 함으로써 아날로그 값을 디지털값으로 변환시키는 것이다. 그러나 그 회로는 local minima문제 때문에 출력값이 회로의 초기상태에 의존하는 단점이 있고 또 균일한 입출력 관계를 갖지 못하는 단점이 있다. 보다 근래에 Tank-Hopfield A/D변환기의 단점을 보완하기 위해 펄스구동을 하거나 파라미터 partition에 의한 설계법을 제시한 바가 있고 회로의 에너지함수를 조절하여 성능을 개선한 경우도 있다 [5-7]. 이들은 본래의 Tank-Hopfield A/D변환기를 더욱 복잡하게 만드는 단점이 있다. 본 논문에서는 더욱 단순하면서 출력이 회로의 초기상태에 의존하지 않고 균일한 입출력 관계를 갖는 신경망 A/D변환기를 제안하고 전기적 및 전기광학적 구현을 하였다[8]. 그리고 이 A/D변환기를 이용하여 convolution을 이용한 디지털 산술계산에서 발생하는 혼합 2진 결과값을 순수 2진 결과값으로 변환하는 변환기 (mixed binary에서 full binary로의 변환기: MBFB 변환기)를 제안하고 간단한 실험을 수행하였다[9].

2. 신경망 A/D변환기

2.1 동작원리 및 설계

우리가 제안하는 A/D변환기의 동작원리는 그림 1(a)에서 나타낸 successive approximation방법 [10]을 보면 쉽게 이해할 수 있는데 주어진 아날

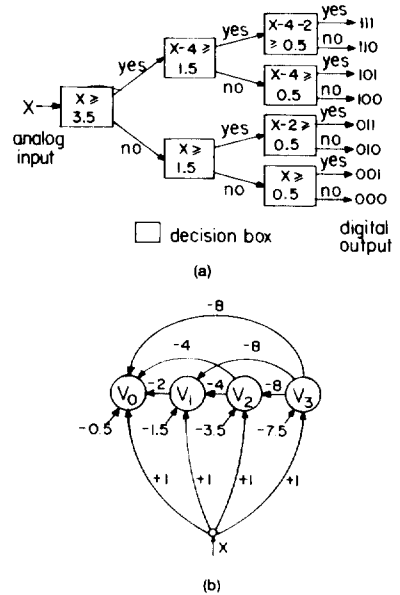


그림 1 (a) 3-bit A/D 변환에 대한 successive approximation 알고리즘. (b) successive approximation 방법의 병렬화 그림. 그림에서 원은 출력이 1 또는 0인 thresholding 소자이고, 연결선 위의 숫자는 연결세기이다.

Fig. 1 (a) Successive approximation algorithm for 3-bit analog. to-digital conversion. (b) Discrete operation network for a parallel version of the successive-approximation method. The circles are threshold units whose output values are 1 or 0, and the numbers on the connecting lines are the weights of units.

로그 입력 x 에 대해 most significant bit(MSB)에서 부터 least significant bit(LSB)까지 차례로 출력 디지털값을 결정한다. N bit를 갖는 A/D변환기의 경우 최종출력을 얻는데 N번의 계산시간이 요구된다. 우리의 회로의 동작원리도 successive approximation방법과 원리적으로 같지만 각스텝마다 계산을 따로하지 않고 단위 thresholding소자에서 이 변환작용이 일어나도록 한 것이다. 그림 1(b)에서 4 bit A/D변환기를 나타내었는데, 그 동작은 다음과 같다. 입력 아날로그 값은 모든 bit에 동시에 인가된다. 각 bit의 DC bias 값은 thresholding level을 나타낸다. 만약 x 가 0.5보다 작다면 4bit모두가 0상태가 된다. x 가 0.5보다 크거나 같고 1.5보다 작다면 LSB V_0 만 1의 상태가 되

고 나머지는 모두 0의 상태이다. 만약 x 가 1.5보다 크거나 같고 2.5보다 작다면 처음 V_0 와 V_1 가 1의 상태가 될 수 있지만 V_1 에서 V_0 로의 feedback 때문에 V_0 는 실제로 1의 상태가 되지 못하고 0의 상태가 된다. 마찬가지로 해서 여러가지 x 값에 대한 출력 디지털값을 이 회로가 계산하여 줄 수 있게 된다. 일반적으로 N bit A/D변환기의 경우 각 bit들의 출력상태는 다음과 같은 수식으로 결정된다.

$$\hat{V}_i = \sum_{j=1}^{N-1} T_{ij} V_j + x - (2^i - 0.5) \quad (1a)$$

$$V_i = \theta(\hat{V}_i) \quad (1b)$$

여기서 V_i 는 i 번째 신경소자의 출력 활동상태이고, x 는 입력 아날로그값이며, 정수 i 와 j 는 0에서 N-1까지 변한다. 각 소자간의 연결강도를 나타내는 행렬 T_{ij} 는 다음과 같이 정의한다.

$$T_{ij} = \begin{cases} -2^i & \text{if } j > i \\ 0 & \text{otherwise.} \end{cases} \quad (2)$$

$\theta(\cdot)$ 는 thresholding 함수이며 Heaviside step함수의 꼴이다. 식 (1), (2)로 정의되는 회로의 updating rule이 우리가 제시하는 신경망 A/D변환기이며 successive approximation방법을 병렬적동작으로 확장한 것이라고 할 수 있다.

회로의 동특성은 식(1)을 비선형 연립 미분방정식으로 모델링 함으로써 조사할 수 있다. 즉,

$$C_i \frac{du_i}{dt} = -\frac{u_i}{R_i} + \sum_{j=1}^{N-1} T_{ij} V_j + x - (2^i - 0.5) \quad (3a)$$

$$V_i = \theta(u_i) \quad (3b)$$

여기서 u_i 는 i 번째 신경소자의 총입력값이고 C_i , R_i 는 각각 i 번째 신경소자의 입력단에서 분당 용량성 부하와 등가 저항성 부하이다. $2^i - 0.5$ 는 소자의 외부 바이어스에 해당한다. 그림 2(a)는 식(3)을 전자회로로 나타낸 것으로 정규화된 저항과 전압 값을 사용하였다. 우리의 A/D변환기를 에너지 최소화 기법으로 설계한 Tank-Hopfield A/D변환기와 비교해보면 우선 두 회로가 같은 형태라는 것을 알 수 있다. 그러나 우리 회로의 경우 신경소자간의 연결이 비대칭이며 그 연결 갯수도 $N(N-1)/2$ 로서 Tank-Hopfield A/D변환기의 경우보다 절반밖에 되지 않으며, 또한 연결강도의 변화폭도 역시 절반이다. 게다가 식(3)을 컴퓨터로 시뮬레이션해보면, 식(2)에서 예측할 수 있겠지만, 정상상태의 출력 디지털값은 회로의 초기상태에 관계없이 항상 입력 x 에 의해서만 결정되며 올바른 디지털 값이라는 것을 확인할 수 있다. 이

는 Tank-Hopfield A/D변환기가 갖지 못하는 매우 중요한 성질이다.

연결 행렬 T_{ij} 가 대칭일 때, 식(3)으로 기술되는 회로는 점근적으로 안정하다는 것은 잘 알려져 있으며 회로의 Liapunov함수를 정의함으로써 증명할 수 있다. 그런데 우리의 회로는 행렬 T_{ij} 가 비대칭이지만 하나의 특수한 경우로 점근적 안정성을 설명할 수가 있다[11]. 즉, T_{ij} 가 상삼각행렬 또는 하삼각행렬일 때가 바로 그러한 특수한 경우에 해당하는데(우리의 경우는 상삼각행렬) 이때의 회로는 순수한 feedforward 또는 순수한 feedback회로로 생각할 수 있기 때문이다.

2.2 기존의 A/D 변환기들과의 비교

A/D변환방식은 여러가지가 있다[10]. 그 대표적인 것 몇가지를 소개하면, Counter Ramp A/D변환기, Tracking A/D변환기, 앞절에서 약간 소개하였던 Successive Approximation A/D변환기, Double Ramp A/D변환기, 그리고 High Speed A/D변환기 등을 들 수 있다. 이들 A/D변환기들의 구체적인 동작원리는 참고문헌 10을 참고하기 바란다. 아래 표1에는, 앞절에서 설명하였던 신경망 A/D변환기를 포함하여, 이들 A/D변환기들을 변환속도와 회로의 complexity를 나타내었다.

각 A/D변환기들의 동작특성이 서로 다르고 회로도 다르기 때문에 하나의 기준에서 비교하기 어렵지만 synchronous mode로 동작하는 것은 단위 clock을 기준으로 하였고 asynchronous mode로 동작하는 것은 gate 지연시간(신경망 A/D변환기의 경우는 threshold소자의 지연시간)을 기준으로 하였다. 사실 하나의 clock시간은 gate한개에서의 지연시간보다 길고, gate 한개에서의 지연시간은 궁극적으로 threshold 소자 한개에서의 지연시간보다 길다. 표1에서 보는 바와 같이 High Speed A/D변환기의 변환속도는 신경망 A/D변환기의 변환속도에 필적하거나 그 이상이지만, 가장 많은 comparator(비교기)와 복잡한 combinational logic이 요구되어 complexity가 매우 크다. 또 Counter Ramp A/D변환기는 1개의 N bit binary counter와 D/A(digital-to-analog) 변환기가 필요하며 비교적 간단하지만 신경망 A/D변환기에 비하면 여전히 complexity가 높고, 변환속도는 매우 느린 편이다.

2.3 신경망 A/D변환기의 전기 광학적 구현

그림 2(a)에 나타낸 4bit A/D변환기를 상용 전자소자들로 구현하였다. 그림 2(b)는 입력 아날로그

표 1 여러가지 N bit A/D 변환기들의 변환속도와 회로의 complexity

Table 1 Conversion times and circuit complexities of various N bit A/D converters

A/D converters	conversion times	operation modes	circuit complexities
Counter Ramp	2^N clocks	sync.	N bit binary converter, D/A converter
Tracking	2^N clocks	sync.	N bit up-down binary counter, D/A converter
Successive Approximation	N clocks	sync.	N bit shift register, N bit storage register
Double Ramp	2^N clocks	sync.	N bit binary counter, integrator
High Speed	$\sim N$ logic gates delay	async.	2^{N-1} comparators, combinational logic
Neural net : Tank-Hopfield	N threshold unit delays	async.	N threshold units, N(N - 1) connections
Neural Net: Ours	N threshold unit delays	async.	N threshold units, N (N - 1)/2 connections

그 값 x 가 시간에 따라 선형적으로 0볼트에서 10볼트로 증가할 때 각 bit의 시간에 따른 출력 전압을 oscilloscope로 나타낸 사진이다. 처음 x 가 0볼트일 때 출력은 모두 0상태($V_0 = V_1 = V_2 = V_3 = 0$ 볼트)이고 x 가 10볼트가 되었을 때는 모두 1개의 상태($V_0 = V_1 = V_2 = V_3 = 4.8$ 볼트)가 됨을 보여주고 앞질에서 예측한대로 회로의 초기상태에 관계없이 정확한 출력값을 준다는 것을 알 수 있다. 또 현재의 반도체 집적회로 기술을 이용하여 우리의 A/D 변환기를 구현함으로써 더욱 빠르고 간단한 A/D 변환기를 얻을 수 있을 것이다.

우리는 이 A/D 변환기를 광학적 정보처리에 도 그대로 사용하기 위한 목적으로, 전기광학적으로도 구현될 수 있음을 보이고 실험하였다. 그림 3(a)는 Stanford 공행렬-벡터 콤셈기[12]로 구현된 4 bit A/D 변환기를 나타낸 것이다. 발광다이오드에서 나오는 빛을 퍼뜨리거나 집속하는 실린더형의 렌즈들은 그림의 이해를 돕기 위해 생략하여 그렸다. N이 4일 때, 식 (1a) 및 (2)를 다음과 같이 행렬-벡터의 곱으로 바꾸어 보면 광행렬-벡터 곱셈기로 구현한 것을 쉽게 이해할 수 있다.

$$\begin{bmatrix} \hat{V}_0 \\ \hat{V}_1 \\ \hat{V}_2 \\ \hat{V}_3 \end{bmatrix} = \begin{bmatrix} -1 & -1 & -1 & 1 \\ 0 & -1 & -1 & 1 \\ 0 & 0 & -1 & 1 \\ 0 & 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} 2V_1 \\ 4V_2 \\ 8V_3 \\ x \end{bmatrix} - \begin{bmatrix} 0.5 \\ 1.5 \\ 3.5 \\ 7.5 \end{bmatrix} \quad (4)$$

식(4)의 연결 행렬에 있는 양과 음의 두 종류 연결을 광으로 구현하기 위해서 소위 antagonistic encoding 방법[13]을 썼다. 즉, 음과 양의 두 종류 값을 갖는 각각의 행을 양의 값만을 나타내는 subrow 음의 값만을 나타내는 subrow로 다시 분할하였다. 따라서 코딩된 행렬은 다음과 같이 된다.

$$T_{ij}^* = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 1 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \quad (5)$$

전기광학적 구현에서 이 행렬은 필름마스크로 실현하는데 행렬요소의 1은 필름마스크의 투명한 부분으로, 0은 불투명한 부분으로 나타내도록 제작한다. 이 마스크의 양의 부분과 음의 부분을 통과한 발광다이오드의 광신호들은 광검출기에서 서로 빼어지도록 하여 양과 음의 세기가 실현되는 것이다. V_1, V_2, V_3 , 및 x 를 나타내는 발광다이오드는 범용의 적색 GaP 발광다이오드를 사용하였다. 행렬 T_{ij} 의 연결세기는 필름마스크의 투과도로 나타내지 않고 식(4)에서 암시된 것처럼 발광다이오드 빛의 세기로 나타내었다. 즉 그림 3(a)에서 V_1, V_2 , 및 V_3 를 나타내는 발광다이오드의 빛의 세기의 비는 1 : 2 : 4이며 이는 발광다이오드와 연

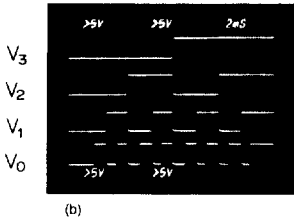
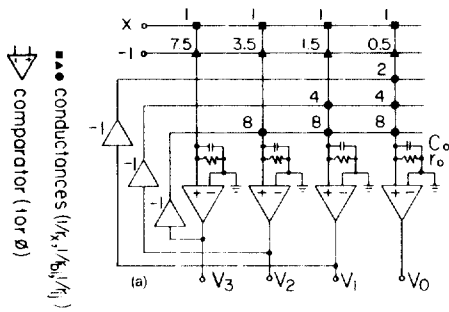


그림 2 (a) 연속적 동작회로의 전자회로 구현. $r_{ij}=1/|T_{ij}|$, $r_{bi}=1/(2^i-0.5)$, $r_x=1$ 이다. 따라서 $1/R_i=1/r_i+1/r_{bi}+1/r_x + \sum_j(1/r_{ij})$ 이 된다. 단 r_i 는 증폭기의 입력저항이다. (b) 아날로그 입력값이 수평축에서 0볼트로부터 10볼트로 선형적으로 증가할 때 전기적으로 구현된 4bit A/D 변환기에 대한 실험결과.

Fig. 2 (a) Electronic model circuit of the continuous-operation network. $r_{ij}=1/|T_{ij}|$, $r_{bi}=1/(2^i-0.5)$, $r_x=1$ and thus $1/R_i=1/r_i+1/r_{bi}+1/r_x + \sum_j(1/r_{ij})$, where r_i is the amplifier input resistance. (b) Experimental result of the implemented 4-bit A/D converter when the analog input is a ramp function that increase linearly from 0 to 10 V in a horizontal time axis.

결된 적절한 지령저항으로 실현하였다. 7×1 광검출기 어레이는 범용의 phototransistor로 구성하였고 외부 바이어스는 그림 3(a)에서 보여주듯이 비교기의 prebias로 실현하였다. LSB를 제외한 디지털 출력은 다시 입력으로 재환된다. 그림 3(b)는 입력 x 를 시간에 따라 선형으로 변화시켰을 때 전기광학적으로 구현된 A/D변환기의 출력 디지털 값을 oscilloscope파형으로 나타낸 것이다. 실험에서 7×1 광검출기의 특성이 균일하지 못하여 그림 2의 경우에 비해 출력 디지털 시스템이 균일하지는

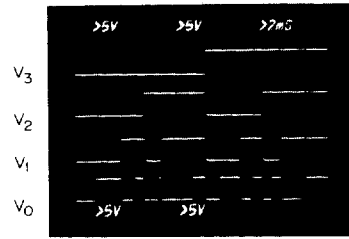
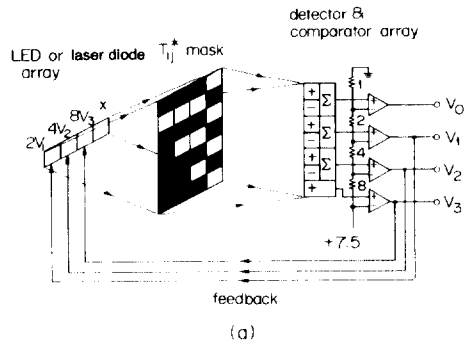


그림 3 (a) 광행렬-벡터곱셈기를 이용한 광학적 구현. 여기서 음의 연결을 위해 이중 행 마스크를 사용하였다. 숫자는 정규화된 저항값과 전압값이다. (b) 아날로그 입력이 선형으로 증가하는 함수일 때 광학적으로 구현된 4-bit A/D 변환기의 실험결과. 인기되는 전압은 발광다이오드 x 에 의해 빛의 세기로 바뀐다.

Fig. 3 (a) Optical implementation scheme with a matrix-vector multiplier that uses a double-row mask for negative connections. The numbers are normalized values of resistance and voltage. (b) Experimental result of the optically implemented 4-bit A/D converter when the analog input is a ramp function. The applied voltage is converted to light intensity by the input LED x .

못하였지만 전기광학적 구현의 가능성은 입증하였다고 여겨진다. (불균일 시스템은 정확한 T_{ij} 가 얻어지지 않았기 때문이며 A/D변환기의 정확도를 결정한다.)

구현된 A/D변환기의 변환속도는 연산증폭기의 스위칭 속도(약 $40\mu\text{sec}$)에 의해 제한되어 있지만 빠른 스위칭소자를 이용하면, 예를 들어 광소자로 발광다이오드 어레이 대신 다이오드 레이저 어레이

어를 사용하고, 광 검출기로는 phototransistor 어레이 대신 photodiode 어레이를 사용하며, 스위칭 소자로 연산증폭기대신 emitter coupled logic 등의 고속펄스 기술[14]을 사용하다면, 이들 소자의 속도한계(수백 psec의 스위칭 속도)와 bit 수 N의 곱에 해당하는 수준의 빠른 A/D변환기를 얻을 수 있을 것으로 보여진다. (광의 전파시간과 feedback line을 전파하는 시간은 무시할 수 있으므로.)

3. 혼합 2진수-완전 2진수(MBFB) 변환기

광의 고속성과 병렬성을 이용하여 다량의 정보를 동시에 처리함으로써 고속의 병렬 광계산(parallel optical computing)에 대한 많은 연구가 있었으며 또한 연구중이다. 아날로그 코딩에 기초한 광행렬-벡터곱셈기[12]가 발표된 이래 이의 응용과 여러 가지로 변형된 형태의 광행렬-벡터곱셈기[15] 및 광행렬-행렬곱셈기[16] 등이 연구되었다. 한편 아날로그 코딩방식들이 지니는 계산의 정확성에 대한 한계를 극복하기 위하여 디지털 코딩방식이 연구되고 있다[17]. 그러나 벡터 또는 행렬의 각 요소값들을 디지털 데이터(2진수)로 표현하여 계산결과와 정확성을 기한 디지털 광행렬-행렬곱셈기의 단점은 그 출력이 완전한 2진수가 아니고 혼합 2진수(mixed binary number)가 된다는 점이다. 혼합 2진수란 2진수의 형태를 취하지만 각 bit가 가질 수 있는 수는 0 또는 1뿐만 아니라 임의의 자연수인 수이다. 이 혼합 2진수는 다음 단계에서 사용하거나 또는 메모리에 저장하기 위해서는 완전 2진수(full binary number)로 바꾸어 주어야 한다. 혼합 2진수를 완전 2진수로 바꾸는 일을 기존의 디지털컴퓨터로 수행하면 순차적 변환을 하는 것이므로, 광행렬-벡터곱셈기가 갖는 병렬성이 그 의미를 잃게 된다. 즉 디지털 병렬 광행렬-벡터곱셈기에서 절약한 계산시간을 MBFB 변환에 거의 소모할 수 있기 때문이다. 이 장에서는 앞장에서 설명한 A/D변환기를 기본 계산소자로 써서 매우 간단한 구조이지만 빠른 계산 속도를 갖는 MBFB변환기를 설계하고 실험하였다.

3.1 신경망 A/D변환기를 이용한 MBFB변환기의 설계

먼저 디지털 코딩에 의한 병렬 광행렬-벡터 곱셈기에서 사용되는 convolution방법을 이용한 곱셈[18]을 수행할 때 혼합 2진수가 어떻게 발생하는가를 살펴보자. 그림 4에서처럼 두개의 양의 2진

			a_3	a_2	a^1	a_0	
			b_3	b_2	b^1	b_0	
0	0	0	a_3b_0	a_2b_0	a_1b_0	a_0b_0	
0	0	a_3b_1	a_2b_1	a_1b_1	a_0b_1	0	
0	a_3b_2	a_2b_2	a_1b_2	a_0b_2	0	0	
a_3b_3	a_2b_3	a_1b_3	a_0b_3	0	0	0	
C_7	C_6	C_5	C_4	C_3	C_2	C_1	C_0

그림 4 두 2진수 A와 B의 곱

Fig. 4 The multiplication of two binary vectors, A and B.

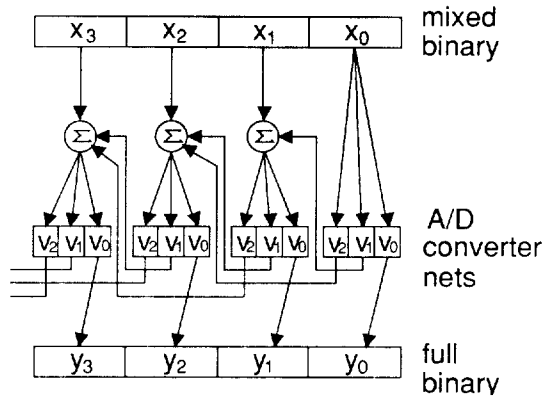


그림 5 A/D변환기들을 이용한 MBFB변환기

Fig. 5 The MBFB converter using A/D converters.

수 A와 B를 곱한다고 하자. 가장 간단한 방법은 B의 LSB에서 부터 1 bit씩 MSB로 이동하면서, B의 한 bit가 1이면 A를 2N bit를 갖는 accumulator에 더하고 B의 한 bit가 0이면 더하지 않는다. accumulator는 매번 B의 bit를 조사하면서 이 작용을 수행할 때마다 우로 1 bit씩 이동한다. 최종적으로 accumulator에는 그 곱 C가 얻어지는데 이것이 바로 add shift multiplication(ASM)이다 [18]. 그림 4에서 각 bit들의 곱을 나열한 그림을 bit product matrix(BPM)라 부른다. convolution을 이용한 디지털(광행렬-벡터)곱셈에서는 광을 써서 BPM을 한번에 얻고 이 광의 세기로 표시되어지는 BPM의 각 열을 렌즈등을 써서 동시에 더하게 된다. 이 때의 더한 결과를 D라 하면 이 D의 각 bit는 1또는 0이 아니라 0을 포함하는 양의 정수가 되는 것이다. 이 D가 바로혼합 2진수이다.

첫째로 생각할 수 있는 가장 간단한 MBFB의 변환은 D를 완전히 아날로그 값으로 바꾸후 이를 1개의 A/D변환기를 써서 완전 2진수로 바꾸는 것

이 된다. 이 방법은 디지털 계산의 장점인 정확도를 거의 잃게 되므로 그 본래의 목적을 상실한 꼴이다.

둘째로, 다수의 A/D변환기를 이용하는 구도로써 원리적으로 가장 간단한 MBFB 변환기를 그림 5에 나타내었다. 일반적으로 n bit 혼합 2진수들마다 A/D변환기를 연결하고 i번째 A/D변환기 출력중에서 LSB를 제외한 고차의 출력은 각각 $i+1, i+2, \dots, i+k-1$ 번째 A/D변환기 입력에 더해져 입력된다. 일반적으로 n이 클 때 A/D변환기가 가져야 할 최소의 bit수 k는 $k > \log_2(m+k)$ 를 만족시키는 최소의 정수가 된다. 단 m은 혼합 2진수의 각 bit가 가질 수 있는 최대값이다. 이 MBFB변환기에 필요한 총 A/D변환기의 개수는 n이며 따라서 총 thresholding소자는 kn개이다. 결국 혼합 2진수에서 완전 2진수로 변환하는 데 걸리는 시간은 최악의 경우 각 thresholding소자의 지연시간 t_g 의 kn배가 된다. 그런데 앞장에서 설명한 대로 각 A/D변환기의 LSB출력이 결정되기 전에 carry는 결정되어 전파된다. 이를 고려하면 보장된 혼합 2진수—완전 2진수 변환시간은 정확히 $t_g(k-1)n$ 가 된다. k가 대략 $\log_2 m$ 보다 큰 최소의 정수이므로 변환시간 t_1 은

$$t_1 \approx n(\log_2 m - 1) + 1 \quad (6)$$

가 된다. 단 thresholding소자의 지연시간 t_g 는 정규화하여 1로 두었다. 만약 광행렬-벡터곱셈기에서 $n/2$ bit길이의 2진수 요소들을 갖는 $N \times N$ 행렬과 $N \times 1$ 벡터와의 곱을 수행하여 완전2진수를 얻는 시간은, 각 출력 벡터 요소마다 k개의 MBFB 변환기를 사용한다고 할 때, N에 관계없이 (6)식으로 결정되며, 그림 4의 BPM에서 m의 값이 동일하지 않고 열의 양쪽으로 갈수록 m이 감소한다는 것을 고려할 때 실제의 계산시간은 식(6)보다 작다.

세번째로 생각할 수 있는 방법으로 그림 5의 구조를 약간 바꾸어 주면 변환시간을 더욱 단축시킬 수 있는데 이를 그림 6에 나타내었다. 이 방법은 변환시키고자 하는 혼합 2진수 bit들을 몇개의 그룹으로 분할하여 각각의 그룹을 앞에서 언급한 첫 번째 방법과 같이 변환시키고, 그룹과 그룹 사이에는 두번째 방법처럼 처리한다. 입력 n bit 혼합 2진수를 p개의 bit를 갖는 그룹들로 분할하면 보장되는 변환시간 t_2 는

$$t_2 = \frac{1}{p} \left[\log_2 \left(\sum_{i=1}^p m2^{i-1} \right) - 1 \right] + 1 \quad (7a)$$

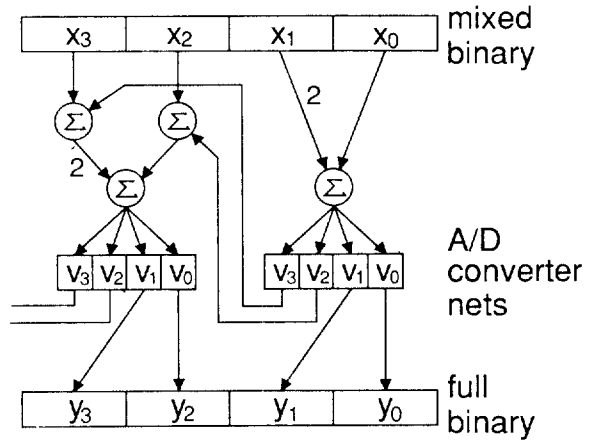


그림 6 변환 속도를 높이기 위한 그림 5의 구조를 개조한 구조.

Fig. 6 Modified version of the scheme in Fig. 5 for conversion speedup.

로 표현되며, $\sum_{i=1}^p m2^{i-1} = (2^p - 1)m$ 이므로 $p > 1$ 일 때 식 (7a)는

$$t_2 \approx n \left(\frac{1}{p} \log_2 m + 1 - \frac{1}{p} \right) + 1 \quad (7b)$$

로 근사화 된다. p가 n이면 t는 $n + \log_2 m$ 이고 이것은 첫번째로 생각한 MBFB변환기의 변환 시간이 된다. 여기서는 그룹을 균일하게 나누는 것을 생각했지만 BPM을 고려해 볼 때 BPM열의 양쪽으로 갈수록 0의 요소가 많으므로 BPM의 중앙 근처의 열에서는 p를 줄이고 BPM의 양쪽 열로 갈수록 p를 키울 수 있을 것이다.

3.2 다른 방법들과의 비교

혼합 2진수를 완전 2진수로 바꾸는 일은 기존의 프로세서들을 이용하여 할 수 있는데 대표적인 것이 ASM프로세서이다. ripple carry adder(RCA)를 이용한 ASM방법은 구조는 간단하지만 매우 계산속도가 느리고 carry look-ahead adder(CLA) [20]를 이용하면 계산속도는 빠르지만 프로세서가 매우 복잡해진다. CLA를 사용하는 ASM방법을 더욱 빠르게 한 것이 modified Booth algorithm(ASM-MBA)인데 이는 hardware로 구성하기가 매우 복잡하다. [21]. Swartzlander는 CLA를 이용하는 ASM방법보다 계산속도는 느리지만 RCA를 이용한 ASM보다 빠르고 프로세서의 복잡성을 크게 줄인 quasi-serial multiplier(QSM) [19]를 발표한 바 있으며, 최근 Mort는, 이 논문에서 그림

표 2 길이 N bit인 두 2진수를 convolution 방식으로 곱할 때 각 프로세서들의 계산 지연 시간

Table 2 Calculation delay times of various processors in the multiplication of two binary numbers using the convolution method.

Scheme	N(bits)				
	8	16	32	64	128
ASM	48	128	256	640	1280
ASM-MBA	24	64	128	320	640
QSM	160	320	640	1280	2560
MQSM*	80	160	320	640	1280
Our scheme 1**	33	89	227	559	1341
	(33)	(97)	(257)	(645)	(1537)
Our scheme 2***	(33)	(81)	(193)	(449)	(1025)

*여기서는 2열씩을 한번에 처리하는 MQSM을 가정하였다.

**그림 5의 구조를 의미함.

***그림 6의 구조에서 p=2일 때를 가정하였다.

5의 방법을 그림 6의 방법으로 고친 것과 같은 맥락으로, QSM을 개선하여 복잡성은 본래의 QSM과 비슷하지만 변속속도는 증가시킨 modified QSM(MQSM)[22]을 발표한 바 있다. 표 2는 N bit의 두 2진수를 곱할 때 여러가지 프로세서들의 변환시간을 비교한 표이다. 단 논리 게이트 지연 시간과 thresholding소자의 지연시간은 같다고 가정하고 정규화 시켰으며 표의 숫자들은 게이트 지연시간의 배수를 의미한다. 사실, 식(6)과 (7)은 n bit의 2진수 m개를 동시에 더할 때의 최악의 계산속도이다. 이 식들은 두 2진수를 곱할 때도 적용할 수 있지만(즉, 그림 4의 BPM에서 n=2N 및 m=N으로 두면 된다.) BPM에서 항상 0이 되는 요소가 있으므로 식(6)이나 (7)에서 예측하는 속도보다 더 빠를 수도 있다는 것을 알 수 있다. 표 2에서는, 그림 5의 구조를 이용하여 두 2진수를 곱할 때 발생하는 모든 경우의 수에 대해 computer simulation을 통하여 최적 변환시간을 얻은 것을 나타내었다. 또 괄호 안의 숫자는 식(6)과 (7)에서 예측하는 이론적인 최악의 변환시간 $t_1=2N(\log_2 N-1)+1$ 와 $t_2=N(\log_2 m+1)+1$ (P=2인 경우)를 각각 나타낸 것이다.

표 2에서 보는 바와 같이 우리가 제시하는 구조는 ASM-MBA를 제외한 다른 방법들보다 계산속도가 더 빠르며 ASM-MBA에 비해 크게 뒤떨어지지 않는다는 것을 알 수 있다. 그러나 가장 중요

한 장점은 매우 간단한 A/D변환기만을 사용하면 되기 때문에 우리의 구조가 대단히 간단하다는 것이다. 시스템 clock없이 단순한 thresholding소자들만으로 구성되어도 이러한 계산능력이 발휘되는 큰 원인은 단순 thresholding 소자들 사이에 존재하는 연결강도에 있다. 따라서 이러한 MBFB변환기를 다수사용함으로써 디지털 광행렬-벡터곱셈에서 행렬의 크기에 관계없이 계산결과를 얻을 수 있다. 이에 비해 다른 방법 특히 ASM이나 ASM-MBA는 회로의 복잡성 때문에 다수의 변환기를 한꺼번에 사용한다는 것이 곤란하므로 행렬-벡터 곱셈에 이용될 경우 한개의 MBFB 변환기를 반복 사용하여 각 요소값을 계산해야 하므로 행렬의 크기에 비례하는 계산시간이 요구될 것이다.

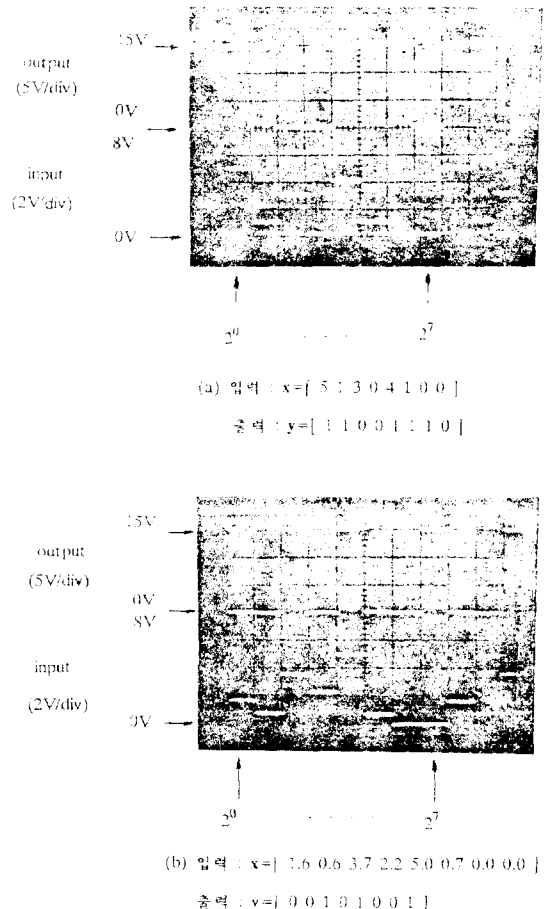


그림 7 8-bit MBFB변환기의 실험 결과
Fig. 7 Experimental results for 8-bit MBFB converter

3.3 MBFB변환기의 실험

그림 5의 구조를 갖는 8 bit MBFB변환기를 전기적으로 구현하여 실험한 결과를 그림 7에 나타내었다. 전기적으로 구현함에 있어서, 신경망 A/D변환기의 연결계수값 T_{ij} 에 해당하는 저항값은 요구되는 정확한 저항값에서 $\pm 5\%$ 이내의 오차를 지니는 저항들을 사용하였다. 그림 7하단의 oscilloscope파형은 혼합 2진수 입력의 각 bit가 갖는 아날로그 값이고 상단의 파형은 완전 2진수로 변환 도니 디지털 출력을 나타낸다.

$$X = [x_0 \ x_1 \ x_2 \ x_3 \ x_4 \ x_5 \ x_6 \ x_7] \\ = [5 \ 1 \ 3 \ 0 \ 4 \ 1 \ 0 \ 0]$$

일 때, 출력 데이터 Y 는

$$Y = [y_0 \ y_1 \ y_2 \ y_3 \ y_4 \ y_5 \ y_6 \ y_7] \\ = [1 \ 1 \ 0 \ 0 \ 1 \ 1 \ 1 \ 0]$$

임을 볼 수가 있다. 이 결과는 옳은 것이다. 한편 그림 7(b)는 입력으로 들어가는 혼합 2진수의 각 bit들이 정확한 정수값을 갖지 않는 경우에 대해 실험한 결과를 나타낸 것이다. 여기서 입력 X 는

$$X = [1.6 \ 0.6 \ 3.7 \ 2.2 \ 5.0 \ 0.7 \ 0.0 \ 0.0]$$

이다. 만약 A/D변환기가 제대로 작동한다면, 임의의 정수값에서 ± 0.5 이내에 속하는 값은 모두 동일한 정수로 취급해 주어야 한다. 따라서 위와 같은 입력이 들어올 경우, 이 입력은

$$X = [2 \ 1 \ 4 \ 2 \ 5 \ 1 \ 0 \ 0]$$

과 같이 취급되어야 하므로, 출력은

$$Y = [0 \ 0 \ 1 \ 0 \ 1 \ 0 \ 0 \ 1]$$

이 되어야 한다. 그림 7(b)를 살펴보면 올바른 출력이 나오고 있음을 알 수 있다. MBFB변환기 출력의 정확도는 A/D변환기의 정확도에 의해 좌우된다.

4. 결 론

신경회로를 흉내낸, 적절한 연결세기로 연결된 단순 thresholding소자들의 집합이 갖는 계산능력의 예로서 아날로그 값들을 2진수로 코딩된 디지털 패턴으로 변환하는 경우와 아날로그 패턴인 혼합 2진수를 디지털 패턴인 완전 2진수로 바꾸는 경우에 대해서 알아 보았다. MBFB변환기의 경우는 A/D변환기 회로를 단위 subnetwork로 하여 마치 hierarchical structure를 형성하는 모양이 된다. 이 두가지 예로부터, 비록 clock이 없는 단순

할 뿐 아니라 계산속도도 빠르다는 것을 알았으며, 실질적으로 사용될 수 있을 것으로 보인다. 특히 A/D변환기는 광행렬-벡터곱셈기를 이용하여 광학적으로 구현하여 광정보처리에도 응용될 수 있는 가능성을 보였다.

여기서 설명한 MBFB 변환기는 2개의 2진수 곱을 얻는데 대해서만 설명하였지만, 여러개의 2진수를 동시에 더하는 경우에도 그대로 이용할 수 있다. 또, 2의 보수 방정식을 채택하고 소숫점을 고정하지 않고 이동시키는 방법을 도입하면 임의의 4칙연산을 모두 우리가 제시하는 형태의 A/D변환기 회로로 수행할 수 있을 것이다.

본 논문에서 다룬 신경회로방은 Hopfield 신경회로망과는 달리 local minima문제가 없다. “여러가지 문제(예를 들어 연상기억, 패턴인식, 특성추출 등의 고등문제들)에 따라 연결강도를 얻는 일반적인 규칙(혹은 학습 규칙)이 존재하는가?”는 아직 미지수이며 더 연구를 해야 할 것이다.

참 고 문 헌

- [1] D.E. Rumelhart and J.L. McClelland, "Parallel Distributed Processing," MIT Press, Cambridge, Mass., 1986, Vol. 1.
- [2] R.A. Becker, C.E. Woodward, F.J. Leonberger, and R.C. Williamson, "Wide-band electrooptic guided-wave analog-to-digital converters," Proc. IEEE vol. 72, p. 802(1984).
- [3] D.W. Tank and J.J. Hopfield, "Simple neural optimization networks: an A/D converter, signal decision circuit, and a linear programming circuit," IEEE Trans. Circ. Sys. vol. CAS-33, p. 533(1986).
- [4] J.J. Hopfield, "Neural networks and physical systems with emergent collective computational abilities," IEEE Sci. U.S.A. vol. 79, p. 2554(1982).
- [5] M.E. Gasper, "Pulsed neural networks: Hardware, software, and the Hopfield A/D converter example," IEEE Conf. Neural Information Processing Systems-Natural and Synthetic, Nov. 8-12, 1987, Denver, CO. U.S.A.
- [6] R.A. Games, E.L. Key, and D. Moulin, "Improved neuralnetwork analog-to-digital converter," IEEE Conf. Neural Information Processing Systems-Natural and Synthetic,

- Nov. 8-12, 1987, Denver, CO, U.S.A.
- [7] B.W. Lee and B.J. Sheu, "An investigation on local minima of Hopfield network for optimization circuits," IEEE Int. Conf. Neural Networks, July 1988, San Diego, CA, U.S.A.
 - [8] Ju-Seog Jang, Sang-Yung Shin, and Soo-Young Lee, "Optical neural-net analog-to-digital converter," Opt. Lett. vol. 14, p. 159(1989).
 - [9] Ju-Seog Jang, Sang-Ho Koh, Soo-Young Lee, and Sang-Yung Shin, "Digital optical computing with parallel analog-to-digital converters as basic computing elements," KIEE Annual Conference International Session, Nov. 25-26, 1988, Korea Military Academy, Seoul, Korea, Paper collection p. 365.
 - [10] A. Barna and D.I. Porat, "Integrated Circuits in Digital Electronics," John Wiley and Sons, New York, 1973, Chap. 10
 - [11] F.J. Pineda, "Generalization of back-propagation to recurrent neural networks," Phys. Rev. Lett. vol. 59, p. 2229(1987).
 - [12] J. Goodman, A.R. Dias, and I.M. Wody, "Fully parallel high speed incoherent optical method for performing the discrete Fourier transform," Opt. Lett. vol. 2, p. 1(1978).
 - [13] N. Farhat, D. Psalitis, A. Prata, and E. Paek, "Optical implementation of the Hopfield model," Appl. Opt. vol. 24, p. 1469(1985).
 - [14] J.A. Coekin, "High-speed Pulse Techniques," Pergamon, New York, 1975.
 - [15] R.A. Athale and J.N. Lee, "Optical processing using outer-product concept," Proc. IEEE, vol. 72, p. 931(1984).
 - [16] H.J. Caulfield, J.A. Neff, and W.T. Rhodes, "Optical computing: The coming revolution in optical signal processing," Laser Focuses/Electro-optics, p. 100, Nov.(1983).
 - [17] R.P. Bocker, S.R. Clayton, and K. Bromly, "Electrooptical matrix multiplication using the twos complement arithmetic for improved accuracy," Appl. Opt. vol. 22, p. 2019(1983).
 - [18] Special issue on Optical Computing, Proc. IEEE, vol. 72, (July 1984).
 - [19] E.E. Swartzlander, Jr., "The quasi-serial Multiplier," IEEE Trans. Computers, vol. C-22, p. 317(1973).
 - [20] F.J. Hill and G.R. Peterson, "Digital Systems: Hardware Organization and Design," Wiley, New York, 1973.; E. Swartzlander, "Digital optical arithmetic," Appl. Opt. vol. 25, p. 3021(1986).
 - [21] I.P. Rubinfield, "A proof of the modified Booth's algorithm for multiplication," IEEE Trans. Computers, vol. C-24, p. 1014(1985).
 - [22] M.S. Mort, "Modified quasi-serial multiplier," Appl. Opt. vol. 24, p. 1369(1985).