

# LDD MOSFET 채널 전계의 특성 해석

## Characterization of Channel Electric Field in LDD MOSFET

韓 民 九\* · 朴 珉 亨\*\*  
(Min-Koo Han · Min-Hyung Park)

### 요 약

Hot-carrier현상을 줄이기 위해 현재 널리 사용되고 있는 gate-offset구조의 Lightly Doped Drain MOSFET에서의 채널 lateral전계에 관한 간단한 해석적 모델을 정립하였다. 본 모델에서, LDD 영역의 도우핑 profile은 uniform이 아닌, 더욱 실제적인 Gaussian으로 고려되었고 따라서 lateral diffusion도 포함되었다. 또한 본 해석적 모델은  $n^+$ 드레인과 LDD의 junction깊이가 서로 같지 않은 소자의 구조에도 적용할 수 있었다. 본 해석적 모델로부터 얻어진 결과들은 2-D 소자시뮬레이션 결과들과 잘 부합하였다. LDD MOSFET의 채널 전계를 감소시키는 데에 관련된 메카니즘들을 이해하는데 있어서 본 모델이 매우 유용함을 알 수 있었다. 즉, LDD의 도핑 농도, LDD의 junction 깊이, LDD길이, 게이트 산화막두께, 게이트 전압, 드레인 전압 등과 같은 소자의 매개변수들의 변화가 각각 채널피크 전계에 미치는 영향을 이해하고 예측하는 데 있어서 본 해석적 모델이 매우 유용하게 사용될 수 있음을 보여주었다. 또한 Gaussian으로 가정된 LDD의 도우핑농도에 있어서 채널 전계를 최소화시키는 LDD 농도의 최적값이 존재함을 확인하였다.

**Abstract-** A simple but accurate analytical model for the lateral channel electric field in gate-offset structured Lightly Doped Drain MOSFET has been developed. Our model assumes Gaussian doping profile, rather than simple uniform doping, for the lightly doped region and our model can be applied to LDD structures where the junction depth of LDD is not identical to the heavily doped drain. The validity of our model has been proved by comparing our analytical results with two dimensional device simulations. Due to its simplicity, our model gives a better understanding of the mechanisms involved in reducing the electric field in the LDD MOSFET. The model shows clearly the dependencies of the lateral channel electric field on the drain and gate bias conditions and process, design parameters. Advantages of our analytical model over costly 2-D device simulations is to identify the effects of various parameters, such as oxide thickness, junction depth, gate/drain bias, the length and doping concentration of the lightly doped region, on the peak electric field that causes hot-electron phenomena, individually. Our model can also find the optimum doping concentration of LDD which minimizes the peak electric field and hot-electron effects.

## 1. 서 론

VLSI회로의 집적도가 증가함에 따라 MOSFET 채널의 길이 및 산화막의 두께가 감소되고 있다. 그러나 인가되는 전압은 비교적 감소가 되지 않기 때문에 채널 lateral 전계의 최대치는 증가하게 된다. 이 전계 최대치( $E_{max}$ )의 증가에 따라 채널 내 전자들이 게이트나 기판으로 빠져 나가는, 소위 hot-carrier현상이 소자의 특성은 물론 소자의 신뢰도에 심각한 영향을 미치게 된다.

Hot-carrier현상에 의한 게이트 전류( $I_g$ )는 채널 lateral전계의 최대치  $E_{max}$ 와 다음과 같은 관계를 갖고 있다. [1]

$$I_g \approx C_1 (E_{ox}) I_d \exp(-\phi_b / \lambda E_{max}) \quad V_g > V_d$$

여기서  $E_{ox}$ 는 드레인 근처의 산화막 내부의 전계이고,  $C_1(E_{ox})$ 는  $10^{-3}$ (at  $E_{ox} \approx 0$ )  $\sim 4 \times 10^{-3}$ (at  $E_{ox} = 10^6$  V/cm)인 상수이다.  $\lambda$ 는 채널의 hot-electron mean-free-path이고 약 78Å이다.  $\phi_b$ 는 barrier lowering에 의해 보정된 Si/SiO<sub>2</sub>의 전위 장벽 높이이고 약 3.1 eV (at  $E_{ox} \approx 0$ )  $\sim 2.5$  eV(at  $E_{ox} = 10^6$ )이다.

게이트 전류 ( $I_g$ )는 피크 전계  $E_{max}$ 가 커질수록 계속 증가함을 윗 식으로부터 알 수 있다. 게이트 전류에 의해 산화막에 trap된 전자들은 문턱전압  $V_{th}$ 의 drift를 가져오게 되고, interface trap들을 생성함으로써 인해 전자들의 mobility와 subthreshold특성의 degradation을 초래하게 된다. [1]

Hot-carrier현상에 의한 기판 전류 ( $I_{sub}$ )역시 채널 lateral전계의 최대치  $E_{max}$ 와 다음과 같은 관계를 갖고 있다. [1]

$$I_{sub} \approx C_2 I_d \exp(-B_i / E_{max})$$

여기서  $C_2$ 와  $B_i$ 는 상수인데,  $C_2 \approx 2$ 이고  $B_i$ 는 게이트 산화막의 두께, junction깊이 등과 같은 소자의 구조에 관계되는 매개변수들의 함수이다.

기판 전류  $I_{sub}$ 역시 피크 전계  $E_{max}$ 가 커질수록 계속 증가함을 윗 식으로부터 알 수 있다. 이 기판 전류에 의해 생기는 기판 전압의 변화는 문턱

전압  $V_{th}$ 의 변화를 가져오게 되고 심한 경우, avalanche breakdown의 발생도 보고되고 있다. [1]

이러한 hot-carrier현상들을 줄이기 위해서는 채널 lateral전계의 최대치( $E_{max}$ )를 감소시켜야 하는데, 이를 위하여 Double-Diffused Drain(DDD)구조나 Lightly-Doped Drain(LDD)구조가 많이 사용되고 있다.

전계의 최대치  $E_{max}$ 를 최대한 감소시켜서 소자의 신뢰도를 향상시키고 breakdown전압을 높이는 데 있어서 LDD구조의 최적화가 중요한 문제이다. 전계의 최대치는 인가되는 bias조건에는 물론이고 LDD의 길이와 LDD의 피크도우핑 농도, junction 깊이 및 게이트 산화막 두께등에 의하여 가변이 되는데, 이러한 매개변수들이 각각 최대 전계값에 어떠한 영향을 줄 것인가에 관한 정성적, 정량적인 면을 이해하고 예측할 수 있어야 한다. 여기에는 수치적 방법과 해석적 방법이 있는데, 수치적 방법인 컴퓨터 시뮬레이션은 계산시간이 길 뿐만 아니라 그 결과를 해석함에 있어서, 설계 및 공정상의 매개변수들의 개별적 변화가 소자의 특성에 어떠한 정성적 변화를 가져오는가를 이해하는 데 있어서 모델에 비하여 뒤떨어진다. 그러므로 우리는 해석적 모델을 통해서 각 매개변수의 변화에 따른 소자의 특성 변화의 전체적인 경향을 알아낼 수 있게 되며 이를 통해, 소자의 더욱 정확한 설계를 위한 2-D소자 시뮬레이션을 효율적으로 수행하게 될 수 있다.

최근에 들어와, LDD구조를 갖는 MOSFET의 채널 전계에 관한 해석적 모델이 Berkeley대학의 C. Hu 그룹에 의하여 발표된 바 있다. [2] [3] 그러나 Hu의 모델들은 현재 실제적으로 많이 사용되는 gate-offset구조(2장 1절의 Fig. 1-(a) 참조)가 아니라, full overlap구조(lightly doped region이 완전히 게이트 밑에 있는 구조, 2장 1절의 Fig. 1-(b) 참조)와 또한 gate-offset구조를 갖기는 하나 LDD 전체가 균일한 도우핑으로 되어 있고 LDD junction 깊이와  $n^+$ 드레인 junction 깊이가 같으며 lateral diffusion을 고려하지 않은 구조(2장 1절의 Fig. 1-(c) 참조)만을 다루고 있다.

따라서 본 연구에서는, lateral diffusion이 고려되며 Gaussian도우핑 profile을 갖고 있고 LDD junction깊이와  $n^+$ 드레인의 junction깊이가 갖지 않은, 실제적으로 널리 쓰이고 있는 gate-offset구조의 LDD MOSFET에서의 채널 lateral 전계 수식을 유도하고 또한 이 해석적 모델로부터 소자의 여러가지 매개변수들이 각각 최대 전계치에 미치

\*正 會 員 : 서울대工大 電氣工學科 副教授·工博

\*\*正 會 員 : 韓國電子通信研究所 綜合情報通信網  
研究部 研究員

接受日字 : 1988年 12月 27日

1次修正 : 1989年 2月 28日

2次修正 : 1989年 5月 16日

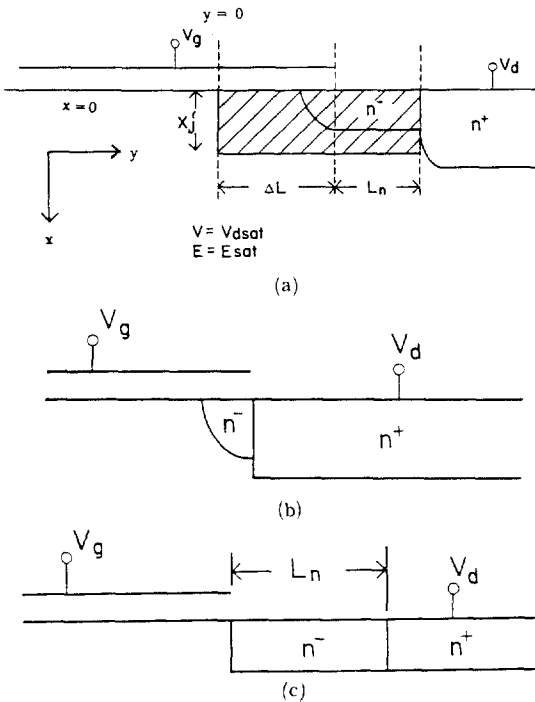


그림 1 (a) 본 모델의 바탕이 되는 gate-offset 구조의 LDD 소자의 단면도.  
 (b) Full-overlap 구조의 LDD 소자의 단면도.  
 (c) 균일한 도우핑 농도를 갖고 lateral diffusion이 없는 LDD 소자의 단면도

Fig. 1 (a) Cross section of the gate-offset structured LDD device of our model.  
 (b) Cross section of the full overlap structured LDD device.  
 (c) Cross section of gate-offset structured LDD device. (the case where doping profile of the lightly doped region is uniform so that there is no lateral diffusion and the junction depths of the heavily doped drain and that of LDD are identical)

는 효과를 검토한다. 또한 본 연구에서 정립한 모델의 타당성을 확인하기 위해 현재 널리 쓰이고 있는 2-D 소자 simulator의 시뮬레이션 결과들과 비교하였다.

## 2. 채널 전계에 관한 해석적 모델

본 장에서는, 본 연구의 바탕이 되는 LDD 소자 구조와 이미 모델화되어 있는 타 LDD 소자 구조

들과의 차이점을 보여주며, 본 모델의 바탕이 되는 LDD 소자 구조에서 몇 가지 전제조건들로부터 채널 전계에 관한 수식 모델을 유도해 얻는다.

또한 채널 전계의 피크치를 감소시켜주는 면에서 설계된 LDD 소자의 효율성의 측정도가 되는 field reduction factor를 정의한다.

### 2.1 모델의 바탕이 되는 LDD 소자의 구조

본 연구 모델의 바탕이 된 LDD 구조는 Fig. 1-(a)에 묘사되어 있다.

참고로, Hu 그룹이 모델화한 full overlap 구조와, LDD 전체가 균일한 도우핑으로 되어 있고 lateral diffusion을 고려하지 않은 구조가 각각 Fig. 1-(b)와 Fig. 1-(c)에 나타나 있다. [2] [3]

### 2.2 모델을 위한 전제조건들

본 연구에서는 LDD 구조에서의 채널 전계에 관한 해석적 모델을 정립하기 위하여 다음과 같은 몇 가지 전제조건들을 세웠다.

전제조건 1) Velocity saturate 된, Fig. 1-(a)의 빗금쳐진 box 영역에서 vertical 전계 성분  $E_x$ 를 무시할 수 있는 특정 깊이  $X'j$ 가 존재한다. [3] 즉 이 box의 밑 경계 부분에서 전계선이 대체로 기관 표면과 평행되는, box 깊이  $X'j$ 를 얻을 수 있다. 2-D 시뮬레이션으로부터 이 깊이는 대체로  $n^+$  드레인의 junction 깊이가 부근이라는 것을 알게 되었다. [3] 이러한 현상은, 수많은 전계선들이  $n^+$  junction의 코너로부터 발산하기 때문이라고 추측된다. [3] 그러나 이  $X'j$  값의 불확정성과 또 그 box 두께에 걸친 ( $0 < x < X'j$ ) lateral 전계의 불균일성을 고려에 넣기 위해 geometry parameter  $\eta$ 를 도입했다. 즉

$$X'j = \frac{X_j(\text{of LDD})}{\eta} \quad (1)$$

Hu의 모델은 LDD의 junction 깊이가  $n^+$  드레인의 junction 깊이가 같은 구조만을 가정하고 있으므로, 그의 모델은 모든 경우에 geometry parameter  $\eta$ 가 1.0~1.3의 값들을 가질 때 컴퓨터 시뮬레이션의 결과와 잘 일치하였다. [3]

반면에, 본 논문에서의 결과 자료들은 주로 LDD의 junction 깊이가  $n^+$  junction 깊이의 1/2인 경우들인데, 이러한 구조에서는 geometry parameter  $\eta$ 가 0.5~0.7의 값들을 가질 때 본 모델과 컴퓨터 시뮬레이션의 결과들이 가장 잘 일치함을 확인할 수 있었다. (3장 1절 Fig. 3-Fig. 7 참조)

또한 본 연구에서는 더욱 확장하여, LDD의

junction깊이와  $n^+$ junction깊이의 비율을 달리하였을 경우를 고려하였다. 이 경우, 해석적 모델에 가장 적합한 geometry parameter  $\eta$ 의 값이 달라지게 되는데 이 때의  $\eta$ 의 값도 LDD의 junction깊이와  $n^+$ 드레인 junction깊이의 비율로부터 정할 수 있는데 이에 대한 결과와 설명이 3장 2절에 있다,

전제조건 2) Fig. 1-(a)에서, velocity-saturation 영역이 시작되는 지점인  $y=0$ 에서는 long-channel approximation을 써서, 이 지점에서는 채널 lateral전계의 변화가 거의 없다고 가정하였다. ( $\frac{dE_y(0, y)}{dy} \approx 0$ ) [2] [3]이 가정하에서 해석적 모델의 결과가 시뮬레이션의 결과들과 잘 일치함을 확인하였다. (3장 12절 Fig. 3-Fig. 7 참조)

전제조건 3)  $N^+$ 드레인은 lateral diffusion을 고려하지 않은 abrupt junction approximation을 썼다. [2] [3]

전제조건 4) 게이트 바깥 부분에서의 fringing field효과는 무시되었다. [3] 즉 게이트 바깥 부분에서는  $E_x(0, y)=0$ 이라 놓았다.

전제조건 5) 전자들의 속도가 saturate되기 시작하는 pinchoff point는 LDD영역 밖인 게이트 밑 부분에서 생긴다. 이 가정은 실제적인 거의 대부분의 조건하에서 성립된다. 그러나 게이트 전압  $V_g$ 가 매우 클 때는 채널에서의 inversion charge density가 충분하게 커서 pinchoff point가 게이트 밑에서 생기지 않고 게이트 밖의 LDD영역에서 생기게 되는데, 이 경우는 본 모델에서 제외한다.

전제조건 6) LDD의 donor 도우핑 농도는 Gaussian profile로 가정한다.

이상과 같은 전제조건들은 일반적으로 LDD MOSFET에 관한 해석적 모델에서 널리 사용되고 있는 가정들이다.

### 2.3 채널 전계에 관한 모델 수식

본 연구에서 사용한 모델 (Fig. 1-(a))의 전계에 관한 경계조건이 Fig. 2에 묘사되어 있다.

Gauss의 법칙에 의하면

$$\int D \cdot dS = Q \tag{2}$$

$D$ : electric displacement,  
 $Q$ : total net charge.

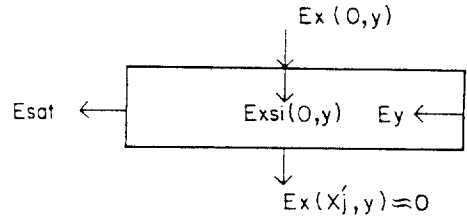


그림 2 본 모델의 바탕이 되는 velocity saturate된 box영역.

Fig. 2 Velocity saturated box region in the channel.

식(2)를 Fig. 2의 영역에서 전개하면

$$\begin{aligned} & \int_0^{x'j} (-\epsilon_s E_y + \epsilon_s E_{sat}) dx + \int_0^y (\epsilon_s E_x(x', y') - \epsilon_s E_{xsi}(0, y')) dy' \\ & = q \int_0^y \left[ \int_0^{xj} N_d(x, y') dx - \int_0^{x'j} N_d dx \right] dy' \\ & - \int_0^y Q_m dy' \end{aligned} \tag{3}$$

$\epsilon_s$ : Si의 permittivity

$\epsilon_{ox}$ :  $SiO_2$ 의 permittivity

$q$ : 전자 전하량

$N_d$ : LDD의 donor doping profile

$N_a$ : 기판 농도

$Q_m$ : 단위 면적당의 mobile charge density

식(3)을  $y$ 에 관해 미분하고,  $E_x(x', y') \approx 0$ 임을 이용하면,

$$-X'j \frac{dE_y}{dy} - E_{xsi}(0, y) = \frac{q}{\epsilon_s} \left[ \int_0^{xj} N_d(x, y) dx - X'j \bar{N}_a \right] - \frac{Q_m}{\epsilon_s} \tag{4}$$

$\bar{N}_a$ : box안에서의 기판 농도의 평균값

Si-SiO<sub>2</sub> 인터페이스에서 Gauss's Law를 적용하면

$$E_{xsi}(0, y) = \frac{\epsilon_{ox}}{\epsilon_s} E_x(0, y) \tag{5}$$

또한 LDD의 donor 도우핑 농도는 Gaussian profile로 가정하였으므로  $0 \leq y \leq \Delta L$  범위의 lateral diffusion 부분에서  $N_d(x, y)$ 는

$$N_d(x,y) = N_{am} \exp\left(-\frac{(\Delta L - y)^2}{\Delta R^2}\right) \exp\left(-\frac{x^2}{\Delta R'^2}\right) \quad (6)$$

으로 표현된다.

식 (1), (5), (6)을 식(4)에 대입하고 정리를 하면 다음과 같은 미분방정식을 얻게 된다.

$$\frac{X_j}{\eta} \frac{dE_y(0,y)}{dy} = \frac{qX_j}{\epsilon_s} \left(\frac{N_a}{\eta} - \bar{N}_d(y)\right) - \frac{\epsilon_{ox}}{\epsilon_s} E_x(0,y) + \frac{Q_m}{\epsilon_s} \quad (7)$$

$N_{am}$  : LDD의 피크 농도

여기서,  $0 \leq y \leq \Delta L$  범위의 lateral diffusion 부분에서 LDD의 x방향에 대한 평균농도 profile  $\bar{N}_d(y)$ 는

$$\bar{N}_d(y) = N_{am} \exp\left(-\frac{(\Delta L - y)^2}{\Delta R^2}\right) \quad (8)$$

$$\bar{N}_{am} = \frac{1}{X_j} \int_0^{X_j} N_{am} \exp\left(-\frac{x^2}{\Delta R'^2}\right) dx$$

$$= \frac{\pi \Delta R'}{2X_j} N_{am} \operatorname{erf}\left(\frac{X_j}{\Delta R'}\right) \quad (9)$$

$\bar{N}_{am}$  : LDD농도의 평균값.

이 된다.

여기서 erf(x)는

$$\operatorname{erf}(x) = \frac{2}{\pi} \int_0^x e^{-t^2} dt \quad (10)$$

로 정의되는 함수이다.

또한 Fig. 1-(a)에서  $\Delta L \leq y \leq \Delta L + L_n$  구간에서는, LDD donor농도  $\bar{N}_d(y)$ 는 식(6)에서 lateral방향인 y성분이 없는 경우이기 때문에

$$\bar{N}_d(y) = \bar{N}_{am} \quad (11)$$

으로 놓을 수 있다.

또한 식(7)에서 전제조건2)에 의해  $\frac{dE_y(0,y)}{dy} \Big|_{y=0} \approx 0$ 라 놓으면 이로부터  $Q_m$ 을 구할 수 있다. 즉 그 지점에서

$$E_x(0,y) \Big|_{y=0} = \frac{V'_g - V_{dsat}}{T_{ox}} \quad (12)$$

이고  $\bar{N}_d(y) \Big|_{y=0} = 0$ 이므로 함께 대입하면 식(13)을 얻는다.

$$Q_m = \frac{\epsilon_{ox}}{T_{ox}} (V'_g - V_{dsat}) - \frac{qX_j \bar{N}_a}{\eta} \quad (13)$$

여기서

$$V'_g = V_g - V_{FB} - 2\phi_f \quad (14)$$

$T_{ox}$  : 게이트 산화막 두께

$V_g$  : 게이트 전압

$V_{FB}$  : flatband 전압

$\phi_f$  :  $kT/q \ln(\bar{N}_a/n_i)$

$V_{dsat}$  : 드레인의 saturation 전압

즉, pinchoff point인  $y=0$ 에서의 surface potential

$y > 0$ 에서 전류는 일정하고 전자들의 속도가 saturated되어 있으므로 식(13)과 같이 채널에서의 mobile charge  $Q_m$ 은 일정하다.

### 2.3.1 ( $0 \leq y \leq \Delta L$ ) 구간에서의 전계식.

이 구간에서

$$E_x(0,y) = \frac{V'_g - V(y)}{T_{ox}} \quad (15)$$

이므로 식(13), (15)를 식(7)에 넣고 정리하면 이 구간에서의 전계를 지배하는 식(16)을 얻는다.

$$\frac{d^2 V}{dy^2} = \frac{V - V_{dsat}}{l^2} - \frac{q\eta \bar{N}_d(y)}{\epsilon_s} \quad (16)$$

$$l = \left(\frac{\epsilon_s T_{ox} X_j}{\eta \epsilon_{ox}}\right)^{1/2} \quad (17)$$

$V(y)$  : surface potential

[경계 조건]

1.  $y=0$ 에서  $V = V_{dsat}$ ,  $E_y = E_{sat}$
2.  $y=\Delta L$ 에서  $V$ 와  $E_y$ 는 각각 연속

[SOLUTION]

$$V(y) = V_{dsat} + l E_{sat} \sinh\left(\frac{y}{l}\right) - \frac{q\eta \Delta L R \bar{N}_{am}}{2\epsilon_s}$$

$$[F(\frac{1}{l}, \Delta L, \Delta R, y) - F(-\frac{1}{l}, \Delta L, \Delta R, y)] \quad (18)$$

$$E_y = E_{sat} \cosh(\frac{y}{l}) - \frac{q\eta \Delta R \bar{N}_{am}}{2\epsilon_s} \cdot [F(\frac{1}{l}, \Delta L, \Delta R, y) + F(-\frac{1}{l}, \Delta L, \Delta R, y)] \quad (19)$$

$$F(+\frac{1}{l}, \Delta L, \Delta R, y) = \frac{\pi}{2} \exp[-(\frac{1}{l})(\Delta L - \frac{\Delta R^2}{4l} - y)] \cdot [erf((\Delta L - \frac{\Delta R^2}{2l})/\Delta R) - erf((\Delta L - \frac{\Delta R^2}{2l} - y)/\Delta R)] \quad (20)$$

본 구간에서의 전계 해인 식(19)와 식(17)을 통해서 알 수 있듯이,  $0 \leq y \leq \Delta L$  구간에서 채널 lateral전계는 대체로 hypercosine함수로 증가하는데, 게이트 산화막 두께  $T_{ox}$ 가 작아질수록  $l$ 의 값이 작아지고 그로 인해 이 구간에서의 전계증가율이 더 커질 것임을 예측할 수 있다. 또한  $n^+$ 드레인의 junction깊이가 작아질수록, 2장 1절의 전제조건 1)의 설명에 의해  $X'_j (= X_j/\eta)$ 가 같이 감소하게 되는데 이것은  $l$ 의 값의 감소를 가져오게 되고, 역시 이로 인해서 본 구간에서의 전계 증가율이 커짐을 알 수 있다.

### 2.3.2 ( $\Delta L \leq y \leq \Delta L + L_n$ )구간의 LDD영역에서의 전계식.

전제조건 4)에 의해 식(7)에서  $E_x(0, y) = 0$ 이라 놓을 수 있다. 그리고 이 구간에서는 식(11)과 같이  $N_a(y) = \bar{N}_{am}$ (일정값) 이므로 결국 이 구간을 지배하는 전계식은 식(21)이 된다.

$$\frac{dE_y}{dy} = \frac{V'_g - V_{asat}}{l^2} - \frac{q\eta \bar{N}_{am}}{\epsilon_s} \quad (21)$$

[경계 조건]

1.  $y = \Delta L + L_n$ 에서  $V = V_a$
2.  $y = \Delta L$ 에서  $V$ 와  $E_y$ 는 각각 연속

[SOLUTION]

$$E_y = (\frac{V'_g - V_{asat}}{l^2} - \frac{q\eta \bar{N}_{am}}{\epsilon_s})y + C \quad (22)$$

$$V(y) = \frac{1}{2}(\frac{V'_g - V_{asat}}{l^2} - \frac{q\eta \bar{N}_{am}}{\epsilon_s})y^2 + Cy + D \quad (23)$$

여기서

$$C = -(\frac{V'_g - V_{asat}}{l^2} - \frac{q\eta \bar{N}_{am}}{\epsilon_s})\Delta L + E_{sat} \cosh(\frac{\Delta L}{l}) - \frac{q\eta \Delta R \bar{N}_{am}}{2\epsilon_s} \cdot [F(\frac{1}{l}, \Delta L, \Delta R, \Delta L) + F(-\frac{1}{l}, \Delta L, \Delta R, \Delta L)] \quad (24)$$

$$D = \frac{1}{2}(\frac{V'_g - V_{asat}}{l^2} - \frac{q\eta \bar{N}_{am}}{\epsilon_s})\Delta L^2 + E_{sat}[l \sinh(\frac{\Delta L}{l}) - \Delta L \cosh(\frac{\Delta L}{l})] + V_{asat} + \frac{q\eta \Delta R \bar{N}_{am}}{2\epsilon_s} \cdot [(\Delta L - l)F(\frac{1}{l}, \Delta L, \Delta R, \Delta L) + (\Delta L + l)F(-\frac{1}{l}, \Delta L, \Delta R, \Delta L)] \quad (25)$$

식(22)를 통해서 알 수 있듯이 본 구간에서 전계는 일차 함수의 직선으로 표현된다. 게이트 전압  $V_g$ 를 특정값 이상으로 하면 이 직선의 기울기는 (+)의 값을 갖게 되고 그로 인해 채널 피크 전계는  $n^- - n^+$  junction에서 생길 것임을 예측할 수 있다. 반대로 게이트 전압  $V_g$ 의 값을 특정값 이하로 작게 하거나 또는 LDD의 평균 농도인  $N_{am}$ 의 값을 특정치 이상으로 크게 하면, 본 구간에서의 일차 전계 함수는 (-)의 기울기를 갖게 되어 채널 피크 전계는 게이트 edge( $y = \Delta L$ )에서 생길 것임을 알 수 있다. 게이트 산화막 두께  $T_{ox}$ 와  $n^+$ 드레인의 junction깊이의 변화에 의한 영향도 같은 방법에 의해 식(22)와 식(17)을 통해 예측할 수 있다.

최종 미지수  $\Delta L$ 은 식(23)에서 경계 조건 1을 적용함으로써 구할 수 있다. 풀어서 전개해 보면 미지수  $\Delta L$ 은 식(26)에 의해 정해진다.

$$\frac{1}{2}(\frac{V'_g - V_{asat}}{l^2} - \frac{q\eta \bar{N}_{am}}{\epsilon_s})L_n^2 + E_{sat}[L_n \cosh(\frac{\Delta L}{l}) + l \sinh(\frac{\Delta L}{l})] - (V_a - V_{asat}) - \frac{q\eta \Delta R \bar{N}_{am}}{2\epsilon_s} \cdot [(L_n + l)F(\frac{1}{l}, \Delta L, \Delta R, \Delta L) + (L_n - l)F(-\frac{1}{l}, \Delta L, \Delta R, \Delta L)] = 0 \quad (26)$$

본 모델에서 사용한  $E_{sat}$ 의 값은  $1.1 \times 10^4 V/cm$  [4]이었고  $V_{asat}$ 는 식(27)과 같다. [4]

$$V_{asat} = E_{sat} L_{eff} [(1 + \frac{2(V_g - V_{th})}{E_{sat} L_{eff}})^{1/2} - 1] \quad (27)$$

$L_{eff}$  : 유효 채널 길이

2.4 Field Reduction Factor

Field reduction factor (FRF)는 같은 bias조건하에서의 LDD소자의 채널 피크 전계값과 conventional MOS소자의 피크 전계값의 비로 정의할 수 있다. [3]

즉,

$$FRF = \frac{E_{max}(LDD)}{E_{max}(conventional MOS)} \quad (28)$$

식(28)에서 MOSFET의 피크 전계는 다음과 같은 모델식에 의하여 표현할 수 있다. [1] [6]

$$E_{max}(conventional MOS) = \frac{V_d - V_{dsat}}{l} \quad (29)$$

따라서 FRF는 피크 전계  $E_{max}$ 를 감소시켜주는 면에 있어서 특정하게 설계된 LDD소자의 유효성 정도를 측정하는 factor가 된다.

3. 결과 및 검토

3.1 2-D소자 시뮬레이션 결과와 해석적

모델 결과의 비교

본 연구에서 얻은 모델의 타당성을 확인해보기 위해 현재 널리 쓰이고 있는 2-D소자 simulator로 임의의 몇 가지 경우에 대해 시뮬레이션하였고, 이것을 해석적모델과 비교한 것이 Fig.3에서 Fig.

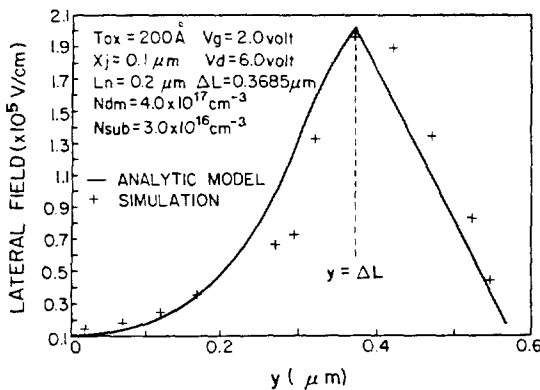


그림 3 해석적 모델과 2-D시뮬레이션에서의 거리에 따른 채널 lateral전계.

Fig. 3 Channel lateral electric field versus distance (comparison between the results of analytical model and 2-D simulation)

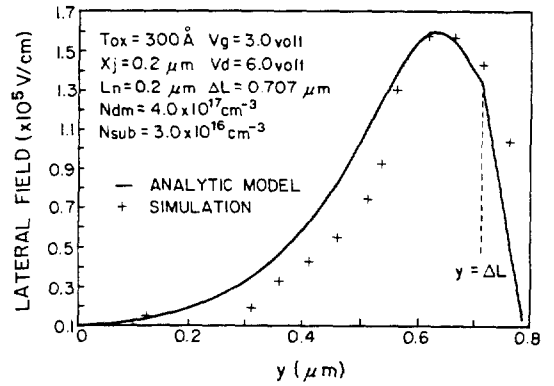


그림 4 해석적 모델과 2-D시뮬레이션에서의 거리에 따른 채널 lateral전계.

Fig. 4 Channel lateral electric field versus distance (comparison between the results of analytical model and 2-D simulation)

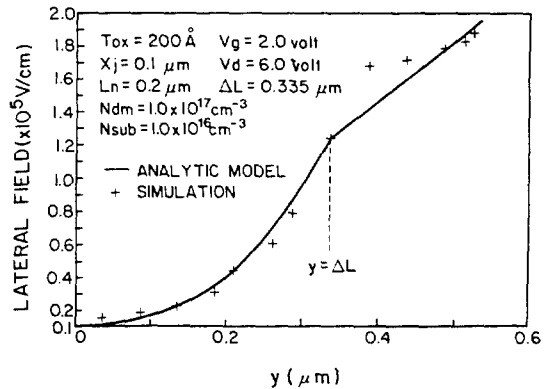


그림 5 해석적 모델과 2-D시뮬레이션에서의 거리에 따른 채널 lateral전계.

Fig. 5 Channel lateral electric field versus distance (comparison between the results of analytical model and 2-D simulation)

7까지에 나타나 있다. (Fig.4의 경우 유효 채널 길이  $L_{eff}$ 는  $1.18\mu m$ 이고 나머지 경우들에서는  $1.34\mu m$ 임)

Fig.3은 채널 피크 전계가 게이트 edge( $y = \Delta L \approx 0.37\mu m$ )에서 생긴 경우이고 이 때의 피크 전계는 약  $2.0 \times 10^5 V/cm$ 이다. 게이트 전압  $V_g$ 가 비교적 작고 LDD의 피크 농도  $N_{dm}$ 은 비교적 큰 값을 갖는 구조이므로, 식(22)를 통해서 예상할 수 있듯이 게이트 바깥 구간에서의 전계는 거리에 따라

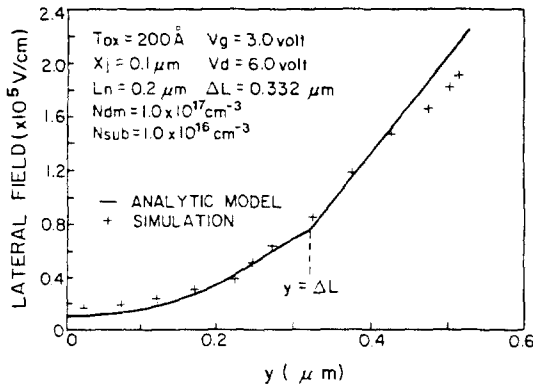


그림 6 해석적 모델과 2-D시뮬레이션에서의 거리에 따른 채널 lateral전계.

Fig. 6 Channel lateral electric field versus distance (comparison between the results of analytical model and 2-D simulation)

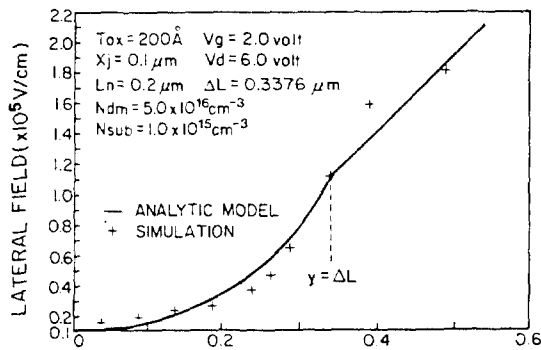


그림 7 해석적 모델과 2-D시뮬레이션에서의 거리에 따른 채널 lateral전계.

Fig. 7 Channel lateral electric field versus distance (comparison between the results of analytical model and 2-D simulation)

감소하는, 즉 음의 기울기를 갖는 일차 함수로 변화함을 볼 수 있다.

Fig. 4는 Fig. 3에 비해 게이트 산화막 두께  $T_{ox}$  (300Å)와 LDD의 junction깊이 (0.2 $\mu$ m) 그리고  $n^+$ 드레인의 junction깊이 (0.4 $\mu$ m)를 증가시킨 구조의 시뮬레이션 결과이다. 2장 3절에서 식(17)과 식(19)를 통해서 예측할 수 있었듯이, 게이트 산화막 두께와  $n^+$ 드레인의 junction깊이의 증가는 factor 1의 증가를 가져와  $0 \leq y \leq \Delta L$ 구간에서 전계의 증가율을 완화시켰고 이로 인해서 피크 전계

값이 감소하였음을 알 수 있다. 또한 이 감소는 부분적으로는 게이트 전압  $V_g$ 의 증가에 기인한다. ( $V_g : 2V \rightarrow 3V$ )

또한 이 경우에서는 Fig. 3과는 달리 채널 피크 전계가 게이트 edge로부터 게이트 안쪽으로 약 0.1 $\mu$ m떨어진 지점에 위치해 있음을 볼 수 있다. 이 현상은, LDD junction깊이의 증가로 인한 lateral diffusion구간의 확장에 기인한다. Lateral diffusion길이를  $L_d$ 라 하고 LDD의 junction깊이를  $X_j$ 라 할 때 본 모델에서는 다음과 같이 가정하였다.

$$L_d = 0.8 \times X_j$$

따라서 LDD의 junction깊이를 2배로 증가시킴으로 인해 lateral diffusion길이  $L_d$  역시 2배로 증가하게 되었고, 확장된 lateral diffusion영역으로 인해 유효  $p-n^-$  junction은 게이트 edge가 아니라 lateral diffusion 영역 부분에 위치하게 되었고 이로 인해 피크 전계 지점 역시 lateral diffusion구간에서 생기게 된 것이다. [5]

Fig. 5, Fig. 6, Fig. 7은 채널 피크 전계의 지점이 게이트 edge가 아니라  $n^-n^+$  junction( $y = \Delta L + L_n$ )에 위치한 경우들이다.

2장 2절에서 식(17)과 식(22)를 통해서 예측할 수 있었듯이, LDD의 피크 도우핑 농도  $N_{dm}$ 이  $5 \times 10^{16} \text{cm}^{-3}$  내지  $1.0 \times 10^{17} \text{cm}^{-3}$ 로 감소됨으로 인해서 게이트 바깥 구간에서의 전계는 충분히 감소되지 못한채 양의 기울기를 갖는 일차 함수로 변화하고 그로 인해 채널 피크 전계는  $n^-n^+$  junction에서 생기게 되는 것이다.

종합적으로 볼 때, 모든 경우들에 있어서 이 해석적 모델이 시뮬레이션 결과들과 대체로 잘 맞음을 볼 수 있다. 특히 중요한 채널 전계의 피크 부분에서는 결과들이 잘 일치함을 볼 수 있다. 그런데 일반적으로 이 결과들은 게이트 edge 바로 지나서의 영역, 즉  $y = \Delta L$ 보다 조금 큰 지점에서는 시뮬레이션 값이 모델값보다 큰 경향을 보여주고 있는데 이것은 fringing field효과에 의한 것으로 생각된다.

이 모델의 유도 과정에서, 게이트 바깥쪽( $\Delta L \leq y \leq \Delta L + L_n$ )의 LDD영역에서는 y방향으로의 n도우핑 변화가 없기 때문에, 이곳에서는  $N_d(y)$ 를 식(9)와 같이 표현되는 x방향으로의 도우핑 평균값인  $N_{dm}$ 으로 근사화시킴으로써 식(22)와 같은 간단한 직선의  $E_y$ 형태를 얻을 수 있었다. 식(9)와 같이 정의된 평균값에 의한 근사화 방법이 비교적



정확함을, Fig. 3에서 Fig. 7까지의 2-D소자 시뮬레이션 결과들로부터 알 수 있는데, 즉 해석적 모델과 시뮬레이션 결과들은 그 영역에서 한결같이 전체  $E_y$ 의 직선 기울기가 거의 같은 경향을 보여 줌을 알 수 있다.

Fig. 3에서 Fig. 7까지의 결과들은 LDD junction 깊이가  $n^+$ 드레인 junction깊이의 0.5배인 경우들이었고 따라서 전제조건 1)에 설명된 이유에 의해서 geometry parameter  $\eta$ 가 0.5~0.7 사이의 값들을 가질 때 해석적 모델과 시뮬레이션의 결과들이 잘 일치하였다.

### 3.2 Geometry parameter $\eta$

$N^+$ 드레인의 junction깊이와 LDD의 junction깊이의 비에 따라 가장 적당한 geometry parameter  $\eta$ 가 어떻게 정해지는가를 Fig. 8의 시뮬레이션 결과들이 잘 보여준다.

Fig. 3에서부터 Fig. 7까지에서 살펴본 모든 결과들은  $n^+$ 드레인의 junction깊이가 LDD의 junction

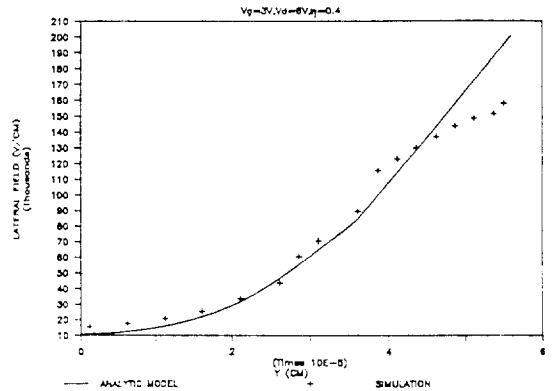


Fig. 8 - (c)  $\eta = 0.4$

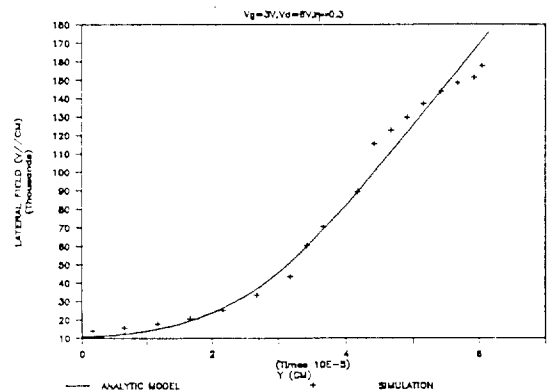


Fig. 8 - (d)  $\eta = 0.3$

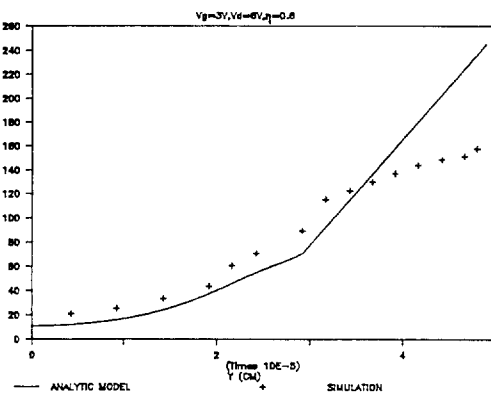


Fig. 8 - (a)  $\eta = 0.6$

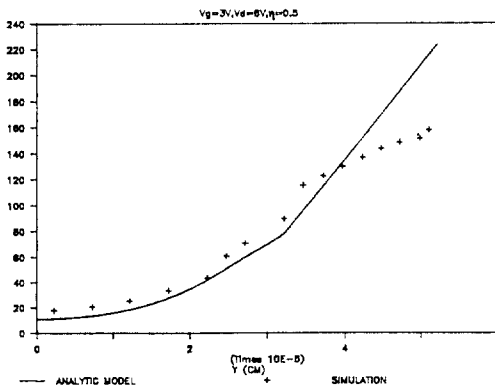


Fig. 8 - (b)  $\eta = 0.5$

그림 8 Geometry parameter  $\eta$ 의 변화에 따른 채널 lateral전계.

( $T_{ox} = 200 \text{ \AA}$ ,  $X_j(\text{LDD}) = 0.1 \mu\text{m}$ ,  $X_j(n^+ \text{드레인}) = 0.3 \mu\text{m}$ ,  $N_{am} = 1.0 \times 10^{17} \text{ cm}^{-3}$ ,  $N_{sub} = 1.0 \times 10^{16} \text{ cm}^{-3}$ )

Fig. 8 Channel lateral electric field as function of geometry parameter  $\eta$ .

( $T_{ox} = 200 \text{ \AA}$ ,  $X_j(\text{LDD}) = 0.1 \mu\text{m}$ ,  $X_j(n^+ \text{드레인}) = 0.3 \mu\text{m}$ ,  $N_{am} = 1.0 \times 10^{17} \text{ cm}^{-3}$ ,  $N_{sub} = 1.0 \times 10^{16} \text{ cm}^{-3}$ )

깊이의 2배인 경우이므로 식(1)과 전제조건 1)에 설명된 원리에 의해  $\eta = 0.5-0.6$ 사이에서 가장 잘 fitting되었다. Fig. 8에서는  $n^+$ 드레인의 junction 깊이가  $0.3 \mu\text{m}$ 가 LDD의 junction깊이  $(0.1 \mu\text{m})$ 의 3배인 경우이고, 이 때는  $\eta$ 가 0.5-0.6일때 LDD영역에서 시뮬레이션 결과가 해석적 모델의 결과와 잘 맞지 않음을 볼 수 있다. (Fig. 8의 (a), (b) 특히 중요한 퍼크전계의 값은 차이가 많이 남을 볼

수 있는데  $\eta$ 가 0.4일때에도 차이는 아직 존재한다. 해석적 모델에서  $\eta$ 값이 증가할수록 게이트 바깥 영역에서의 채널 전계  $E_y$ 의 기울기가 증가함을 Fig. 8과 2장 2절의 식(22)와 식(17)을 통해서도 알 수 있다. 따라서  $\eta$ 값을 크게 할수록 게이트 바깥 영역에서의 모델값과 시뮬레이션값들과의 차이는 점점 증가할 것임을 알 수 있다. 따라서 2장 1절의 전제조건 1)에 설명된 원리에 의해 이 경우에는  $\eta$ 값이 0.3일 때 예측대로 시뮬레이션 결과와 해석적 모델의 결과값들이 잘 맞음을 볼 수 있었다. (Fig. 8-(d))

### 3.3 LDD의 최적 도우핑 농도

본 연구에서 얻어진 모델을 사용하여 LDD의 도우핑 농도를 가변함에 채널 전계의 변화를 본 것을 Fig. 9에 나타내었다.

1절의 Fig. 3에서 Fig. 7의 결과 자료들에 나타나 있듯이, 본 모델의 바탕이 된 LDD소자 구조에서 채널 피크 전계는 대체로 게이트 edge( $y = \Delta L$ ) 또는 드레인 junction( $y = \Delta L + L_n$ )에 위치하게 되는데, Fig. 9를 통해서 알 수 있는 것은 LDD의 피크 도우핑 농도가 증가함에 따라 드레인 junction 지점에서의 전계값은 거의 선형적으로 감소해가고 반면에 게이트 Edge지점에서의 전계값은 점차 증가한다. 이러한 두 경향이 교차하는 지점이 바로 채널 피크 전계값이 최소일 때가 되는데, 즉 채널 전계가 LDD영역에 걸쳐서 일정한 때의 LDD의

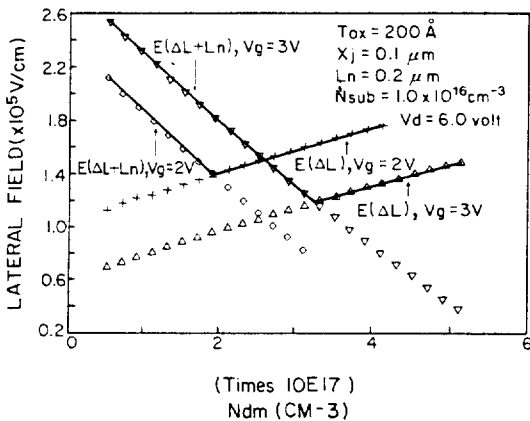


그림 9 LDD도우핑 농도의 변화에 따른 채널 lateral전계의 변화 추이.

Fig. 9 Channel lateral electric field distribution as a function of the peak doping concentration of LDD Gaussian profile is assumed.

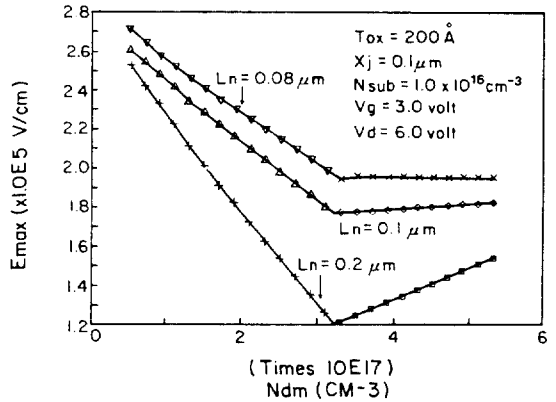


그림 10 서로 다른 LDD길이에 있어서 LDD도우핑 농도의 변화에 따른 채널 lateral피크 전계의 변화 추이.

Fig. 10 Peak channel electric field as a function of the peak doping concentration of LDD. Gaussian profile is assumed with three different LDD lengths.

도우핑 농도가 채널 전계의 피크치를 최소화하는 최적 농도가 된다.

LDD길이  $L_n$ , LDD의 피크 도우핑 농도  $N_{am}$ 을 변화시켜 가면서 채널 피크 전계  $E_{max}$ 의 변화를 본 것을 Fig. 10에 나타내었다.

각 LDD길이  $L_n$ 에 대하여, 전계 최대치  $E_{max}$ 를 최소화하는 최적 LDD피크농도  $N_{am}$ 값이 존재함을 이 그림을 통해서도 알 수 있다. 이 경우와 같은 매개변수들일 때 최적  $N_{am}$ 값은 약  $3.2 \times 10^{17} \text{cm}^{-3}$ 이다. 그리고  $L_n$ 이 클수록 이 LDD는 더욱 효과적으로  $E_{max}$ 를 감소시킴을 알 수 있다.

Fig. 9와 Fig. 10의 결과들을 종합해 볼 때 이러한 최적  $N_{am}$ 값이 존재하는 이유는 다음과 같다.

LDD는 전압을 떨어뜨리는 완충 지대(buffer zone) 역할을 하는데 최대의 전압을 떨어뜨리는 경우는  $L_n$ 에 걸쳐서 전계  $E_y$ 가 일정할 때이다. Fig. 3에서 Fig. 7을 통해 보듯이,  $N_{am}$ 값이 작을 때는  $E_{max}$ 가 LDD- $n^+$ 드레인 junction에서 생기나  $N_{am}$ 값이 커지면  $E_{max}$ 의 위치가 게이트 edge지점으로 옮겨감을 알 수 있다.

이러한 현상은,  $N_{am}$ 값이 작을 때는 LDD가 효과적으로 전압을 감소시켜주지 못해  $E_{max}$ 가  $n^- - n^+$ junction에서 생기나  $N_{am}$ 이 점점 커지면 이 LDD가 점차  $n^+$ 역할을 하게 되어 이 LDD영역은 전계를 크게 감소시켜주게 되고 결과적으로 피크

전계  $E_{max}$ 는 게이트 edge로 옮겨가게 된다. 그 도중에 최적  $N_{dm}$ 값이 존재하는데 이것은 식(22)가 잘 보여준다. 이 식을 보면  $L_n$ 에 걸쳐  $E_y$ 는 직선인데  $N_{dm}$ 값이 작을 때는 기울기가 (+)값을 갖게 되어  $E_{max}$ 는  $n^- - n^+$  junction에서 생기고  $N_{dm}$ 이 커지면 기울기가 (-)값을 갖게 되어  $E_{max}$ 는 게이트 edge지점에서 생기는 것이다. 최적 상태는 기울기가 0일 때인데, 즉 식(22)로부터 쉽게 그 최적  $N_{dm}$ 값을 예측할 수 있다.

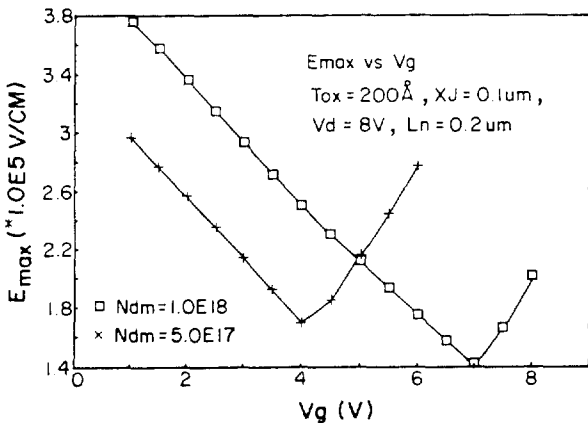
$$N_{dmopt} = \frac{\epsilon_s}{q\eta} \frac{V'_g - V_{dsat}}{l^2} = \frac{\epsilon_{ox}(V'_g - V_{dsat})}{qT_{ox}X_j} \quad (30)$$

**3.4 소자 매개변수들의 변화에 따른 피크 전계값의 변화 추이**

서로 다른 LDD피크 농도값  $N_{dm}$ 과 게이트 산화막 두께  $T_{ox}$ 에 대해 게이트 전압  $V_g$ 를 변화시키면서 그에 따른 채널 피크 전계의 변화 추이를 묘사한 결과들이 Fig. 11과 Fig. 12에 나타나 있다.

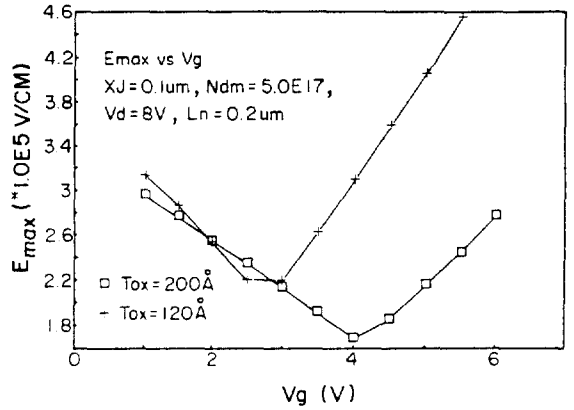
이러한 결과들은 다음과 같은 중요한 사실을 알려준다.

Conventional nMOSFET에서 hot-carrier현상에 의한 기관 전류는 대체로 게이트 전압  $V_g$ 가 드레인 전압  $V_d$ 의 1/2값을 가질 때 보고되어 있다.



**그림 11** 게이트 전압의 변화에 따른 채널 lateral 피크 전계의 변화 추이. (두개의 서로 다른 LDD피크 농도에 대한 비교)

**Fig. 11** Peak channel electric field as a function of gate voltage. (Two different peak doping concentration of LDD are compared.)



**그림 12** 게이트 전압의 변화에 따른 채널 lateral 피크 전계의 변화 추이. (두개의 서로 다른 게이트 산화막 두께에 대한 비교)

**Fig. 12** Peak channel electric field as a function of gate voltage. (Two different gate oxide thicknesses are compared.)

[7] 그 원인을 채널 피크 전계의 개념으로 생각하면, nMOSFET에서는  $V_g$ 가  $V_d$ 의 1/2일 때 최고의 피크 전계값을 갖기 때문인 것으로 해석할 수 있다.

그러나 본 모델과 같은 구조를 갖는 LDD MOSFET에서는 그와 같은 관계가 성립하지 않을 것임을 Fig. 11과 Fig. 12의 결과들을 통해서 알 수 있다. Fig. 11과 Fig. 12는 드레인 전압  $V_d$ 가 6V일 때인데, 게이트 전압이 드레인 전압의 1/2인 3V부근에서 전계의 피크치가 생기는 것이 아니라, 각각의 경우에 있어서 전계의 최대치  $E_{max}$ 를 최소화 하는 최적  $V_g$ 값을 사이에 두고 매우 낮은 게이트 전압이나 매우 높은 게이트 전압에서 채널 전계의 피크치가 생김을 알 수 있다.

또한 게이트 전압의 변화에 대한 피크 전계  $E_{max}$ 의 변화 추이곡선이 꺾이는 지점은  $E_{max}$ 의 위치가  $y = \Delta L$  (게이트 edge)에서  $y = \Delta L + L_n$  ( $n^- - n^+$  junction)으로 이전되는 순간인데 이 순간이 더 작은 LDD피크 농도  $N_{dm}$ 이나 게이트 산화막 두께  $T_{ox}$ 값에 대해서는 더 낮은 게이트 전압  $V_g$ 값에서 일어나게 됨을 Fig. 11과 Fig. 12의 결과를 통해서 알 수 있다. 이 현상은 식(13)과 식(22)를 통해 쉽게 예측할 수 있는 것인데 이 현상의 물리적 의미는 LDD의 depletion영역과 mobile carrier density term들로 설명될 수 있다. [5]

예를 들어 설명하면,  $V_g=2V$ 일때 식(13)을 통해 계산해보면 채널 mobile carrier density는 약  $7 \times 10^{11} \text{cm}^{-2}$ 이다. 따라서  $V_g=2V$  정도일 때는 mobile carrier density가 LDD의  $n^-$ 영역 도우핑 농도인  $N_{am}=10^{18} \text{cm}^{-3}$  ( $5 \times 10^{12} \text{cm}^{-2}$ )에 비해 매우 작다. 따라서 p-n junction작용에 의해 LDD의  $n^-$ 영역은 대부분 deplete되고 피크 전계는 p-n junction diode처럼 p-n접합 부분에서 생기게 된다.

그러나 이 모델의 경우 접합 부분은 lateral diffusion에 의한 것이므로 이 곳에서는 n도우핑 농도가 매우 낮아 결국 유효한 p-n접합 부분은 게이트 edge지점이 된다. 따라서  $V_g$ 가 작을 때는 피크 전계가 게이트 edge에서 생기게 된다. 그런데  $V_g$ 가 예를 들어 8V정도로 높을 때 이 mobile carrier density는 약  $4 \times 10^{12} \text{cm}^{-2}$ 으로 증가되고 이것은 LDD의  $n^-$ 영역 도우핑 농도인  $5 \times 10^{12} \text{cm}^{-2}$ 와 거의 대등한 값이므로, 이 경우 space-charge영역은  $n^+$  junction쪽으로 push되고, 피크 전계의 지점은 p-n junction에서  $n^-n^+$  junction으로 옮겨 가게 된다. 이 현상들은 채널의 mobile carrier density에 의한 것이므로, 식(13)을 통해서 알 수 있듯이 LDD의  $n^-$ 도우핑 농도를 증가시키면 이 현상을 억압하게 되고 반대로 감소시키면 더 작은  $V_g$ 값에 의해서도 이 현상이 생기게 됨을 알 수 있다. 이 현상이 Fig. 11에 나타나 있는데,  $N_{am}$ 값이  $5 \times 10^{17} \text{cm}^{-3}$  ( $2.5 \times 10^{12} \text{cm}^{-2}$ )로 감소되면 더 낮은 게이트 전압에서  $E_{max}$ 의 추이곡선의 꺾이는 지점이 생김을 볼 수 있다. 이 지점이 바로 피크 전계의

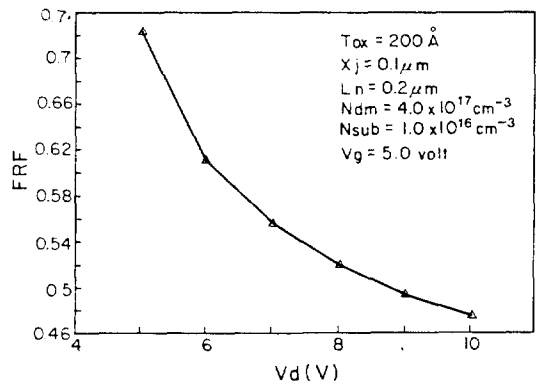


그림 14 드레인 전압의 변화에 따른 FRF의 변화 추이.

Fig. 14 Field reduction factor as a function of the drain voltage.

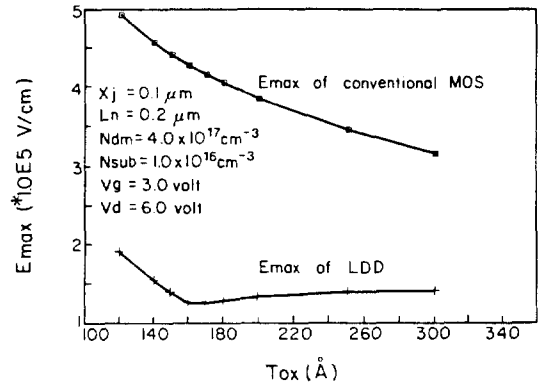


그림 15 게이트 산화막 두께의 변화에 따른 채널 lateral 피크 전계의 변화 추이.

Fig. 15 Peak channel lateral electric field as a function of the gate oxide thickness.

위치가 게이트 edge지점인  $y = \Delta L$ 에서,  $n^-n^+$  junction인  $y = \Delta L + L_n$ 으로 이전되는 순간이다.

또한 게이트 산화막 두께의 변화에 의해서도 이와 같은 현상이 일어남을 식(13)을 통해 알 수 있다.

Fig. 13과 Fig. 14는 드레인 전압  $V_d$ 를 변화시킬 때, 피크 전계  $E_{max}$ 와 FRF의 변화를 표시한 것이다.

Fig. 13은 LDD구조가 없는 Conventional MOS-FET ( $n^+$ 드레인의 junction깊이는  $0.2 \mu\text{m}$ )과 LDD 구조를 삽입한 MOSFET (LDD의 junction깊이는

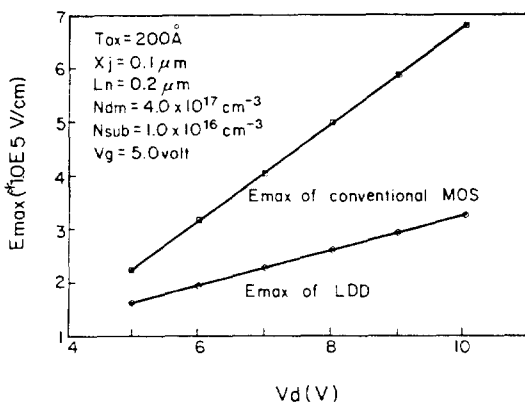


그림 13 드레인 전압의 변화에 따른 채널 lateral 피크 전계의 변화 추이.

Fig. 13 Peak channel electric field as a function of the drain voltage.

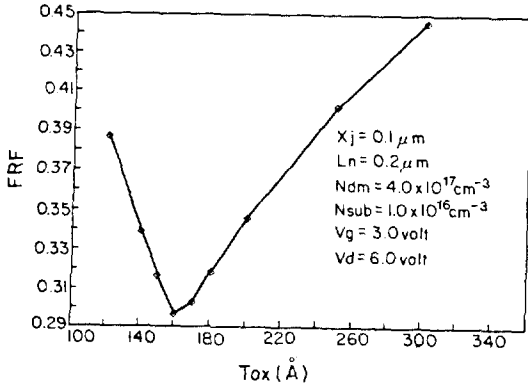


그림 16 게이트 산화막 두께의 변화에 따른 FRF의 변화 추이.

Fig. 16 Field reduction factor as a function of the gate oxide thickness.

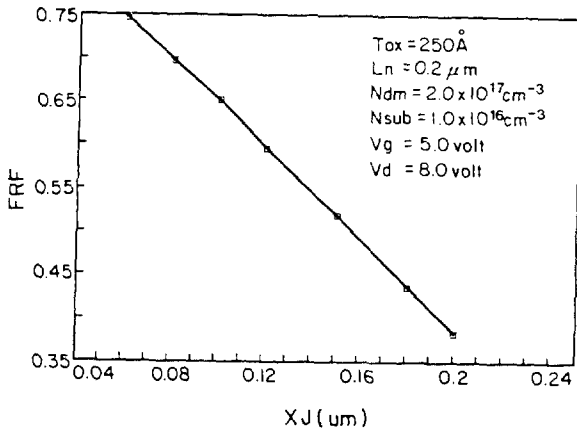


그림 17 LDD junction깊이의 변화에 따른 FRF의 변화 추이.

Fig. 17 Field reduction factor as a function of the LDD junction depth.

0.1 $\mu\text{m}$ , 피크 농도는  $4 \times 10^{17} \text{cm}^{-3}$ 을, 나머지 모든 조건들을 같게 놓은 상태에서 드레인 전압  $V_a$ 를 변화시킬 때의 채널 피크 전계  $E_{\text{max}}$ 의 변화를 표시한 것이다. Conventional MOSFET과 LDD MOSFET의 경우 모두, 그레인 전압을 증가시킬수록 피크 전계  $E_{\text{max}}$ 는 선형적으로 증가함을 볼 수 있다. Conventional MOSFET의 경우는 그 변화율이 크지만 이 소자에 LDD구조를 삽입한 결과 변화율이 상당히 저하된 현상을 볼 수 있다. Fig. 14에서는 FRF개념을 통해 Fig. 13의 현상을 나타

내었는데, 드레인 전압  $V_a$ 가 증가될수록 LDD구조가 더욱 유효해짐을 알 수 있다. 그런데 이 경우의 LDD구조는  $N_{am}$ 값이 최적화가 안 된 상태이다. 따라서 식 (30)을 이용하여 최적화 된 값을 사용하면 더욱 효율적인 것임을 예측할 수 있다.

Fig. 15와 Fig. 16은 게이트 산화막 두께를 변화시킬 때의 채널 lateral전계의 피크치와 field reduction factor FRF의 변화 추이를 각각 표시한 것이다.

LDD구조가 없는 MOS소자는 게이트 산화막 두께를 증가시킬수록 채널 전계의 피크치는 점차 감소하나 본 모델에서와 같은 LDD소자는 피크 전계를 최소화하는 최적값이 존재함을 알 수 있다. 이 현상들도 지금까지 설명된 원리에 의해 해석될 수 있다.

Fig. 17은 LDD junction깊이를  $n^+$ 드레인 junction깊이까지 증가시킬 때 field reduction factor FRF의 변화추이를 표시한 것이다.

LDD의 junction깊이는  $n^+$  junction깊이까지 증가시킬수록 피크 전계값을 감소시켜 주는 효력이 커짐을 알 수 있다.

### 3.5 피크 전계 위치

최근의 연구에 의하면[6] gate-offset구조를 갖는 LDD MOSFET에서, 높은 전계값을 갖는 영역이 게이트 edge( $y=\Delta L$ )밖의 부분에서 생기면(예: Fig. 5, Fig. 6, Fig. 7 참조) 그로 인해 그곳에서 생성된 interface trap들이 LDD  $n^-$  layer를 deplete시키게 되고 이로 인해 높은 series resistance를 야기시키게 되는데, 이로 인한 저항은 게이트 전압  $V_g$ 에 있어서의 transconductance가 크게 degrade됨으로 인해서 이 LDD소자는 conventional MOS소자에 비해 짧은 수명을 갖게 된다. 그러나 우리는 본 해석적 모델에서, 게이트 바깥 부분에서의 전계식인 식(22)를 통해서, 이 영역에서의 lateral채널 전계가 거리  $y$ 에 따라 점차 감소하도록 즉,  $E_y$ 의 기울기가 (-)값을 갖도록 설계할 수 있고 이로 인해 Fig. 3과 Fig. 4의 결과와 같이 피크 전계는 게이트 edge( $y=\Delta L$ )안쪽에서 생기고 게이트 밖에서는 전계가 점차 감소해서 작은 전계를 갖도록 설계함으로써 degradation을 크게 줄일 수 있게 된다. 그러나  $N_{am}$ 값을 크게 할수록 degradation을 줄일 수 있게 되어 좋으나, 최저 피크 전계값을 갖게 하는 LDD피크 농도의 최적값으로부터는 점점 벗어나게 된다.

#### 4. 결 론

본 연구에서는 현재 실제적으로 많이 사용되고 있는 구조인, Fig. 1-(a)와 같은 gate-offset 구조를 갖고 있고, lateral diffusion이 존재하며, Gaussian 도우핑 profile을 갖는 LDD MOSFET에서의 채널 lateral 전계에 관한 해석적 모델을 제시하였다.

본 모델이 상당히 정확함을, 현재 반도체 소자의 설계에서 널리 사용되고 있는 2-D 소자 시뮬레이터의 시뮬레이션 결과들과 비교해 봄으로써 확인할 수 있었다.

본 논문에서는 LDD junction 깊이와  $n^+$  드레인 junction 깊이가 같지 않은 경우들을 시도하였고, LDD junction 깊이가  $n^+$  드레인 junction 깊이가 같지 않은 경우들을 시도하였고, LDD junction 깊이가  $n^+$  드레인 junction 깊이의 비율과 해석적 모델의 geometry parameter  $\eta$ 와의 관계를 규명하였다.

LDD의 피크 도우핑 농도, LDD의 junction 깊이, LDD 길이, 게이트 산화막 두께, 게이트 전압, 드레인 전압 등과 같은 LDD 소자의 여러가지 매개 변수들의 각각 변화가 채널 피크 전계에 미치는 영향을 이해하고 예측하는 데 있어서 본 모델이 매우 유용하게 사용되어 질 수 있다는 것을 보여주었다.

LDD 소자의 특정 매개 변수들의 변화가 채널 피크 전계에 일으키는 변화들을 관찰하였고, 이와 같은 변화 추이들을, 본 논문에서 제시한 해석적 모델을 통하여 쉽게 예측할 수 있으며 또한 본 모델이 그와 같은 변화 추이의 원인이 되는 물리적 의미들도 아울러 전달해 줄 수 있음을 확인하였다.

또한 본 모델의 결과 자료를 통해서 채널 피크 전계를 최소화하는 LDD 피크 농도의 최적값이 존재함을 알게 되었는데 그 최적값은 게이트 edge 밖의 채널 전계가 LDD 영역에 걸쳐서 일정한 값을 가질 때임을 알 수 있었다. 또한 그 최적값은 다음과 같은 간단한 식으로 표현되어짐을 알게 되었다.

$$N_{amopt} = \frac{\epsilon_{ox}(V'_g - V_{sat})}{qT_{ox}X_j}$$

이 최적 평균값  $N_{amopt}$ 으로부터, 실제 최적 피크 농도값  $N_{amopt}$ 을 식(9)을 통해 계산할 수 있다.

LDD의 피크 도우핑 농도값  $N_{am}$ 이 이미 정해져

있을 때, 역시 피크 전계를 최소화하는 게이트 전압, 게이트 산화막 두께의 최적값들이 존재함을 알 수 있었다. 이 최적값들도 위 식으로부터 역산해서 구할 수 있다.

본 연구에서 제시한 해석적 모델을 통해서, 소자의 설계 및 공정상의 각 매개 변수의 변화에 의한 채널 피크 전계 변화의 전체적인 경향을 알아 낼 수 있게 되며 이를 통해, 소자의 더욱 정확한 설계를 위한 2-D 소자 시뮬레이션을 효율적으로 수행하는 데 큰 도움이 될 수 있음을 보여주었다.

#### 5. 앞으로의 연구과제

본 연구에서는 LDD 영역의 lateral diffusion 부분을 고려에 넣었지만  $n^+$  드레인은 abrupt junction approximation으로 가정하였다.  $n^+$  드레인의 lateral diffusion까지 고려한다면 수식으로는 표현할 수 없을 정도로 매우 복잡해져 유용한 해석적 모델을 얻기가 힘들것으로 사료된다. 그러나 앞으로 이 방향을 고려한 연구가 더욱 필요하다고 하겠다.

또한 게이트 edge 밖에서의 fringing field 효과를 고려에 넣은 더욱 정확한 해석적 모델이 연구되어야 할 것이다.

#### 참 고 문 헌

- [1] Chenming Hu, "Hot-Electron Effects in MOSFETS'S" IEDM Tech. Dig., pp. 176-181, 1983.
- [2] K.W. Terrill, C. Hu and P.K. KO, "An Analytical Model for the Channel Electric Field in MOSFET'S with Graded-Drain Structures," IEEE Electron Device Lett., vol. EDL-5, no. 11, pp. 440-442, Nov. 1984.
- [3] Kartikeya Mayaram, Jack C. Lee and Chenming Hu, "A Model for the Electric Field in Lightly Doped Drain Structures," IEEE Trans. Electron Devices, vol. ED-34, no. 7, pp. 1509-1518, July 1987.
- [4] Richard S. Muller and Theodore I. Kamins, "Device electronics for Integrated Circuits," 2nd ed., Wiley, New York, 1986.
- [5] J. Hui, F. Hsu and J. Moll, "A New Substrate and Gate Current Phenomenon in Short-Channel LDD and Minimum Overlap Devices," IEEE Electron Device Lett., vol.

EDL-6, no. 3, pp. 135-138, Mar. 1985.  
[6] C. Hu, S.C. Tam, F.C. Hsu, P.K. Ko, T.Y. Chan  
and K.W. Terril, "Hot-Electron-Induced MOS-  
FET Degradation-Model, Monitor, and

Improvement," IEEE Trans. Electron Devices,  
vol. ED-32, no. 2, pp. 375-385, Feb. 1985.  
[7] 민병혁, "Analysis of Hot Electrons in  
nMOSFET by Monte Carlo Simulation," 서  
울대학교 공학 석사 학위 논문, p. 52, 1987.

