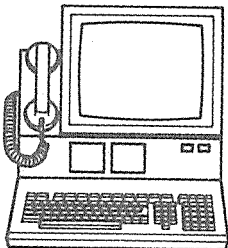


吳 吉 祿
韓國電子通信研究所
컴퓨터연구부장/工博

주전산기 아키텍처



1. 개 요

행정전산망을 위한 목표 시스템은 국가기간전산망 사업의 일환으로 행정전산망을 구축하고 국내 컴퓨터 기술을 중형 및 대형 시스템 수준으로 향상시키고, 기술애로로 당면해 있는 하드웨어 설계, 소프트웨어 원천 기술 및 시스템 생산 기술을 향상시키는 데 의의를 두고 있다.

목표 시스템을 일차적으로 필요로 하는 행정전산망의 측면에서는 다음과 같은 사항들이 요구되어진다.

- 신속한 대민 업무
- 자료의 일관성 및 정당성 유지
- 효율적인 정보 교환 및 자료 공동 활용의 용이성
- 정책 결정을 위한 자료 처리 기능

또한, 이차적으로 목표 시스템이 세계 시장의 경쟁력이 있는 시스템으로서의 요구 사항은 다음과 같다.

- 가격 및 성능면에서 국제 경쟁력 확보
- 컴퓨터 관련 기술의 도약
- 국내 축적 기술을 최대 활용
- 부품 해외 의존도 최소화

이러한 요구 사항들을 기초로하여 목표 시스템의 구조를 결정하였다. 목표 시스템은 성능이 최대 80 MIPS (Million Instructions Per Second) 정도 되는 수퍼 미니 컴퓨터급 범용 시스템으로서 고성능 버스를 바탕으로한 tightly-coupled 다중 프로세서 구조를 가지며, 표준 운영 체제화 되고 있는 UNIX System V를 바탕으로 한 소프트웨어 구조를 채택하고 있다.

하드웨어의 최대 용량은 약 100메가 BPS (Byte Per Second) 정도의 전송 속도를 가지는 고성능 버스를 기본으로한 20개까지의 32비트 중앙 처리

기, 최대 512메가 바이트의 주기억장치, 최대 100기가 바이트의 디스크 장치 등으로 구성되어, 최대 256명까지 동시에 사용할 수 있다. 소프트웨어는 UNIX System V를 기반으로 다중처리 및 분산처리가 가능하며, 한글기능을 갖는 데이터 베이스 관리 체계, 여러 프로그래밍 언어, 공중망을 지원할 수 있는 네트워크 소프트웨어, 트랜잭션 처리 관련 소프트웨어, 병렬 처리를 지원하는 관련 소프트웨어, 인공 지능 기법을 이용한 지능형 편집기 등의 첨단 기능을 갖추므로써 사용자에게 보다 편리한 환경을 제공한다.

또한 여러 개의 목표 시스템들을 LAN으로 연결하여 분산 시스템을 구성할 수 있으며, 각 연결되는 목표 시스템 수에 따라 전체 시스템의 성능을

변화시킬 수 있다. 즉, 각 목표 시스템은 다중처리 기능을 갖고 있으며, 여러 개의 목표 시스템으로 연결된 전체 시스템은 분산 처리의 기능을 갖는다.

2. 시스템 구조(General System Architecture)

가. 하드웨어 구조

다중처리 구조를 가지는 목표 시스템의 하드웨어 구조는 그림 1과 같다. 그리고, 여러 개의 목표 시스템들을 연결하는 경우의 구조는 그림 2와 같다.

나. 소프트웨어 구조

소프트웨어는 UNIX System V 커널을 다중처리 및 분산처리형 운영체제로 통합 개발하고 그 위

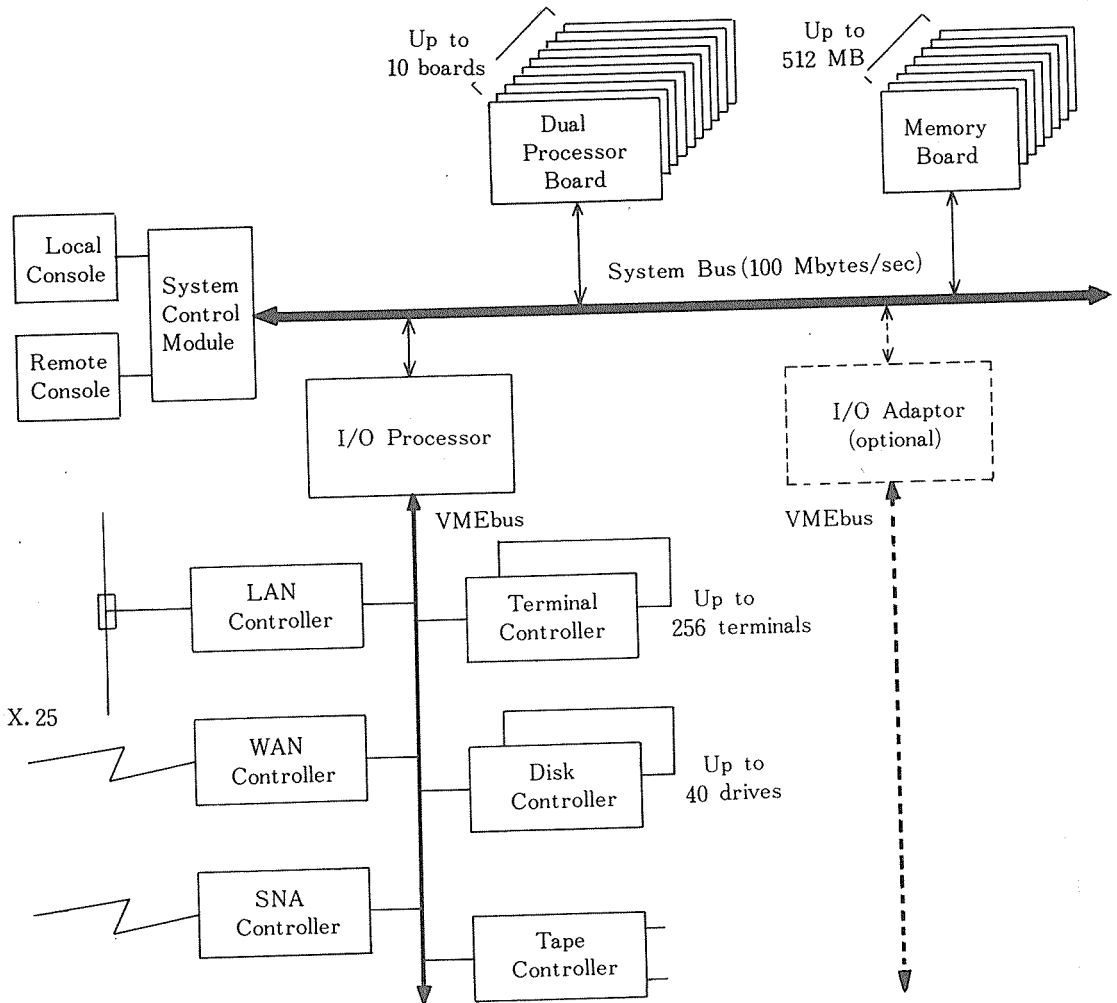


그림 1. 목표 시스템의 하드웨어 구조

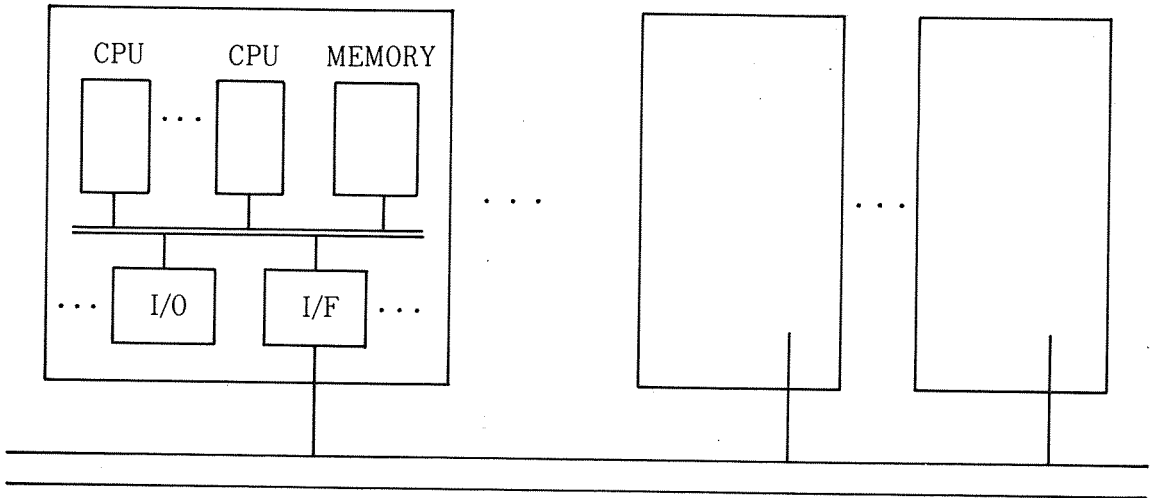


그림 2. 목표 시스템을 이용한 분산처리 구조

LAN

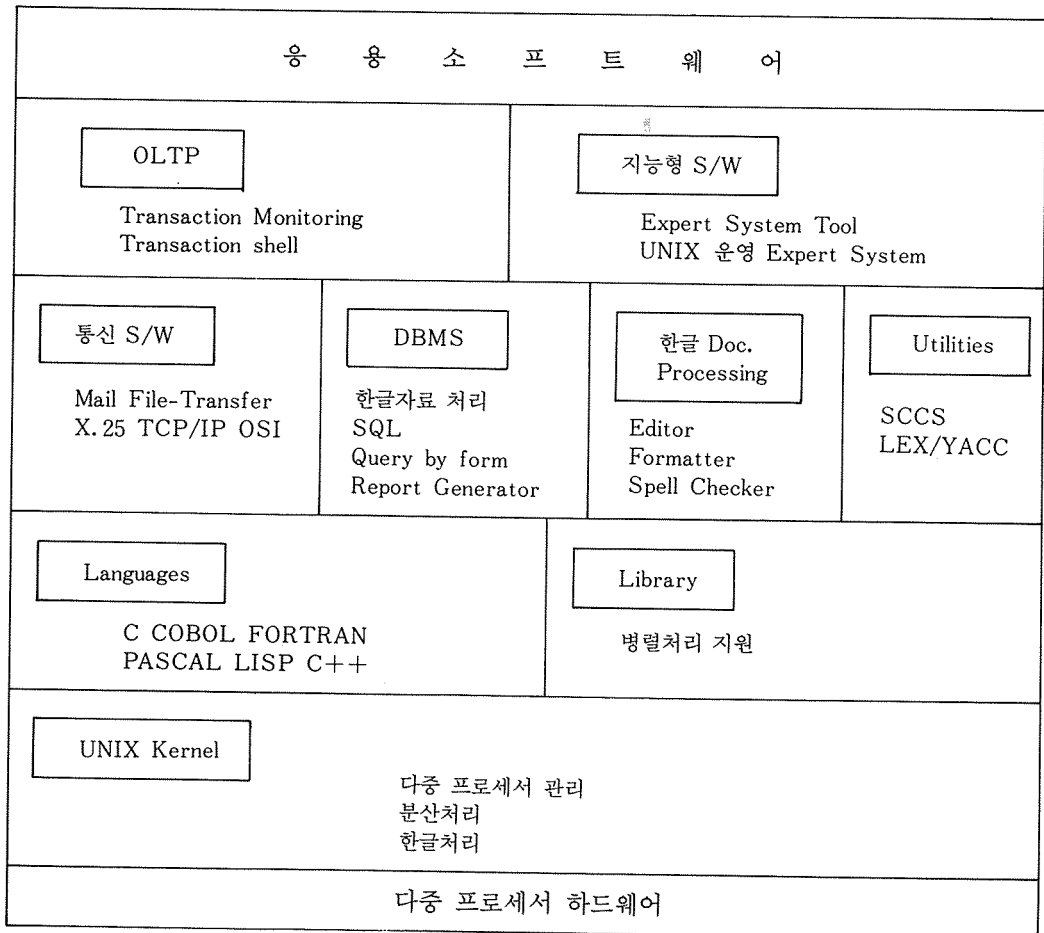


그림 3. 목표시스템의 소프트웨어 구성도

에 여러 가지 소프트웨어를 구현하는 체계를 갖는다(그림 3).

3. 하드웨어 아키텍처

가. 개요

목표 시스템은 상용화된 32비트 마이크로 프로세서를 사용하며, 고성능의 시스템 버스를 바탕으로 공유 메모리(shared memory)를 갖는 tightly-coupled 다중 프로세서 시스템이다. 프로세서는 2개에서 20개까지 사용 가능하고 각 프로세서는 캐쉬(cache)를 갖는다. 공유 메모리는 16메가 바이트에서 최대 512메가 바이트까지 사용할 수 있으며, 대용량 기억장치(mass storage)와 기타 입출력 장치를 위해서 인텔리전트 입출력 프로세서(I/O processor)를 사용한다. 그리고, 입출력 부분은 표준화된 32비트 VME 버스(IEEE P1014)를 부버스(sub-bus)로 사용한다. 다른 기종간의 통신도 가능하도록 LAN(ethernet)과 공중망 통신(X.25)을 위한 하드웨어를 지원한다.

나. 구성

목표 시스템의 하드웨어는 시스템 버스, 시스템 콘트롤 보드, 프로세서 보드, 메모리 보드, 인텔리전트 입출력 프로세서 보드, 입출력 콘트롤 보드, 입출력 장치 등의 유니트들로 구성된다.

1) 시스템 버스

- 전송속도 : 100메가 바이트/초
- 64비트 데이터와 32비트 어드레스
- 고성능을 위한 버스 프로토콜 제공
 - synchronous, nonmultiplexed, pended protocol
- 슬롯 수 : 21개
 - CPU와 입출력 보드를 위해서 12슬롯이 제공되고, 슬롯의 위치는 변경 가능
 - 메모리 보드는 8장까지 사용 가능하며 슬롯은 고정
 - 시스템 콘트롤 보드는 1장으로 슬롯은 고정
- 다중 프로세서 지원
 - 캐쉬 coherency 프로토콜 제공
 - dynamic 하드웨어 인터럽트 분배 지원
 - confliction 방지를 위한 fair arbitration

제공

○ 신뢰도를 높이기 위한 에러 발견 기능 제공

2) 시스템 콘트롤 보드

시스템 콘트롤 보드는 시스템 버스의 관리, 시스템 start-up 및 diagnostics 기능들을 제공한다.

○ power up 또는 시스템 reset 후 시스템 diagnostics 기능 수행

○ 시스템 전원과 온도의 environmental monitoring

○ local 및 remote 콘솔 터미널 인터페이스 제공

○ 버스 clock 제공

○ time slice interval timing과 time-of-day clock 제공

○ 시스템 start-up 기능 제공

○ battery back-up(non-volatile RAM) - 시스템 configuration 테이블 제공

○ 시스템 reconfiguration 기능 제공

○ front panel 스위치 및 indicator 인터페이스

3) 프로세서 보드

하나의 CPU는 MC68030(Motorola Inc.), floating-point coprocessor, 캐쉬(64K 바이트) 등으로 구성되며 한 프로세서 보드는 2개의 같은 CPU를 갖는다. 한 시스템에 최대 10장의 프로세서 보드를 장치할 수 있고, 이들은 서로 동등한 자격을 갖고 동작한다. 그리고, 다중 프로세서 지원 기능 및 자체 진단 기능을 가지고 있다.

4) 메모리 보드

메모리 보드는 1메가 비트 또는 4메가 비트 RAM 칩의 선택에 따른 확장성을 고려하며, 1메가 비트 칩 사용시 보드당 16메가 바이트로 8개의 메모리 보드에 최대 128메가 바이트를 갖고, 4메가 비트 칩을 사용할 때는 보드당 64메가 바이트가 된다. 각각의 보드는 메모리 뱅크(bank)사이에서 multi-way interleaving 기능을 가지며 64비트 데이터 전송으로 최대 100메가 바이트/초의 전송 속도를 갖는다.

5) 인텔리전트 입출력 프로세서 보드

시스템 버스와 입출력 부버스(VME 버스)의 연결을 위한 기능을 제공하며, 고속의 입출력 장치와 연결되는 대용량 기억장치 콘트롤러, 터미널, LAN

및 X.25 등의 접속장치를 사용함에 있어 프로세서의 부담을 줄일 수 있도록 인텔리전트 기능을 갖는다.

6) 입출력 컨트롤러(VME 버스용)

대용량 기억장치의 입출력을 위한 디스크와 MT 컨트롤러, 터미날 등의 직렬 입출력을 위한 직렬 입출력 컨트롤러, 다른 시스템이나 공중망에 연결할 수 있는 LAN 및 X.25 인터페이스가 가능한 컨트롤러들을 제공한다.

7) 입출력 장치

입출력 장치로는 터미날, 디스크, MT, line printer, LBP (Laser Beam Printer) 등을 제공한다.

4. 소프트웨어 아키텍처

가. 개요

목표 시스템의 소프트웨어는 다중 프로세서 하드웨어 위에 한글처리기능과 분산처리기능을 지원하는 커널이 올라가 있으며, 커널 위에 네트워크 소프트웨어, 데이터 베이스 관리 체계, 프로그래밍 언어, 지능형 편집기, 병렬 처리를 지원하는 라이브러리 및 기타 유틸리티들이 이식되어 있고, 그 위에 트랜잭션 처리, 지능형 소프트웨어 및 기타 여러 응용 프로그램들이 올라가 있다. 다음은 목표 시스템 소프트웨어 주요 블록에 대한 기술이다.

나. 구성

1) 운영 체제

목표 시스템의 운영 체제가 제공하는 주된 기능들은 다음과 같다.

가) UNIX의 호환성

UNIX System V Rel. 3.1에서 제공하는 주요 사용자 인터페이스, networking capabilities, 그리고 유틸리티 프로그램들을 제공한다. 기본적으로 운영체제는 AT & T의 SVID(System V Interface Definition)를 만족하도록 한다.

나) 다중 프로세서하에서의 다중 처리 지원

모든 프로세서에서 커널 및 사용자 프로그램들의 수행이 가능하고, 인터럽트 처리가 가능하며, 프로세서 사이의 load balance를 고려하여 프로세스들을 scheduling 한다.

다) 가상 기억장치 관리 지원

각 프로세스당 4기가 바이트의 가상 기억 공간을 제공하는 demand-paged 가상 기억장치 관리 방식을 사용한다.

라) 분산처리 지원

분산처리 지원을 위해서 다음과 같은 기능들이 제공된다.

ORFS 이상의 분산 기능을 제공하는 분산 화일 시스템

○프로세스 이주 지원

○remote file access와 remote procedure call을 위한 IPC 제공

마) 트랜잭션 처리 지원

바) 신뢰성(reliability) 및 비밀성(security) 보장

사) fault tolerancy 지원

아) 병렬 프로그래밍 및 병렬 처리 지원

병렬 프로그래밍 및 병렬 처리를 지원하기 위해서 semaphore, spin lock, event, barrier 등과 같은 동기화(synchronization) 기법들과 multitasking을 지원하는 기능들을 제공한다.

자) 한글처리지원

한글화일처리 지원, shell 및 각종 명령어들의 한글화, 한글전자우편 및 기타 한글 응용 소프트웨어 처리 기능들을 제공한다.

2) 프로그래밍 언어

목표 시스템은 C, Fortran-77, Cobol, Pascal, Basic, Concurrent-C, C++, 한글 Common Lisp, C cross-compiler 등 다수의 프로그래밍 언어를 제공한다.

3) 유틸리티

가) powerful command 언어 제공

한글 및 병렬처리 가능한 sh, csh, ksh들을 제공한다.

나) text editor 제공

ed, vi, emacs, 한글 vi, 한글 ed 등 여러 가지 text editor를 제공한다.

다) general purpose tool과 시스템 서비스 제공

UNIX System V에서 제공하는 runtime 라이브러리가 제공되고, automatic reconfiguration

및 automatic bootstrap을 지원한다.

라) symbolic, absolute 및 병렬 디버거 제공

마) 병렬 유틸리티 프로그램 제공

바) X-window 시스템에 한글처리 기능 추가

사) word processor 제공

kwd, troff, nroff, ditroff, htroff 및 한글 nroff, 한글 spell, 한글 사전 등을 제공한다.

아) 지능형 소프트웨어

UNIX 운영 보조 전문가 시스템, 전문가 시스템 구축 도구, 한글 지능형 편집기 등을 제공한다.

4) 통신 시스템

통신 구조의 계층별 프로토콜(ISO, TCP/IP)을 지원한다. 다른 시스템들과는 LAN을 통하여 연결할 수 있고, internetworking을 위한 gateway를 통하여 다른 네트워크(LAN to DACOM PDN, LAN to IBM SNA)에 연결할 수 있다.

5) 한글 DBMS

목표 시스템의 한글 DBMS는 다음과 같은 기능을 제공한다.

○SQL 지원 기능

○관계형 보고서 작성 기능 제공

○사용자 인터페이스 지원 기능

○MOS, DOS, 한글 UNIX 환경에 맞는 액세스 기법(C-ISAM)을 제공

○C 프로그램 언어에서 DBMS를 사용할 수 있게 지원

6) 트랜잭션 처리

트랜잭션 처리시에 data integrity와 fault tolerance를 보장해 주기 위한 기능들이 데이터 베이스 관리 체계 또는 트랜잭션 처리 지원 소프트웨어 package에서 제공되어야 한다.

참고문헌

1. 행정전산망 주전산기 사용자 요구서, 데이콤 설계 870325-272, 데이콤(주), 1987.
2. 행정전산망 주전산기 개발 사업 계획서, 한국전자통신연구소, 1987.
3. 행정전산망 주전산기 요구 규격서, 행정전산망 주전산기 개발본부 TD87-1710-79, 한국전자통신연구소, 1987.
4. 행정전산망 주전산기 시스템 규격서, 행정전산망 주전산기 개발본부 TD87-1710-60, 한국전자통신연구소, 1987.

