

## ASIC의 理解와 設計

ASIC의 回路規模는 해마다 일방적으로 늘어나기만 한다. 大規模化하는 수요에 대응하여 半導體 메이커는 數萬 게이트 以上の ASIC를 開發할 수가 있는 체제구축을 서두르고 있다. 대 규모로 ASIC을 開發함에 있어 라이브러리 內의 메가셀이라든지 모듈 제너레이터 등을 잘 사용하여 어려운 大規模 論理設計의 生産性을 여하히 높이느냐가 열쇠가 되고 있다.

「1,000萬 트랜지스터의 시스템 ULSI를 여하히 設計할 것인가.」 1990년대를 겨냥한 LSI開發의 議論이 활발해지고 있다. 1,000萬 트랜지스터라고 하면 汎用인 中型컴퓨터의 CPU가 온통 들어갈 수 있는 集積度가 된다.

물론, 지금 당장은 아니다. 그래도 2~3년 내에는 우선 100萬 트랜지스터 규모의 ASIC (特定 用途用 IC)가 수요자 자신의 손으로도 設計할 수 있게 될 것 같다. (圖 1) 10萬 게이트를 웃도는 回路規模이다.

이미 實質 數萬 게이트 상당의 回路를 짤 수 있는 商用 게이트 어레이 LSI가 등장하고 있다. 이 程度가 되면 모름지기 Chip (Silicon) 위에서 시스템을 設計한다는 느낌이 된다. 이른바 「System on chip」이다. 大規模 ASIC를 開發할 수 있는 時代를 予告하고 있다.

### 1. 대규모의 Needs 는 높아지기만

自社の 裝置, 機器에 장착하기 위해 User 가

獨自的인 ASIC을 開發하는 것은 이제 他社製 品과의 差異化를 꾀하는 상투적인 수단이 되고 있다. 더우기 ASIC의 효력을 높이기 위해 大規模化의 Needs가 높아지기만 한다.

「최근 1년간, ASIC의 回路規模가 상승하는 양상은 놀랄뿐」이라고 豫상을 웃도는 大規模化의 속도에 놀라는 User와 半導體 Maker가 많다.

그런데 지금까지 ASIC化의 대상이 된 것은 中小規模의 標準IC로 짜여지는 雜回路, 즉 Glue 回路가 대부분이었다. 이 수요가 제일 많은 것은 3,000게이트 전후의 回路로 그다지 大規模가 아니다. (圖 2의 左側 피크). 그런데 최근 이와는 별도로 새로운 수요의 피크가 나타났다. 이 피크値는 높아지기는 하지만 回路規模가 大規模化로 해마다 크게 바뀌고 있는 것이 특징이라 할 수 있다. (圖 2의 右側의 피크), 현재 1萬게이트 근처가 될 것이다. 이 규모의 ASIC 라고 하면 시스템 레벨의 回路를 集積할 수 있다. 이른바 시스템 LSI이다.

大規模化 指向이 강한 美国市場에서는 「需要의 피크位置 (回路規模)는 최근 1년간에 1萬게이트에서 2萬게이트로 옮겨졌다.」(東芝)라고 한다. 비교적 小規模의 ASIC의 需要밖에 없다고 본 일본의 某OA機器 메이커에서도 「1년 전에 豫상조차 하지 못했던 1萬게이트를 넘는 ASIC의 設計가 속출하고 있다」면서 놀라고 있다.

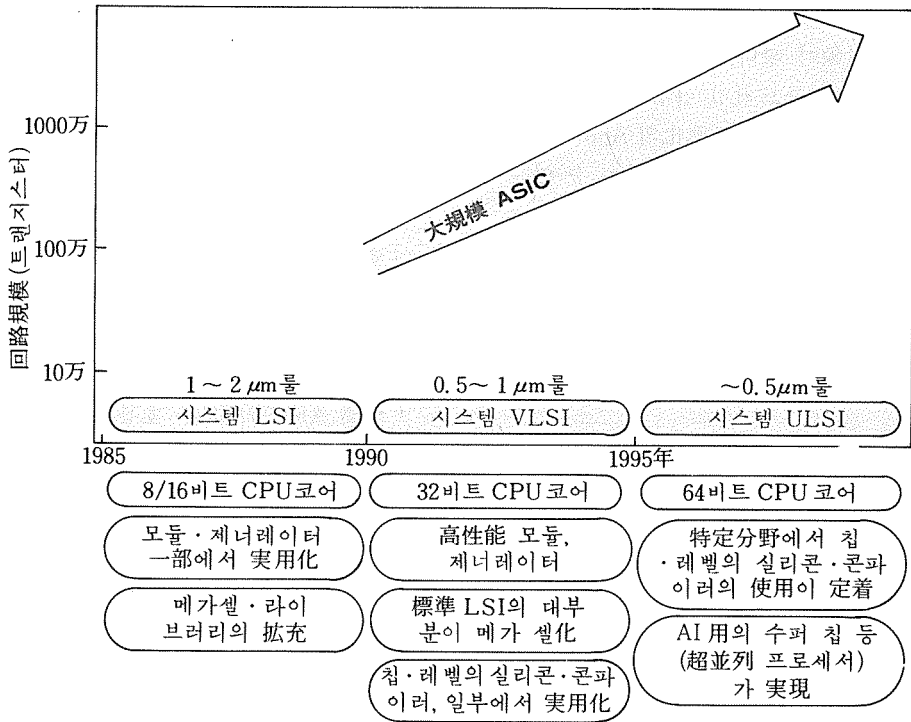


圖 1. 大規模 ASIC 時代로

安定된 서브미크론 CMOS 技術이 ASIC에 適用되는 1990年 경이 大規模 ASIC의 本格的인 離陸時가 될 것이다. 高集積能力의 Back up으로 難關의 大規模 論理設計가 余裕을 가지고 展開할 수 있게 되기 때문이다.

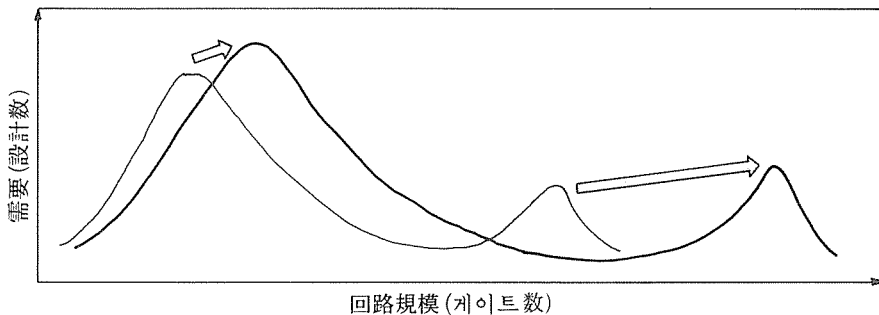


圖 2. ASIC의 需要傾向

두개의 피크가 있으며 해마다 回路規模는 커지고 있다. 2,000 - 1만 게이트 規模의 ASIC의 需要가 圧倒的으로 많으며, 今後에도 그같은 傾向은 바뀌지 않을 것으로 본다. 또 하나의 피크는 需要도 그다지 많지 않으나 高集積化 技術을 타고 回路規模는 점점 커지고 있다.

실적으로 最大規模라고 하면 數萬게이트 클러스의 ASIC도 그다지 진귀하지 않게 되었다. 예를 들면 일본의 야마하와 富士通 제너럴은 7萬 게이트의 文字多重放送用 ASIC을, 三洋電機는 5萬게이트의 G3 팩시밀리용 ASIC을 開發, 商

用裝置의 4型化, 高機能化를 달성했다.

거기다가 10萬~100萬게이트 클러스의 본격적인 大規模 ASIC에 對한 潛在需要도 상당히 있다. 특히 많은 요구를 받고 있는 것은 專用 프로세서의 분야이다.

画像処理用, 데이터베이스用, AI用 등의 각종 프로세서가 대상이 된다. 이들 專用 프로세서는 高速化 指向이 두드러진 만큼 Software 處理의 Hardware化, 並列處理化의 Approach 를 채용하는 경향이 있다. 칩속에 넣을 수 있는 回路量은 많으면 많을수록 좋은 셈이다.

현존하고 있는 OA機器에서도 「콕시밀리의 ASIC化 窮極은, 모든 回路를 1 칩화하는 것」(리코)이라 일컬어지고 있듯이 그 需要는 얼마든지 있다고 할 수가 있다.

## 2. 大規模 ASIC의 初期製品 나돌다

이와 같은 大規模化의 요구에 부응한 ASIC 製品이 美·日·歐의 半導체 메이커로부터 발표되기 시작했다. 1.0~1.2 $\mu$ m CMOS 技術을 응용, 잘 설계하면 數萬~10萬 게이트의 LSI 를 실현할 수가 있다.

최근 大規模 ASIC의 設計方式· 回路構造는 Channelless型 게이트 어레이와 Building block 型 Standard cell의 두 종류로 좁혀지고 있다.

게이트 어레이는 Channelless 構造와 微細化 技術로 使用可能 게이트 數는 일거에 2~3 배로 惝惝 뛰었다. 東芝, 富士通, 美 LSI Logic Corp., 美 Motorola Inc. 등이 발표한 Channelless型 게이트 어레이는 50萬 이상의 트랜지스터를 Chip 全面에 깔아 놓은 構造를 취하고 使用可能 게이트 數는 5萬을 넘는다고 한다.

Standard Cell은 빠르면 今年中에도 富士通, 東芝, 美 Intel Corp., 美 Texas Instruments Inc. 등에서 1 $\mu$ m CMOS 版의 서비스가 시작된다. 回路의 微細化에 따라 block(Cell) Size가 적어져 building block 方式의 設計가 機能을 發揮할 수 있는 영역으로 들어왔다고 할 수가 있다.

다만 이들은 본격적인 大規模 ASIC라고 말하기에는 약간 부족하다. 設計가 용이하다는 관점에서 10萬 게이트 以上 規模의 回路를 1 Chip 內에 여유를 가지고 집어 넣을 수가 있는 集積能力이 필요하기 때문이다. 이에는 安定된 서브미크론 CMOS技術이 ASIC에 적용되는 것

을 기다리지 않으면 안될 것이다. 大規模 ASIC는 射程距離내에 들어 갔으나 진짜는 1990년 전후라 할 수 있다.

## 3. 論理設計의 어려움

아뭏든 90년 전후에 大規模 ASIC의 舞台는 갖추어질 것임이 틀림없다. 問題는 그렇게 된후 어떻게 연출하느냐이다. 즉 設計를 어떻게 하느냐이다.

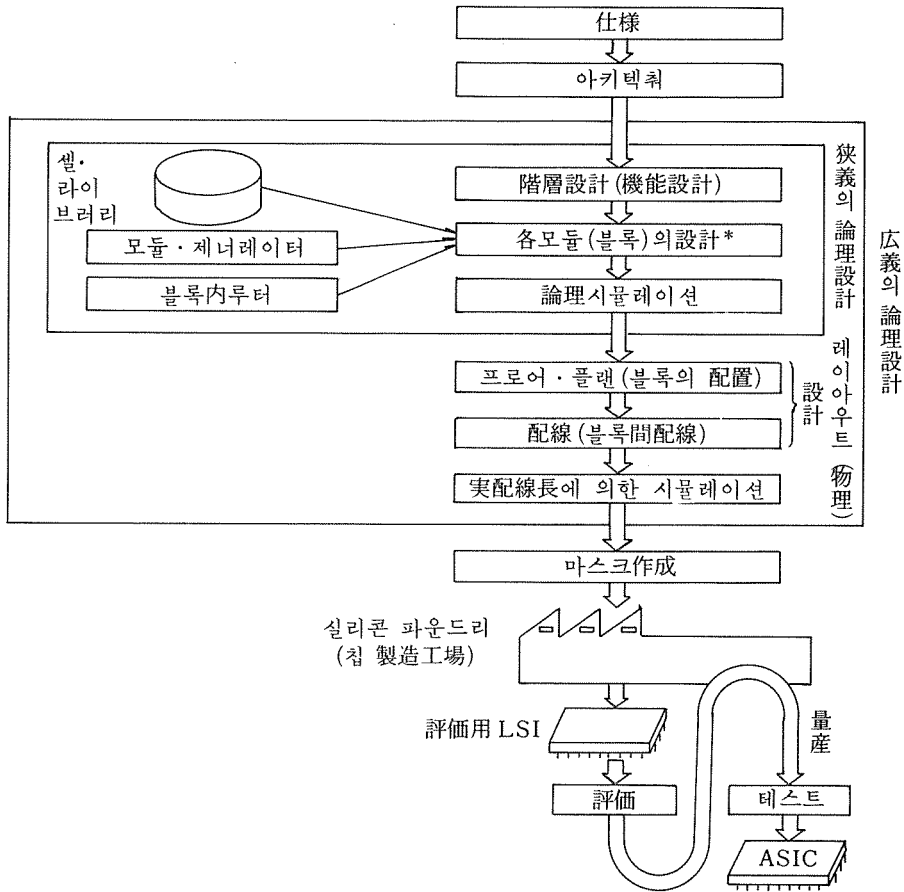
大規模 ASIC의 開發 흐름을 圖 3에 표시한다. 종전의 中小規模의 ASIC와의 큰 차이는 大規模化에 따라 上流工程의 論理設計에 방대한 工數를 요하는 것이었다. 이에 대해 下流工程의 제조기간은 해마다 단축되고 있다. 예를 들면 富士通의 Channelless型 게이트 어레이의 製造期間(圖 3에 있어서 実配線 시뮬레이션의 完了로부터 評價用 LSI의 엔지니어링 샘플을 入手하기까지)는 겨우 4 주일로 끝난다고 한다. 製造 프로세스가 많은 Standard Cell 方式의 LSI에서도 製造期間은 게이트 어레이의 3倍 程度이다.

그런데 5萬 게이트 전후의 ASIC의 開發例를 보면 이의 開發期間은 반년가까이 요하는 것이 많다. 이 가운데는 1년이나 걸리는 것도 있다. 이것은 回路가 大規模化하면 여하히 論理設計가 어려운가를 말해주고 있는 것이다. 과장해서 말하면 大規模 ASIC라기도 한다면 開發期間은 広義의 論理設計期間(圖 3)이라 아니할 수가 없다.

## 4. 大規模 Software 設計와 유사

손이 가는 論理設計를 정확하게 여하히 빨리 하느냐가 지금부터의 大規模 ASIC 開發의 最大 關鍵이다.

그러면 어떻게 할 것인가. 분명히 말할 수가 있는 것은 數萬 게이트 相当 以上의 回路, 그것도 論理回路가 많을 경우, 트랜지스터 레벨 커녕 게이트 레벨로 入手하여 設計하는 것은 어렵다. 性能이 Critical한 部分에 이와 같은 레벨의



\* 新規設計의 각 블록에 대해서는 레이아웃, 設計와 論理시뮬레이션 등을 이 Phase로 한다.

圖 3 大規模 ASIC의 設計플로

論理回路가 大規模化함에 따라 相對的으로 論理設計비중이 增加한다.

設計가 남는 일이 있더라도 早期 開發을 指向하기 위해서는 어떠한 별도의 손을 쓰지 않을 수가 없다.

그래서 생각되는 것이 大規模 Software에서의 設計手法을 참고로 하는 것이다. 共通의 問題를 많이 안고 있기 때문이다.

먼저 自動設計에 기대하고 싶다. 設計仕樣을 부여하면 自動的으로 Mask 作成까지(圖 3의 廣義의 論理設計)를 해주지 않을까 생각한다. 이른바 실리콘 콤파인레이션이다. 그런데 大規模論理(시스템) 전체에 이것을 적용하는 것은 Software 設計에 있어서의 自動 Programing과 마찬가지로 현재로는 불가능에 가깝다. 장래

도 낙관할 수가 없다. 된다고 하더라도 適用 領域은 한정될 것이다.

현실적인 Approach라고 한다면 設計資産의 再利用이라든지 Compiler 技術에 의존하고 싶다. Software 設計에서 Package Soft의 利用과 第4世代言語의 使用이라고 생각을 하면 된다.

ASIC에 있어서의 設計資産 再利用은 Building block型 Standard Cell이 그 立場의 設計手法이다. 과거에 設計한 Block(Cell)을 라이브러리로 登錄을 해 두고 이들의 Block을 쌓아 올려서 LSI 回路를 構築하려는 方法이다. 여기서 重要한 것은 ASIC의 새얼굴로서 등장해온

Channelless型 게이트 어레이는 Building Block 設計에 맞는 回路構造로 되어 있는 것이다. 이 때문에 게이트 어레이에서도 Building Block 型 Standard Cell과 거의 같은 論理設計手法를 採用할 수 있게 되었다.

또 하나의 Compiler 技術은 前述한 바와 같이 칩 전체를 對象으로 한 理想的인 실리콘 콤파이레이션은 無理라고 하더라도 規制的인 回路構造의機能 Block을, 對象으로서는 Module Generator라는 形態로 사용되기 시작했다.

이 두가지 設計環境의 整備는 아직 충분하지는 않지만 大規模 ASIC을 향해 開發이 급피치로 추진되고 있으므로 전망이 어둡지는 않다. 특히 여기서 強調하고 싶은 것은 서브미크론 CMOS의 高速 및 高集積 能力의 Back up로 이와 같은 設計의 自由度가 크게 넓어진다는 것이다. 다만 귀찮은 문제를 많이 안고 있는 것도 사실이다. 以下 이들에 대해 자세히 알아보기로 한다.

## 5. 標準 LSI로부터 라이브러리화

ASIC 設計가 어떤 規模 이상이 되면 階層設計(圖3의 狹義의 論理設計 內)를 취하지 않을 수가 없다. 여기서는 機能的으로 어떤 한덩어리의 Block이 몇개 생긴다. Building Block 型 Standard Cell 方式의 LSI Chip을 보면 그같은 機能 Block이 배치되어 있음을 알 수가 있다.

機能 Block 가운데 再利用의 可能性이 높은 것이 셀 라이브러리에 등록되는 후보가 된다. 論理設計의 生産性を 가일층 향상시키기 위해서는 回路規模가 큰 Block(메가셀)을 登錄해주기 바란다. 그래서 메가 셀로서는 마이크로 프로세서(의核), 마이크로 프로세서의 周辺 등 標準 LSI로서 잘 알려진 機能 Block으로부터 라이브러리화가 진전되고 있다. 더우기 ASSP 그 자체를 메가 셀로서 등록하는 움직임도 있다. 수요자가 設計한 Block을 將來를 위해 登錄하는 것도 앞으로 늘어날 것 같다.

## 6. 互換性이 부족한 메가 셀

이와 같은 메가 Cell을 바탕으로한 LSI 設計는 종전의 보드 設計와 닮았다. 標準 LSI 대신에 메가 Cell을 사용하여 SSI와 MSI로 짜는 回路部分은 対応하는 라이브러리 셀로 回路를 짤 수가 있다.

그런데 막상 設計를 하려고 하면 그렇게 잘 되는 것은 아니다. 먼저 어려운 것은 현재, 메가 셀의 種類가 적고 여러가지 종류가 갖추어지는 것이 이제부터라는 단계인데, 다른 半導體 메이커간에는 互換性이 없는 것이다. 보드 設計일 때는 複數의 半導體 메이커의 標準 LSI를 이용할 수 있었는데 對應해 Chip 設計에 있어서의 메가 셀은 대개의 경우 特定の 半導體 메이커의 것밖에 사용할 수가 없다. 특히 메가 셀을 하드 매크로로서 즉 레이아웃된 마스크 패턴의 형태로 再利用하고 싶을 때는 같은 디자인 룰이 아니면 안된다.(圖4). 같은 메이커의 것이라도 微細化 하면 互換性이 없어지는 것이다.

그런데 메가 셀(하드매크로)을 開發하는 것은 標準 LSI와 같은 노력을 要하는 만큼 1社만으로 준비를 하는데는 한계가 있다. 그래서 共同戰線을 짜는 움직임이 활발하다. 東芝, 美 GE社, 西獨시멘스社의 3社 聯合과, 美인텔社, 美TI社의 2社 聯合 등이 그것으로, 셀 라이브러리를 分担하여 開發하려고 하고 있다. 다만「他社에서 開發한 메가 셀은 그대로는 流用할 수가 있다」는 소리도 있듯이 共同開發은 대단히 어렵다.

또 메가 셀을 여러 종류를 갖추는데 있어서 난제가 되고 있는 것이 知的所有權의 問題이다. 業界標準이 되고 있는 마이크로 프로세서와 周辺 LSI의 메가셀화의 요망은 대단히 높다. 그런데 이들의 소유자인 美半導體 메이커는 특히 마이크로 프로세서의 메가 셀화에 대해 좀처럼 라이선스를 부여하려고 하지 않는다.

이와 같은 문제가 있고 하여 메가 셀 라이브러리의 開發은 약간 踏歩狀態로 충분히 갖추었다고 하기에는 아직도 2~3년이 걸릴지도 모른다.

## 7. 쓸만한 Compiler

메가 셀 라이브러리가 충실하면 論理設計의 生産性이 상당히 올라갈 것이다. 많은 메가 셀은 標準 LSI의 복사판이므로 종전의 아키텍처를 답습한 시스템은 라이브러리의 이용이 상당히 진전될 것 같다. 그러나 언제든지 메가 셀을 사용할 수 있는 것이 아니다. 새로운 아키텍처에 의거한 시스템이나 高性能化를 추구하는 시스템에서는 요구하는 機能에 상응하는 Block (Cell)을 라이브러리에서 찾아볼 수 없는 일이 많다.

그래서 기대하고 싶은 것이 실리콘 Compilation이다. 美 Silicon Compiler Systems Corp.의 Genesil과 같은 Compiler가 어느 정도 사용할 수 있을 것인가가 걱정된다. 獨立系 디자인 센터인 LSI 테크놀로지社는 「작년까지는 흥미의 눈으로만 보고 있었으나 최근에는 사용할 수 있다는 느낌을 갖게 되었다. 내년에는 어떻게 이용하는가를 具體的으로 檢討하겠다」고 한다. 評價에서 實踐으로의 단계로 옮겨가려고 하는 것이다. LSI의 디자인 룰로부터 獨立할 수 있는 것도 Compiler의 매력이 되고 있다.

簡易型 실리콘 Compiler라 할 수가 있는 모듈 제너레이터는 이미 일부에서 사용되고 있다. 비교적 小規模의 機能 Block의 마스크 패턴을 自動 生成해 주는 것이기도 하지만 대상이 되는 것은 規則的인 回路構造인 RAM, ROM, PLA, 乘算器 등에 限定되고 있다. 이들은 파라미터 指定이 가능한 메가 셀(하드매크로)라고 말하는 것이 좋을지도 모른다.

좀 더 진보된 Compiler로서 데이터 패스제너레이터가 있다. ALU, 멀티플렉서, 시프트, 레지스터 등을 構成要素로 한 비교적 큰 機能 Block의 마스크 패턴을 자동 생성하는 것이다. 각 구성요소는 비트 슬라이스的인 回路構造로 되어 있다. 일부에서 實用化가 시작되었다.

이와 같이 實用 레벨의 Compiler는 현재, 論理合成이나 레이아웃이 容易한 機能 Block의 生成에 한정되어 있다고 할 수가 있다.

## 8. System과 LSI의 知識이 必要

이와 같은 메가 셀과 Compiler를 利用함으로써 生産性의 向上을 기대할 수가 있으나 실제의 대규모 ASIC의 論理設計에서는 여하히 階層設

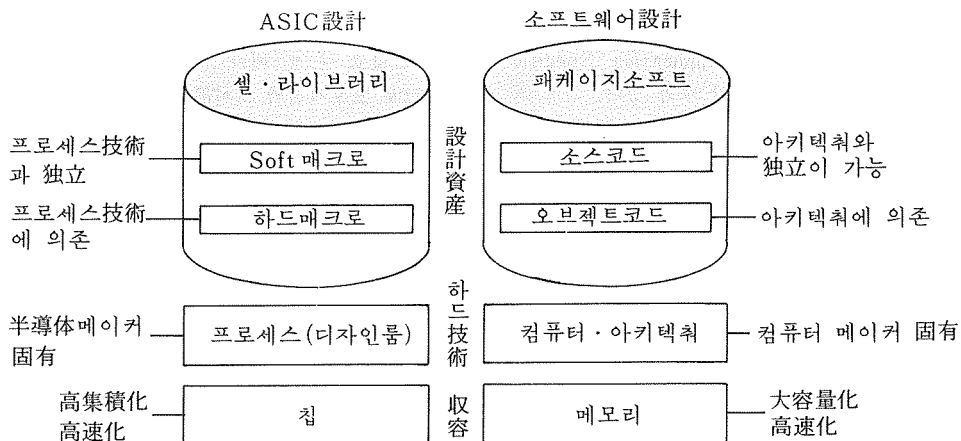


圖 4 ASIC 設計와 Software 設計

設計資産을 再利用함으로써 設計의 生産性 向上을 꾀한다. 셀이 하드매크로 (마스크·데이터)의 형태이면 프로세스 技術에 의존하여 流通性이 부족하나 生産性 向上을 겨냥할 수 있는데다 칩 내의 収容面積을 작게 할 수가 있다. 論理記述에 그친 소프트웨어 매크로(네트리스트)이면 프로세스 技術과는 獨立한다. 이들은 컴퓨터, 아키텍처와 소프트웨어와의 관계와 흡사하다.

計 속에서 사용하느냐가 열쇠가 된다.

시스템 아키텍처의 단계에서 이들을 사용할 수 있도록 배려해야 한다. 아키텍처에 의거하여論理를 機能分割하여 나가는 과정에서 라이브러리의 메가 셀이나 모듈(데이터 패스) 제너레이터 등을 잘 적용할 수 있도록 하지 않으면 안 된다.

大規模 ASIC의 階層設計에서 어려운 것은 機能分割에 의한 論理 Block과 레이아웃에 적합한 物理 Block이 반드시 일치한다고는 볼 수가 없다. 兩者가 잘 결합하도록 後工程의 레이아웃을 염두에 두어 機能分割을 추진할 필요가 있다. 機能分割하여 얻어진 論理 Block은 레이아웃 処理를 하여 物理 Block(마스크 패턴)에 변환한다. 이때 메가 셀이나 Compiler가 사용되면 論理設計의 부담이 대폭적으로 경감해지는 셈이 된다.

더우기 소프트웨어의 階層設計에는 없는 까다로운 問題에 봉착한다. 몇개의 物理 Block을 작은 칩내에 들어가도록 하지 않으면 안되는 것이다. 물론 이들의 Block間을 配線하는 領域도 마련해 놓지 않으면 안된다. 시스템 VLSI라든다면 칩 사이즈는 最大 사방 14cm 角까지 허용될지 모르지만 칩의 수익성이라는 점에서 칩 사이즈는 가급적으로 작게 하고 싶다. 이를 위해서는 칩상에서의 프로어 플랜을 配慮한 시스템 아키텍처 設計가 꼭 필요하다. 그래서 實際의 設計에서는 아키텍처에 의거한 機能(論理)分割과 프로어 플랜이 수반하는 物理設計를 몇 번이고 왕래하여 소망의 칩 사이즈와 性能을 지향하게 된다.

이와 같은 大規模 ASIC의 論理設計(圖 3의 廣義의 論理設計)는 시스템仕様과 LSI 技術의 쌍방을 잘 알고 있는 슈퍼맨이 아니면 좀처럼

## ASIC 란 ?

ASIC은 特定用途용의 IC를 의미하지만 그 内容은 분명하지가 않다. 여기에서는 메모리와 마이크로 프로세서와 같은 汎用性이 높은 標準製品에 對應하는 IC로서 자리를 굳히고 있다.

누가 무엇때문에 開發했느냐에 따라 USIC(User Special IC)와 ASSP(Application Specific Standard Product)로 分類할 수가 있다.

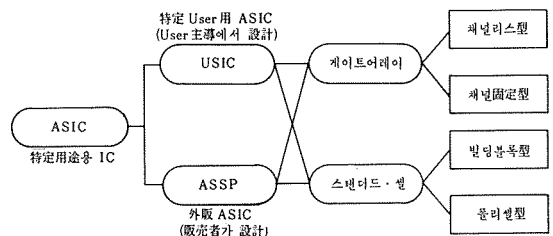
USIC는 수요자를 위한 오리지널 ASIC로 수요자 자신의 손으로 설계하는 일이 많다. 이에 따라 일반적으로 市販되는 일은 없다. 한편 ASSP는 처음부터 外販을 목적으로 개발한 ASIC로 대부분 標準製品으로서의 性格이 강하다. 판매측(반도체 메이커와 디자인센터)이 설계를 담당한다.

ASIC은 또 設計手法·設計工程의 차이로부터도 나눌 수가 있다. 大規模 ASIC를 對象으로 하면 거의가 게이트 어레이 방식이나 스탠더드 셀 방식을 적용한다. 게이트 어레이는 칩상에 미리 게이트가 列狀으로 배치되고 있으며 여기에 配線함으로써 소망의 論理를 실현하는 방식이다. 지금까지 配線 領域(Channel)은 固定하여 설치하는 Channel 固定型이 대부분이다. 그런데 최근에는 칩 全面에 게이트를 깔고 필요에 따라 Channel을 확보한다. Channelless(Sea of gate)型이 大規模 게이트 어레이

이의 주류로 부상하고 있다.

Standard Cell은 라이브러리에 등록되어 있는 標準의 Cell을 사용하여 LSI 回路를 짜는 방식이다. Cell의 形狀에 따라 두개의 타입이 있다. 하나는 폴리 셀형으로 레이아웃을 용이하게 하기 위해 높이 방향의 일정한 Cell을 원칙으로 사용한다. 또 하나의 빌딩 블록형에서는 셀의 形狀에도 제약이 없고 큰 셀(메가 셀)도 사용할 수가 있다. 마이크로 프로세서의 코어部(CPU 코어)를 메가 셀로서 登錄할 수도 있게 된다.

최근에는 라이브러리 登錄된 標準 셀만이 아니라 모듈 제너레이터(셀 제너레이터)에 의해 生成된 셀도 사용하는 일이 많아지고 있다. 이에 따라 스탠더드 셀 방식이라고는 부르지 않고 셀베이스(드)방식이라 부르는 경우도 있다.



圖A 大規模 ASIC의 分類

(P. 71로 계속)

幅機能과 CMOS의 低消費 電流의 특색을 갖춘 디바이스인 BI CMOS에 대한 期待는 크다.

아날로그 디지털 混在技術로는 바이폴라의 IIL과 MOS의 MOS 리니어의 방법이 있지만 BI CMOS는 그 중간에 위치하여 양쪽의 특징을 가지고 있다.

또 EEPROM의 ASIC 應用에 대한 기대도 크다. 마이크로 프로세서에 EEPROM이 1Chip으로 구성되고 시스템이 動作中에 프로그램 變更이 자유로히 할 수 있으면 學習機能의 실현이 보다 現實的인 것이 되어 마이컴 ASIC의 보급이 한층 가속될 것이다. EEPROM 自身の 記憶保持時間과 書入回數에 관한 技術革新이 요망된다.

開發 인터페이스의 動向은 2極 分化가 進전될 것으로 생각된다. ASIC 開發需要에 比較하여 IC 技術者 부족의 상황은 ASIC가 필요한데서 IC 設計能力 부족이 發生, 이 경우는 User Maker Interface는 보다 仕様 레벨이 될 것이다. 한편 User가 IC 設計能力을 保有하는 것이 半導体 디바이스가 갖는 특색을 살려 商品의 差別化에 부응하는 길이기도 하며 이와 같은 경우에는 User Maker Interface는 보다 마스크

레벨로 옮겨갈 것으로 생각된다.

今後의 과제로서 디지털 IC 분야에서는 분명히 게이트 어레이에 의해 設計의 Back end (레이아웃 設計)로 IC 製造의 기간은 크게 단축되었으나 Front end設計(論理設計)에서는 충분하지 못하며 回路規模가 增大함에 따라 設計者의 큰 부담이 되고 있다.

한편 産業用 리니어 IC 분야에서는 디지털 IC 분야에서의 게이트 어레이에 相當하는 마스터 슬라이스(리니어 어레이라고도 부른다)의 시리즈화와 라이브러리의 整備 및 아날로그 IC設計用 CAD의 普及面에서 브레이크 드루할 課題가 있을 것 같다.

以上 産業用 ASIC의 展開와 導入 포인트에 대해 記述해 왔다. ASIC의 全 IC에 차지하는 비율은 1990년에 약 20% 정도이며 ASIC 그 자체가 半導体産業의 基幹이 되는 일은 없을 것이라고 일컬어지고 있으나 商品의 差別化 要求에 지탱되어 ASIC는 더욱 더 應用面에서 展開될 것으로 보인다.

ASIC化는 이제 막 시작했으며 장래 전혀 새로운 回路方式의 ASIC도 생길 것으로 본다.

## P. 66에서 계속

달성하기가 어려운 것이다. 시스템 設計者(User)와 LSI 設計者(주로 Maker)와의 提携Play가 중요해진다.

ASIC의 특징은 LSI 技術을 알지 못하는 시스템 技術者라도 設計를 할 수 있다는 것이지만 大規模 ASIC가 되면 理想대로 가지 않는 것이 現象이라고 말할 수가 있다.

LSI 技術의 노우하우를 여간해서 다큐멘트化하기 어려운 것도 이의 배경에 있다. 예를 들면 半導体 메이커가 提供하는 메가 셀은 라이브러

리로서 전부를 공개하지 않을 때가 많다. 다큐멘터化가 어려운 메가 셀은 User와의 共同設計의 過程에서 提供되는 셈이 된다. 또 소프트웨어(論理記述의 메가 셀)의 경우, 매크로 내부에 변경을 할 수가 있으나 User에 의한 操作은 일반적으로 허용되지 않는다.

LSI 技術을 알지 못해도 대규모 ASIC를 設計할 수 있도록 하기 위해서는 장래의 엑스파트 시스템에 期待할 수밖에 없다.