

# 컴퓨터 아키텍처의 發展과 韓國의 位置

李 萬 載

## 〈要 約〉

본 고에서는 컴퓨터 아키텍처의 최근 발전동향을 프로세서 아키텍처 기술과 병렬처리 기술의 관점에서 기술하였고 이에 대응하는 우리나라의 기술수준과 추진전략에 대하여 논의하였다.

## I. 서 론

컴퓨터 아키텍처는 일찍부터 컴퓨터 기술의 핵심역할을 맡아 왔었다. 60년대 이전의 컴퓨터 아키텍처는 IBM, CDC, UNIVAC 등의 메인프레임 기종의 컴퓨터 구조에 대한 것이었으며, 그 당시부터 형성된 아키텍처의 기본 개념은 Von-Neuman 아키텍처라는 용어로 대표되며 지금까지도 이보다 우월한 아키텍처를 완성하지 못한 현실이다. 다수의 미니컴퓨터 아키텍처 설계기술은 소수의 메인프레임 메이커에서 다

수의 미니컴퓨터 메이커로 확산되었으며 이는 다시 마이크로 프로세서의 출현으로 보다 많은 수의 반도체 메이커에게 전파되었다.

70년대 후반부터 컴퓨터용 마이크로프로세서 시장이 Intel, Motorola로 양분되고 VAX을 비롯한 몇몇 기종으로 수퍼 미니 컴퓨터 아키텍처가 고정되어 감에 따라 컴퓨터 아키텍처에 대한 실험기회가 줄어들었고 이에 따라 외형적으로 드러난 결과는 캐쉬나 가상메모리 등을 제외하고는 매우 드물었다. 컴퓨터 아키텍처의 발전은 80년대 초반에 대학이나 연구소등에서 기초 연구의 성격으로부터 점차 확산되기 시작하였으며 Dataflow머신의 구조연구 및 병렬처리의 주요 요소기술인 Interconnection Network, 그리고 다중 프로세서 기술 등의 점진적인 발전이 있어왔다.

80년도 후반에는 VLSI 기술의 보편화에 힘입어 RISC(Reduced Instruction Set Computer)

개념을 사용하는 칩들이 상용화됨에 따라 컴퓨터 아키텍처에 대한 관심이 크게 깊어졌다. 병렬처리분야에 있어서도 일본의 제5세대 컴퓨터 개발 프로그램의 추진과 더불어 MCC, 영국의 Alvey, 유럽공동체의 ESPRIT 등의 대형 프로그램이 계획 추진되었으며 이들 각 프로젝트에서 컴퓨터 아키텍처 개발은 매우 큰 비중을 차지하고 있다.

컴퓨터 아키텍처의 발전은 궁극적으로 계산능력(computing power)을 증가시키는데 그 목적이 있다. 계산능력을 증가시키는 방법은 본질적으로 두가지가 있을 수 있다. 하나는 프로세서의 처리속도를 빠르게 하는 것이며, 다른 하나는 여러개의 프로세서로 하나의 업무를 나누어 수행토록 하는 방법이다.

처음 방식은 대형컴퓨터나 초창기의 슈퍼컴퓨터를 그 예로 들 수 있다. 일반 컴퓨터에서 사용하고 있는 저속의 MOS나 TTL 소자가 아닌 고속의 ECL소자를 사용하고, 매우 복잡한 기능인 부동 소숫점 연산을 하드웨어로 직접 구현하여 처리속도를 빠르게 하는 등 첨단기술을 모두 사용하는 방식이다. 이와 같은 방식의 프로세서는 그 처리속도가 마이크로프로세서를 이용하는 컴퓨터에 비해 수백배 정도 빠르지만 그 가격은 수백만불 이상으로 그 보급에 있어 한계성을 갖고 있다. 또한 소자면에서의 "빛의 속도"라는 한계에 부딪쳐 더 이상의 성능개선을 위해서는 이와 같은 고속의 프로세서를 여러개의 사용하는 방식으로 다음 단계의 해결방법을 모색하고 있다.

두번째의 여러 프로세서를 사용하는 방식은 그 사용면에 따라 다시 두가지로 구분할 수 있다. 하나는 여러개의 프로세서를 사용되 한 프로세스가 하나의 프로세서만을 사용하는 경우 이를 다중프로세서(Multiprocessor)라 한다. 이 경우 여러개의 프로세서로 구성된 시스템을 여러 사용자가 동시에 사용할 때의 시스템 성능이 대형 컴퓨터를 여러 사람이 동시에 사용할 때의 대형컴퓨터 성능과 비교하여 결코 떨어지지 않는다. 단, 이러한 다중프로세서 시스템으

로는 하나의 프로세스가 하나의 프로세서만을 사용하므로 운영체계에 전반적인 수정을 가하지 않는 한 기본적인 처리시간의 단축에는 한계성을 갖고 있다. 두번째 방식 중 다른 하나는 여러개의 프로세서를 하나의 프로세스가 또는 한 사용자가 사용하는 방식으로 병렬처리(Parallel Processing)이라 불리우며 수백개 내지는 수만개의 프로세서를 동시에 사용 가능하나 아직까지는 특수응용분야에서만 활용이 가능한 상태이다.

본 고에서는 위에서 제시한 두가지 방식의 아키텍처의 발전을 우리나라가 개발하고자 하는 기술적인 사항과 연결하여 기술하고자 한다. 먼저 II 장에서는 프로세서의 개발 노력에 대해 RISC의 측면에서 기술하고, 다음 III 장에서는 다중프로세서 또는 병렬처리 방식에 대해 논하도록 하며 마지막으로 IV 장에서 결론을 맺도록 한다.

## II . RISC 기술

RISC(Reduced Instruction Set Computer)라는 용어는 버클리 대학의 RISC 프로젝트로부터 유행되기 시작하였으나 그 근원은 IBM의 801 프로젝트에 두고 있다. RISC의 근본원리는 자주 사용되는 명령어를 빠르게 수행토록 하고 자주 사용되지 않는 명령어는 과감하게 삭제함으로써 칩 내부의 로직기능을 단순화하여 전체적인 시스템 성능을 개선하도록 하는 것이다.

RISC를 실제로 구현하는 경우에 이의 특징으로 아래의 몇가지를 들 수 있다. 먼저 RISC에서는 대다수의 명령어를 한 사이클에 수행하도록 하기 때문에 기존의 프로세서에서 4~5의 사이클이 소요되는데 비해 수배의 성능개선효과를 얻게 된다. 이렇게 한 사이클에서의 명령어 수행이 가능하도록 하기 위해서는 파이프라인을 효과적으로 설계하여야 하며 이를 위하여 마이크로프로그래밍이 아닌 하드와이어드 로직을 사용한다. 또한 복잡한 어드레싱 모드는 한 사이클 수행이 불가능하므로 단순한 어드레싱 모드

만을 지원한다. 따라서 고급언어의 컴파일러는 명령어가 단순해짐에 따라 이를 처리해야 할 부담이 늘어나게 되어 Optimizing Compiler 또는 Code Reorganizer 등으로 그 기능이 강화되어야 한다.

80년대 초부터 버클리 및 스탠포드 등의 대학 연구실에서 활발히 진행되던 RISC 연구는 산업체에서 그 중요성을 인식하여 Fairchild사(현재는 Intergraph사)의 Clipper, AMD사의 AM29000, MIPS Technology사의 R2000 등으로 상용화 되었다. 또한 최근에는 반도체 메이커가 아닌 시스템 메이커에서 독자적인 RISC 컴퓨터 아키텍처를 설계하고 이를 구현하고자 하는 경향이 두드러지게 보이고 있다. Hewlett Packard사는 기존의 HP3000아키텍처를 새로운 Precision Architecture로 대체하였고, 계속 Motorola사의 마이크로프로세서를 사용하던 Sunmicrosystems사도 독자적인 SPARC(Scalable Processor ARChitecture)라는 아키텍처를 Sun 4 시스템부터 사용하고 있다. 또한 Apollo사와 Pyramid사 등도 새로운 아키텍처를 신제품에 사용토록 계획중이다.

최근 개발된 Motorola의 88000 등의 RISC칩들은 RISC의 기본 장점을 살린 후 이에 추가하여 캐쉬를 대규모로 사용하여 메모리 액세스 시간을 줄이고 있으며 종래에는 컴파일러에서 해결토록 되어 있는 레지스터 간의 interlocking 등도 하드웨어로 해결하는 등 VLSI 칩의 여유면적을 최대한도로 이용토록 하는 방향으로 발전되어가고 있다. 최근 새로 발표되는 아키텍처는 대부분의 RISC 계열이기는 하지만 모든 아키텍처 개발노력이 RISC에만 집중되어 있는 것은 아니며, 일본의 경우에는 TRON이라는 CISC (Complex Instruction Set Computer) 아키텍처를 이용한 칩을 개발하고 있다. 26개의 어드레싱 모드와 122개의 복잡한 명령어를 갖고 있는 TRON 아키텍처는 Fujitsu, Hitachi, Mitsubishi 등 일본의 유수 컴퓨터업체가 지원하고 있으며 이의 성패는 제품시장에서 결정될 것이다.

우리나라의 경우 독자적인 프로세서를 개발하려는 노력은 8048, 68000등 기존 메이커의 칩을 복제하려는 노력으로부터 시작되었으며, 이 경우 내부의 논리회로의 설계에 대한 부분적인 기술을 파악할 수 있었으나 컴퓨터 아키텍처 기술 개발에는 큰 도움을 주지 못하였다. 1986년 한국전자통신연구소에서는 독자적인 컴퓨터 시스템 개발기술을 확보하기 위하여 프로세서 설계 기술을 미국 AIT사로부터 습득하였으며 이를 기초로 하여 독자적인 프로세서 아키텍처인 HARP(High-performance Architecture for RISC type Processor)라는 아키텍처를 개발중에 있다.

현재 독자적인 아키텍처의 설계 및 구현 경험을 갖고 있는 국가는 미국, 일본 및 유럽의 수개국 뿐이며 현 시점에서는 유럽의 경우 영국의 Inmos사를 제외하고는 지속적인 연구투자를 꺼리고 있는 실정이다. 유럽공동체에서는 이와 같은 기술분야에서의 미국 및 일본의 독점을 방지하기 위하여 ESPRIT II 프로그램에서 European Microprocessor Initiative라는 프로젝트의 타당성을 검토하고 있는 것으로 알려지고 있다.

우리나라의 경우 반도체 제조공정기술은 4M DRAM개발성공 등 기술의 축적이 이루어진 셈이며 공정도 안정화된 상태이다. 그러나 메모리 설계 기술만으로 반도체 설계기술이 확보되었다고 할 수는 없으며 복잡한 논리회로 설계기술의 확보가 필요한 실정이다. 마이크로프로세서 설계기술은 이러한 면에서 컴퓨터의 전반적인 기술향상 뿐 아니라 반도체 설계기술을 한 단계 높이는데 큰 역할을 할 수 있을 것이다.

보다 순수한 의미의 병렬처리시스템은 컴퓨터의 사용목적과 이에 따른 프로그램에서부터 병렬성을 추구하여야 한다. 이러한 의미에서의 병렬처리컴퓨터는 제5세대 컴퓨터와 맥락을 같이 한다. 프로그램의 병렬성을 최대한 이용하기 위해서는 프로그램의 특성과 이를 컴퓨터가 알아듣도록 하는 프로그래밍 언어 그리고 이를 여러개의 프로세서에 나누어 주는 운영체제와

실제로 이를 처리할 하드웨어에 이르기까지 모든 단계에서 병렬성을 종합적으로 추구하여야 한다.

또한 미래의 병렬처리시스템의 특징은 처리하고자 하는 데이터가 수치위주에서 기호위주로 변화하는 특징을 갖고 있다. 병렬처리가 제공하는 계산능력을 필요로 하는 분야는 전문가 시스템이나 자연어 처리, 자동번역 등 기호가 차지하는 비중이 계속 늘고 있으므로 종래의 수치 처리에 적합하도록 설계된 프로세서로는 소기의 목적을 달성하기 어렵다. 따라서 Tagged Architecture, 타 프로세서와의 통신기능의 강화 기호처리와 병렬처리에 적합한 프로세서의 개발 등이 요구되고 있다.

일본의 경우 일찌기 이러한 접근방식의 중요성을 파악하여 ICOT(Institute for New Generation Computer Technology)라는 기관을 설립하여 1982년부터 국가차원의 프로젝트로 제5세대 컴퓨터를 개발토록 하고 있다. ICOT의 경우 차세대의 기본 언어는 Prolog라는 대전제를 잡고 출발하여 Top-Down 방식의 연구를 명확히 하였다. 일본의 제5세대 프로젝트의 추진은 미국과 유럽에 이 분야의 관심을 불러 일으켰으며 미국의 경우 1983년 MCC(Microelectronics and Computer Technology Corp.)라는 연구전문기관을 설립하여 일본의 추월에 대항하도록 추진되어 왔다. 또한 DARPA를 통하여 Strategic Computing Project를 추진하여 Connection Machine, WARP 등의 특수 목적용 병렬처리시스템을 개발하였다.

유럽공동체의 경우 ESPRIT 프로그램을 1984년에 시작하여 여러 방식의 병렬처리 방식을 연구하였으며 일본과는 달리, 객체 지향형(Object Oriented), Reduction, Logic의 3가지 병렬처리 개념을 연구하였다. 88년까지 얻은 결과로는 범용 응용분야의 경우 객체지향개념이 우수함을 입증하였고 Reduction과 Logic 개념은 Knowledge Base 등의 분야에 적합하다는 결론을 얻었다.

독자적인 상용프로세서를 갖는다는 것은 시장

에서의 수익성과 직결되므로 호환성을 비롯한 여러가지 문제가 뒤따르기 때문에 경제적인 면에 있어서 우리나라가 독자적인 프로세서 아키텍처를 보유해야 하는가에는 의문일 제기될 수 있다. 그러나 소프트웨어의 호환성이 별 문제가 되지 않는 Embedded Controller의 경우나 비용면이 중요시 되지 않는 국방분야의 응용 및 아직 표준 프로세서의 기준이 설정되지 않는 차세대 컴퓨터용 프로세서 개발을 위한 기반기술로서의 프로세서 아키텍처 설계 및 구현기술에 대해서는 그 중요성이 무시되어서는 안될 것이다.

### Ⅲ. 병렬처리 기술

여러개의 프로세서를 묶어서 계산능력을 증가시키겠다는 착상은 컴퓨터 개발의 초기 단계부터 있어왔으나 일부 연구목적만을 위한 몇개의 시스템(예: ILLIAC IV, C.mmp, Cm\*)을 제외하고는 단일 컴퓨터의 가격이 엄청나게 비싸기 때문에 이의 실현이 80년도 초반까지 미루어져 왔다. 마이크로프로세서의 처리 능력이 기존의 미니 컴퓨터 수준 이상이 되고 또한 가격이 백불 이하로 떨어짐에 따라 병렬처리시스템이 경제적으로 타당성을 인정 받고 연구차원으로부터 실용화 단계로 접어들게 되었다.

여러 가지의 병렬처리 방식 중 가장 쉽게 구현할 수 있는 방식은 다중 프로세서 방식으로 주로 버스를 이용하여 여러개의 프로세서 보드를 연결하도록 되어 있다. 이는 기존의 컴퓨터의 구조가 버스를 이용토록 되어 있으므로 쉽게 접근할 수 있는 방식이며 Alliant, Encore, Sequent사 등에서 상용화된 제품을 공급하는 단계까지 와 있다. 그러나 이러한 시스템들은 버스를 기준으로 하였으므로 연결할 수 있는 프로세서의 수가 20여개 정도로 제한 되므로 병렬처리방식이 수백 내지 수천개의 프로세서를 연결하여 사용하겠다는 원래의 목적을 달성하지는 못하고 있다. 그리고 사용되는 프로그램이 기존 단일 프로세서용 프로그램을 일부 개선 또는

확장하여 사용하고 있음으로 하여 프로그램이 자체로 갖고 있는 병렬성(parallelism)을 충분히 이용하지 못하고 있는 경우가 많다. 이러한 결과로 다수의 프로세서를 사용한 경우, 단일 프로세서를 사용한 경우에 비해 처리능력이 선형으로 증가하지 못하고 비교적 적은 프로세서에서만 그 유용성을 입증하고 있다.

영국의 경우에도 Alvey 프로그램을 이용하여 Dataflow 머신과 Reduction 머신 분야에서 많은 결과를 얻어 왔으며 Alvey 프로그램이 ESPRIT II로 옮겨짐에 따라 유럽공동체 내에서 계속 연구활동을 하도록 계획하고 있다.

우리나라의 경우 마이크로프로세서 설계 기술이 미약하였기 때문에 기존의 마이크로프로세서를 이용하여 슈퍼미니컴퓨터 수준의 컴퓨터를 개발하자는 착상은 일찍부터 있어 왔다. 이의 구체적인 결과로 행정전산망 주전산기의 목표시스템은 다중프로세서 형태로 설계되었고 현재 보드 수준의 설계가 진행되고 있다. 이 목표시스템은 개발 착수 시점에서 가장 우수하다고 알려진 마이크로프로세서의 하나인 MC68030 마이크로프로세서를 20개 이용하고 독자적인 버스를 설계하기 때문에 국내 기술의 우수성을 입증할 수 있는 좋은 계기가 될 것이다. 병렬처리 분야에는 일본의 제5세대 컴퓨터의 영향을 받아 차세대 컴퓨터에 관한 연구의 기초연구 성격으로 과학원과 서울대 및 본 연구소에서 추진되어 왔다. 또한 '89년 부터는 연구 규모가 확대되어 본격적인 병렬처리시스템의 연구가 연구소와 학계의 공동으로 추진될 예정이다.

앞에서 언급한 바와 같이 컴퓨터 아키텍처의 알려진 성능개선을 위한 유일한 돌파구는 병렬처리 방식이며 이 분야에서의 선두 다툼이 미래의 정보산업 분야에서 어느 나라가 주도권을 갖게 되는가를 결정짓게 될 것이다.

#### IV. 결 론

본 고에서는 컴퓨터 아키텍처의 중요성과 최근까지의 이의 발전방향 및 우리의 현실에 대해

기술하였다. 국내의 여건상 프로세서 설계 기술의 미확보로 우선 다중프로세서 기술에 집중적인 투자가 이루어지고 있으며, 다음 단계로는 고유의 마이크로프로세서 아키텍처 설계기술과 병렬처리 시스템 기술에 대한 연구노력으로 현재까지 시도하지 못하고 있는 슈퍼컴퓨터 분야에의 진출도 가능하리라 판단된다.

또한 최근 각광받고 있는 Neural Network 등의 컴퓨터 아키텍처는 음성이나 시각정보등의 처리에 있어 유용성이 입증되고 있는 단계이며 이와 유사하게 그 개념이 형성되고 있는 Optical Computing 분야의 기초연구도 게을리해서는 안 될 것이다.

#### 〈參 考 文 獻〉

1. Charles E. Gimarc and Veljko M. Milutinovic, "A Survey of RISC Processors and Computers of the Mid-1980s," IEEE Computer, Sep. 1987, pp. 59-68.
2. Rodney Myrvaagnes, "32 bit micros : From RISC to TRON," Electronic Products, April. 1988, pp. 47-50.
3. Edward A. Torrero, "Next Generation, Tomorrow's Computers," IEEE Spectrum, Nov. 1983, pp. 34-119.
4. Karen Fitzgerald and Paul Wallich, "Next Generation Race Bogs down," IEEE Spectrum, June. 1987, pp. 28-33.



李萬載 (Lee, Manjai)

1948. 3. 3. 일생

1970. 2 : 서울대학교 전기공학  
학과 학사

1973. 2~1978. 3 : 한국과학기술연구소  
연구원

1982. 5 : Stanford University  
전기공학과 석사

1986. 5 : Univ. of Texas at Austin 전기공학과 공  
학박사

1978. 4 ~ 현재 : 한국전자통신연구소 책임연구원(컴퓨터연  
구부 연구위원)