

# 반도체기술

## 반도체 집적회로의 발전과 문제점

### Semiconductor Circuit Technology and its Perspective

박 영 준

서울대학교 전자공학과 교수

#### 1. 머릿말

고집적 반도체 기술이란 손톱 크기의 반도체 기판에 트랜지스터 등의 회로소자를 수천 혹은 수만개 이상 집적하여 시스템 혹은 시스템 일부의 원하는 기능을 실현하기 위해 필요한 시스템 구조이론, 회로설계 및 이를 뒷받침하기 위한 CAD 기술, 공정 및 제조기술 그리고 관련된 검사 및 패키지 기술 등을 말한다. 물론 반도체 기술에는 고집적도를 요하지 않는 단일 소자(예, 초고주파 소자, 고전력 소자 등)나 낮은 집적도의 분야도 있다. 그러나 전세계 반도체 시장에서 고집적회로의 제품의 점유율이 '85년도의 76% 정도에서 '90년에는 85% 이상으로 증가될 전망이다기 때문에 이야기의 초점을 반도체 기술중, 고집적 기술에 맞추기로 한다.

#### 2. 집적도의 향상

집적도란 한개의 반도체 칩(손톱크기 정도)에

집적해 넣을 수 있는 소자의 수를 말한다. 1950년대초, 미국의 Bell 연구소에서 고체인 반도체를 이용하여 트랜지스터를 실현한 이후, 반도체를 이용하여 신뢰성이 높은 소자를 제작하기 위한 이론 및 제조기술이 개발되었다. 특히 각각의 반도체 소자를 제작한 후, 이들을 연결, 회로를 구성하는 방법 대신, 반도체 기판 위에 미리 소자를 제작하여 칩상에서 급속으로 소자들을 연결, 회로를 만드는 소위 집적회로의 기술이 미국의 TI 등에 의해서 발명되고 나서 부터 놀랄만한 속도로 집적도가 향상되었다. 회로 자체가 소형화됨에 따라 이 부품을 사용하는 시스템 자체도 소형화되면서 가격 뿐만이 아니라 신뢰성에도 많은 향상을 가져오게 되었다.

최근 시장에서 소개되고 있는 개인용 컴퓨터가 불과 5년전의 미니 컴퓨터 보다도 용량과 성능이 우수한 점을 생각하면 이 반도체 부품의 소형화가 시스템의 성능 향상에 미치는 영향을 쉽게 짐작할 수 있을 것이다.

1975년 INTEL회사의 Moore씨는 반도체 1

개 칩에 집적시킬 수 있는 소자의 수가 1975년의 16,000개 정도에서 매년 2배씩 증가할 것이라고 예측하였는데, 이 예측이 꾸준히 적중되어 현재는 한 개의 칩에 최대 백만개 이상의 집적도를 성취하게 되었다.

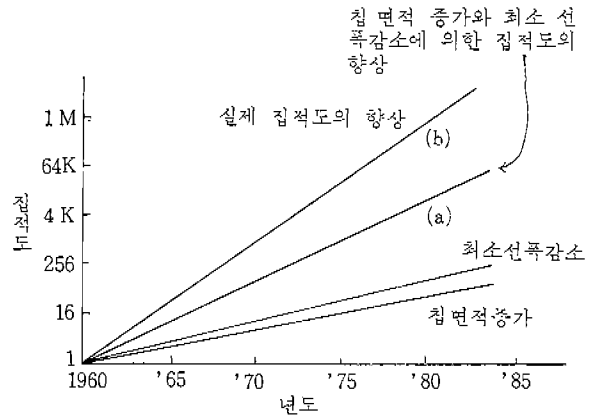
회로를 사용하는 시스템 자체도 소형화되면서 가격 뿐만이 아니라 신뢰성에도 많은 향상을 가져오게 되었다. 최근 시장에서 소개되고 있는 개인용 컴퓨터가 불과 5년전의 미니 컴퓨터보다도 더욱 용량과 성능이 우수한 점을 생각하면 이 반도체 부품의 소형화가 미치는 영향을 쉽게 짐작할 수 있을 것이다. 또한 이러한 부품의 발전이 시스템 전체에 이렇게 지대한 영향을 미친 경우는 찾아보기가 힘들 것이다.

1975년 INTEL회사의 Moore씨는 반도체 1개 칩에 집적시킬 수 있는 소자(트랜지스터나 저항 등)의 수가 1975년의 16,000개 정도에서 매년 2배씩 증가할 것이라고 예측하였는데, 이 예측이 꾸준히 적중되어 현재는 1개의 칩에 최대 백만개 이상의 집적도를 성취하게 되었다.

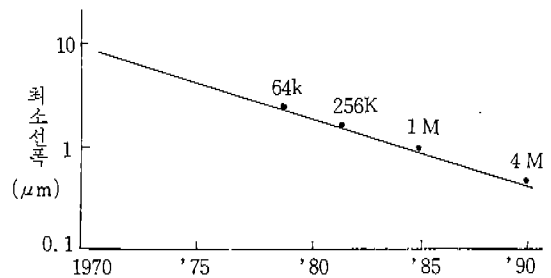
그러면 무엇이 이러한 집적도의 향상을 가능하도록 하였을까? 흔히 이는 미세가공 기술의 발전에 의한 것이라고 생각할 수가 있다. 즉 반도체 표면에 소자의 패턴을 만들고(Photo 기술) 이를 식각(Lithography)해 내는 기술이 발전함으로써 작은 소자의 제작을 가능하게 하였다.

그러나 실제로는 이보다도 더욱 집적도의 향상에 영향을 미친 요인은 소자의 구조나 이 소자가 구성하는 회로구조의 간단화이다. 이를 도식적으로 이해하기 위해 1975년에 발표된 Moore씨의 그림을 인용한 그림 1을 보기로 하자.

그림에서 (a)는 각 연도별로 미세가공 기술의 발전과 칩 자체가 커지기 때문에 증가하는 집적도의 향상이다. 그러나 실제 집적도의 증가는 (b)이므로 (b)와 (a)의 차이는 이 외의 다른 요인, 즉 트랜지스터 자체 구조의 간단화, 회로의



(그림 1) 연도별 집적도향상에 미치는 요인의 변화



(그림 2) DRAM에 사용된 최소선폭의 변화

간단화에 의한 것이라는 것이다.

여하튼 이러한 집적도의 향상을 살펴보면 참으로 인간의 능력에 놀라움을 금할 수가 없다. 그러면 여태까지 그래 왔듯이 집적도의 향상이 지속될 것인가? 그렇지 못하다면 어떠한 점이 이의 제한요소가 될 것인가에 대해 생각해 보기로 하자.

그림 1에서 보았듯이 집적도가 향상되기 위해서 칩의 크기도 같이 증가하였는데, 1년간 약 19%의 면적, 증가를 보인 것이 된다. 이는 칩의 한 변의 길이가 8년에 2배씩 증가한 것이 되는데, 반도체 제품에 따라 차이는 있지만 현

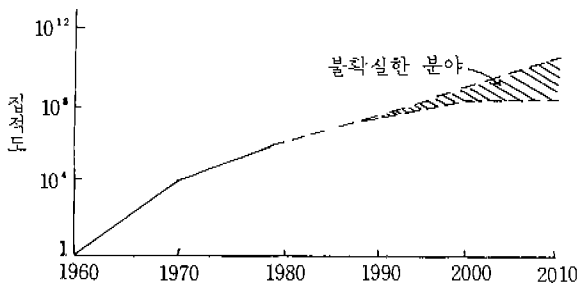
재 칩의 면적은 40~80mm<sup>2</sup> 정도이다. 따라서 칩 면적 증가만에 의한 집적도의 증가는 10년에 약 5.7배가 되고 최소 선폭의 감소에 의한 집적도의 증가까지 합하면 10년에 약 50배 정도 증가한 것이 된다.

그러나 실제 집적도의 증가를 1960~1970년도 초반까지를 보면 1년에 약 2배씩 증가하여 10년에 1,024배가 증가하였으므로, 최소선폭의 감소나 칩면적의 증가 외의 요인에 의한 증가가 10년에 약 21배 정도 있었다고 보아야 하며 이에 대해서는 앞에서 언급한 바와 같다. 이 증가율은 최근에 와서 현저히 감소하였으며 1970년대에 와서는 10년에 약 2.1배로 10배로 감소하였다. 집적도의 변화, 즉 한개의 칩당 집적되는 소자의 숫자를 1960년부터 2000년대까지 예측해 본 것이 그림 3이다.

### 3. 실제적 한계

앞 절에서 집적도가 증가하기 위해 트랜지스터의 크기가 소형화할 경우 발생하는 문제점을 물리적 측면에서 생각해 보았다. 그러면 실제적인 측면에서 부딪치는 문제에는 어떠한 것이 있는지 생각해 보기로 하자.

우선 반도체 칩에 소자들을 집적시키기 위한 미세가공기술에는 가장 중요한 것이 광학기술을



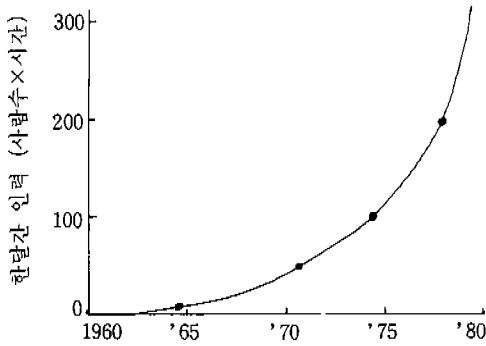
〈그림 3〉 집적도 향상의 전망

이용한 패턴의 정의와 이 패턴의 식각기술이다. 그림 2는 이 미세가공에 의한 최소 선폭의 크기의 변화추세를 보인 것이다. 그림에서 알 수 있듯이 1959년에서 1975년까지 1년에 11%의 최소 선폭이 감소되어 온 것을 알 수가 있다. 이는 약 6년에 최소 선폭이 반으로 준 것이며, 따라서 집적도는 4배로 증가한 것이 된다.

이제까지 사용된 광학기술이 비교적 가격이 저렴하고 안정된 기술이기 때문에 계속 이 기술이 사용될 것이며, 이를 사용하여 실현할 수 있는 최소 선폭의 한계는 약 0.5 $\mu$ m~0.7 $\mu$ m 정도로 생각된다. 이 한계는 1990~1994년 정도에 오게 될 것으로 보이며 그 이후는 현재의 광학기술과 같은 안정화된 기술이 발전된다면 X-선 선이나 전자 빔을 이용한 기술이 사용될 것으로 예측된다.

### 4. 기타 다른 문제점들

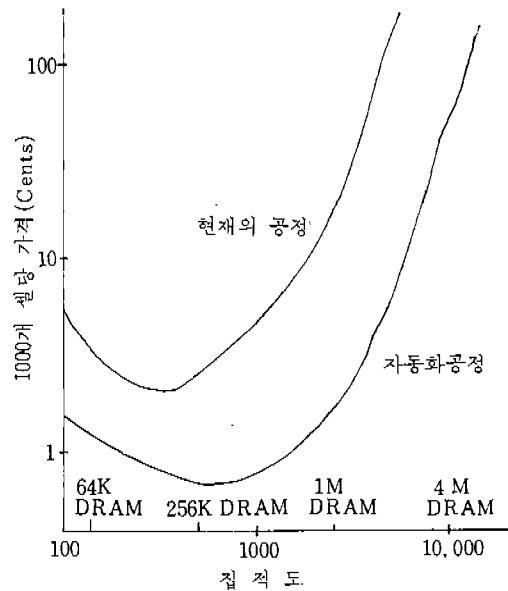
앞에서는 주로 소자의 소형화와 이에 따라 반도체 칩의 집적도가 어떻게 증가될 것인가에 대하여 생각해 보았다. 그러나 이러한 높은 집적도의 반도체 칩을 사용하는 데는 또 다른 장애요인이 있을 수가 있다. 첫째로 이러한 집적도를 이용한 칩을 어디에 다 쓸 것인가 하는 문제이다. 즉 이러한 많은 트랜지스터를 사용하여 어떠한 제품을 만들 것인가(혹은 Product Definition)를 결정하는 것이 쉽지 않고, 또한 이러한 제품이 선정되었다 하더라도 이를 설계하여 제품으로 완성하는 데는 막대한 인력과 자금이 소요된다는 점이다. 그림 4는 이러한 제품 결정과 설계에 소요되는 인력(인원수 × 시간)을 연도별로 예측한 것이다. 1980년 현재 한개의 Micro Process를 설계 제작하는 데 소요되는 연구비는 약 1,000만불 정도로 예상된다. 따라서 이의 감소를 위해서는 게이트 배열해 두고,



〈그림 4〉 제품결정과 설계에 사용되는 인력

컴퓨터의 힘을 빌어 원하는 기능의 회로를 연결 선으로 연결하여 실현하려는 방법을 사용할 수가 있다. 또한 사람의 손을 빌지 않고 원하는 회로의 기능만 수식적으로 표시해 주면 컴퓨터가 반도체 회로를 설계하는 “실리콘 Compiler”가 실현된다면 이러한 문제는 해결될 것이다.

물론 앞에서 언급한 문제는 Micro Process 등과 같은 로직 회로에 관한 것이다. 요즘 흔히 반도체 제품의 대명사로 불리는 256K DRAM 혹은 1M DRAM 등의 메모리 칩은 비교적 메모리 회로가 규칙적으로 배열되어 있어 설계 등에 필요한 인력은 문제가 되지 않을 것이다. 그러나 메모리의 집적도가 1M DRAM, 즉 50mm<sup>2</sup> 크기 정도의 칩에 백만개 이상의 트랜지스터를 집적시킬 경우 다음과 같은 문제에 부딪치게 된다. 즉, 메모리 칩의 집적도의 증가로 한개의 정보를 저장하기 위한 가격 (즉, 칩 가격을 메모리 셀의 수로 나눈 값)이 급격히 감소하였으나 1M DRAM 이상에서는 더 이상 감소하지 않을 것이라는 점이다. 즉 반도체 제조공정 라인의 청정도에는 한계가 있기 때문에 메모리 칩의 집적도가 증가되면서 칩 면적도 같이 커지기 때문에 제조공정 과정에서 발생하는 결함 때문에 공정의 수율이 감소하여 더 이상 집적도 증



〈그림 5〉 자동화 공정과 현재의 공정에서의 DRAM

가에 따른 셀당가격이 싸지지 않는다는 것이다.

그림 5는 각기 다른 DRAM의 집적도에 따른 셀당 제조 원가가 1M DRAM부터는 증가함을 보이고 있다.

### 5. 결 론

반도체 집적회로의 발전에 따른 문제점을 생각해 보았다. 트랜지스터의 소형화와 칩 면적의 증가로 집적도는 계속 증가할 전망이다. 그러나 집적회로의 설계에 따른 막대한 인력을 대체하기 위해 관련 CAD 기술이 발전되어야 하고, 메모리 칩 분야에서는 공정에서 발생하는 결함을 극소화하기 위해 공정의 자동화 분야가 개발되어야 할 것이다. 또한 집적도가 증가하면서 발생하는 전력의 소모와 이에 따른 칩의 패키징 기술의 발전과 연결선에 발생하는 속도 지연을 방지하기 위한 기술 등이 발전되어야 할 것이다.