

자기 정렬 DMOS 트랜지스터의 채널 길이와 채널
Punchthrough에 관한 고찰

(A Study on the Channel Length and the Channel Punchthrough
of Self-Aligned DMOS Transistor)

金 鍾 五*, 金 鎮 亨*, 崔 鍾 守*, 尹 漢 燮*

(Jong Oh Kim, Jin Hyoung Kim, Jong Su Choi and Han Sub Yoon)

要 約

자기정렬 DMOS 트랜지스터의 채널 길이에 관한 수식을 2차원적인 Gaussian 농도분포식으로 부터 유도하였다. 본 논문에서 제시된 채널 길이에 관한 수식은 기판의 농도, 이중확산된 각 영역의 표면 농도와 수직 접합 깊이의 함수로 이루어져 있으며, 계산된 결과는 실험치와 잘 일치하고 있다. 또한 고전압용 DMOS 트랜지스터에서 채널 punchthrough를 억제할 수 있는 최소 채널 길이를 채널영역의 평균농도를 이용하여 계산하였으며 소자 simulation을 통하여 최적의 채널 조건(채널농도분포 및 채널 길이)를 예측할 수 있음을 확인하였다.

Abstract

A general closed form expression for the channel length of the self-aligned double-diffused MOS transistor is obtained from the 2-dimensional Gaussian doping profile. The proposed model in this paper is composed of the doping concentration of the substrate, the final surface doping concentration and the vertical junction depth of the each double-diffused region. The calculated channel length is in good agreement with the experimental results. Also, the optimum channel structure for the prevention of the channel punchthrough is obtained by the averaged doping concentration in the channel region. A correspondence between the results of device simulation of channel punchthrough and the estimations of simplified model is confirmed.

I. 서 론

전력 MOS 트랜지스터는 서로 다른 형태의 불순물을 연속적으로 확산시키는 이중 확산(double diffusion) 방식을 이용하여 제작되고 있다.¹⁾ 이러한 제작방식으로 인하여 측면 접합 깊이(lateral junction

depth)의 차이로서 채널이 형성되며 일반적인 MOS 트랜지스터와는 달리 채널길이를 결정하는 데에는 어려움이 있다. DMOS(double-diffused MOS) 트랜지스터의 채널 길이는 측면 접합 깊이가 수직 접합 깊이(vertical junction depth)의 0.8~0.85배로 생각하여 계산하는 것이 보통이다.²⁾

그러나 부정확한 채널길이는 DMOS 트랜지스터의 표면 저항(surface resistance) 및 transconductance 등의 변수에 대한 정확한 이해와 계산을 함에 있어

*正會員, 現代電子産業株式會社 半導體研究所
(Semiconductor Components Research Lab., HEI)
接受日字: 1988年 6月 30日

많은 오차를 내포 할 수 있다. 그러므로 정확한 채널 길이를 구하는 것은 DMOS 트랜지스터의 전기적 변수 (electrical parameter) 를 예측함에 있어서 중요하다.

고전압용으로 제작되는 DMOS 트랜지스터에서 형성된 채널의 길이가 너무 단소하거나 채널내의 농도 분포가 낮을 경우 낮은 전압에서 채널 punchthrough 를 유발할 가능성이 있다.^[3] 채널 punchthrough는 고전압용 DMOS 트랜지스터의 동작을 방해하게 되므로 채널을 설계할 때에는 채널 punchthrough 전압이 접합 항복전압 (junction breakdown voltage) 보다 크게 하여야 한다. 이러한 것을 설계 및 예측하는 것은 소자 simulation 프로그램을 이용하는 것이 보통이나,^[4] 많은 시간이 소요되는 단점이 있다.

본 논문에서는 DMOS 트랜지스터의 채널 길이를 최종적으로 형성된 2차원적 농도분포 (2-dimensional doping profile)로부터 계산하고자 한다. 또한 고전압용 소자의 동작시 채널 punchthrough를 억제할 수 있는 DMOS 트랜지스터의 채널구조 (채널길이 및 농도)에 대하여 적합성을 판별할 수 있는 모형 (model)을 제시하고 이를 소자 simulation을 통하여 확인하고자 한다.

II. DMOS 트랜지스터의 채널 길이

1. 2차원적 농도 분포

그림 1은 일정한 농도, N_B 를 갖고 있는 기판에 확산된 농도의 분포를 개략적으로 도시한 것이다. 이러한 2차원적 농도분포는 Gaussian 분포로 가정할 경우

$$N(x', y) = N_s \{ \exp(-y^2/x_p^2) \} \{ 1 + \operatorname{erfc}(x'/x_p) \} \tag{1}$$

로 표현되며,^[5] N_s 는 표면농도 (surface concentration) 이고 x_p 는 특성길이 (characteristic length)로서

$$x_p = (4Dt)^{1/2} = y_j / \{ \ln(N_s/N_B) \}^{1/2} \tag{2}$$

로 나타내어진다. 이때 D 는 확산시 온도에 따른 확산계수 (diffusivity), t 는 확산 시간이며 y_j 는 수직 접합 깊이이다. 식(1)로부터 측면 방향에 따른 농도 분포는

$$N(x', y=0) = N_s \operatorname{erfc}(-x'/x_p) \tag{3}$$

으로 표현될 수 있으나 이는 수식적으로 접근하기에는 매우 까다롭다. 그러나 이러한 보정 오차 함수

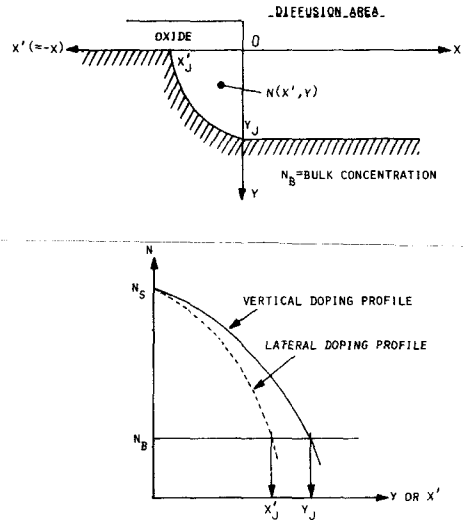


그림 1. 2차원적 농도분포를 갖고 있는 접합의 단면도

Fig. 1. Cross section of the junction region with 2-dimensional doping profile.

(complementary error function)는

$$\operatorname{erfc}(z) \approx \exp\{-k(z + \Delta)^2\} \tag{4}$$

로서 근사시킬 수 있으며 ($k=0.935, \Delta=0.387$)^[6] 이는 그림 2에 나타낸 바와 같이 실제의 함수와 평균 6% 이내의 오차를 갖고 있다. 그러므로 식(3)은

$$N(x', y=0) \approx N_s \exp\{-k(-x'/x_p + \Delta)^2\} \tag{5}$$

와 같이 근사식으로 정리되며, 식(5)는 $x' = x'_j$ 일 때 $N(x' = x'_j, y=0) = N_B$ 이므로

$$x'_j/x_p = \{ (1/k) \ln(N_s/N_B) \}^{1/2} - \Delta \tag{6}$$

이 된다. 이때 x'_j 는 측면 접합 깊이 이다.

식(2)와 (6)으로부터 측면 접합 깊이와 수직 접합 깊이의 비 (이하 접합 깊이의 비라고 함), $R (= x'_j/y_j)$ 는

$$R = (1/k)^{1/2} - \Delta / \{ \ln(N_s/N_B) \}^{1/2} \tag{7}$$

로서 표면 농도와 기판 농도의 함수로 표현된다.

그림 3은 N_s/N_B 와 R 의 관계를 나타낸 것으로서 N_s/N_B 의 값이 $10 \sim 10^4$ 이내에서 접합 깊이의 비가 약 0.7~0.9의 범위에 존재하게 되며, 이는 Kennedy와 O'Brien^[5]의 보고와 일치한다.

2. 이중확산으로 이루어진 채널 길이

그림 4는 자기정렬 (self-align) 로 이중확산된 농도

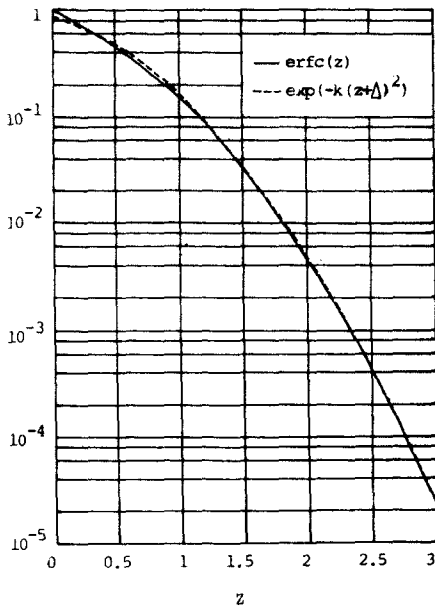


그림 2. 보정 오차 함수와 근사식(식(4))의 비교
 Fig. 2. Comparison between the complementary error function and the approximated equation (Eq. (4)).

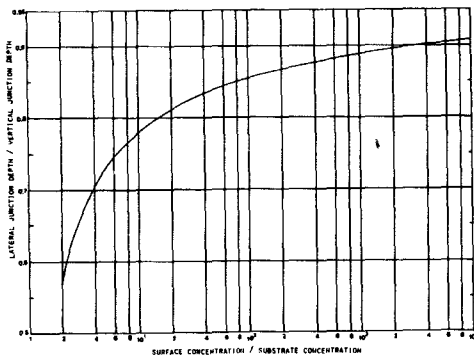


그림 3. N_s/N_B 와 접합 깊이의 비
 Fig. 3. N_s/N_B and the junction depth ratio.

분포를 도시한 것이다. 채널과 소오스(source) 영역의 2차원적 농도분포, $N_c(x', y)$ 와 $N_s(x', y)$ 는 식(1)과 (5)로부터

$$N_c(x', y) \approx N_{sc} \{ \exp(-y^2/x_{pc}^2) \cdot [\exp\{-k(-x'/x_{pc} + \Delta)^2\}] \} \quad (8)$$

$$N_s(x', y) \approx N_{ss} \{ \exp(-y^2/x_{ps}^2) \cdot [\exp\{-k(-x'/x_{ps} + \Delta)^2\}] \} \quad (9)$$

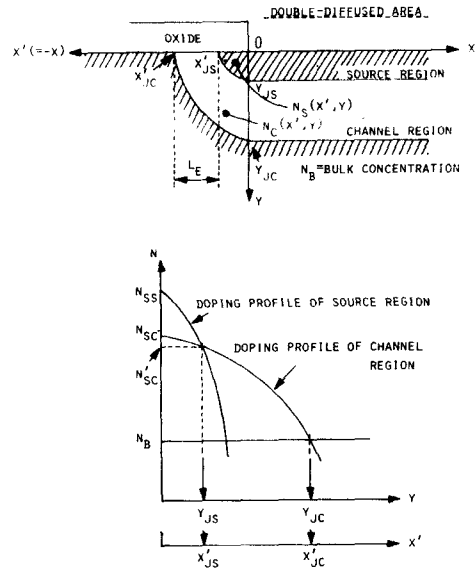


그림 4. 자기정렬로 이중확산된 2차원적 농도분포
 Fig. 4. 2-dimensional doping profile of the self-aligned double-diffused region.

로 근사시킬 수 있으며, N_{sc} 와 N_{ss} 는 채널과 소오스 영역의 표면 농도이고 x_{pc} 와 x_{ps} 는 각 영역의 특성 길이로서

$$x_{pc} = y_{jc} / \{\ln(N_{sc}/N_B)\}^{1/2} \quad (10)$$

$$x_{ps} = y_{js} / \{\ln(N_{ss}/N_{sc}')\}^{1/2} \quad (11)$$

로 표현된다. 이때 y_{jc} 와 y_{js} 는 각 영역의 수직 접합 깊이이며, N_{sc}' 는 소오스와 채널 영역의 접합 농도로서 $N_c(x'=0, y=y_{js}) = N_{sc}'$ 의 관계로부터

$$N_{sc}' = N_{sc} \{ \exp(-y_{js}^2/x_{pc}^2) \} \quad (12)$$

로 나타내어진다. 또한 각 영역의 접합 깊이의 비, $R_c (=x'_{jc}/y_{jc}$, 채널영역의 접합깊이의 비)와 $R_s (=x'_{js}/y_{js}$, 소오스영역의 접합깊이의 비)는 II-1에서 계산한 바와 같이 $N_c(x'=x'_{jc}, y=0) = N_B$, $N_s(x'=x'_{js}, y=0) = N_{sc}'$ 의 조건으로부터

$$R_c = (1/k)^{1/2} - \Delta / \{\ln(N_{sc}/N_B)\}^{1/2} \quad (13)$$

$$R_s = (1/k)^{1/2} - \Delta / \{\ln(N_{sc}/N_{sc}')\}^{1/2} \quad (14)$$

로 정의되며, x'_{jc} 와 x'_{js} 는 각 영역의 측면 접합 깊이이다.

그림 4에 도시한 바와 같이 DMOS 트랜지스터의 채널 길이, L_E 는 식(13)과 (14)로부터

$$L_E = x'_{jc} - x'_{js} \\ = (1/k)^{1/2} (y_{jc} - y_{js}) - \Delta (y_{jc} / \{\ln(N_{sc}/N_B)\})^{1/2} - y_{js} / \{\ln(N_{ss}/N_{sc}')\}^{1/2} \quad (15)$$

이며, 이 중 확산된 각 영역의 표면농도, 접합 깊이와 기판농도의 함수로 이루어진다.

그림 5는 위에서 유도된 식들의 한 예로서 $y_{jc} = 4 \mu\text{m}$, $y_{js} = 1 \mu\text{m}$ 이고, $N_{sc} = 5 \times 10^{16} \text{cm}^{-3}$, $N_{ss} = 1 \times 10^{20} \text{cm}^{-3}$ 일때 기판농도에 따른 소오스와 채널영역의 접합깊이의 비(식(13),(14))와 채널길이(식(15))를 나타낸 것이다. 채널영역의 경우에 기판농도가 커질수록 채널 영역의 표면농도와 차가 줄어들어 식 (13)과 그림 3에서 나타낸 바와 같이 채널영역의 접합깊이의 비가 감소하게 되며 소오스영역의 경우는 소오스와 채널영역의 접합농도, N_{sc}' 에 의존하게 되어(식 (14)) 접합깊이의 비의 변화가 기판농도에 따라 큰 변화가 없다. 이는 채널길이가 감소되고 있음을 보여주고 있는 것이다(그림 5의 L_{MIN} 은 III-1절에서 설명함).

3. 시편의 제작 및 결과

본 논문에서 사용한 시편은 일반적인 DMOS 트랜지스터의 제작공정을 이용하였다. N형 에피층으로 형성된 기판에 n-poly silicon을 자기정렬 마스크로 사용하였으며 채널영역과 소오스영역은 boron과 phosphorus를 연속적으로 확산시켰다. 표 1은 제작된 시편의 소오스와 채널영역의 수직방향에 따른(그림 4의 Y 방향) 조건을 나타낸 것으로서 N_B 는 에피층의 불순물 농도이며 접합깊이 및 표면농도는 공정 simulation 프로그램인 SUPREM-3를 사용하여 얻은 결과로서 최종적으로 형성된 값들이다.

그림 6은 표 1의 case 2에 해당하는 시편의 채널영역을 SEM($\times 8,000$)으로 촬영한 것이다. 이때 SEM의 촬영결과는 각각의 경우에 대하여 10개의 시편으로부터 얻었다.

각 경우의 계산결과와 SEM으로 측정된 결과(최

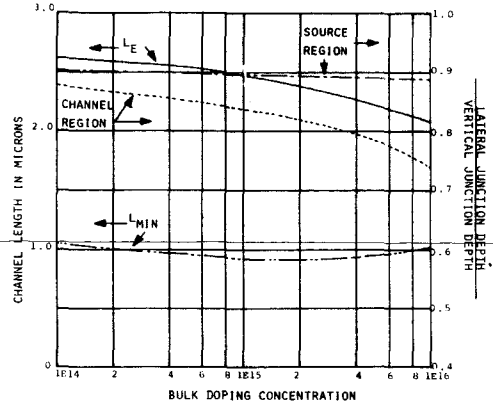


그림 5. 기판농도에 따른 채널 길이와 접합 깊이의 비

$$(y_{jc} = 4 \mu\text{m}, y_{js} = 1 \mu\text{m}, N_{sc} = 5 \times 10^{16} \text{cm}^{-3}, N_{ss} = 1 \times 10^{20} \text{cm}^{-3})$$

Fig. 5. The channel length and the junction depth ratio with the substrate doping concentration.

$$(y_{jc} = 4 \mu\text{m}, y_{js} = 1 \mu\text{m}, N_{sc} = 5 \times 10^{16} \text{cm}^{-3}, N_{ss} = 1 \times 10^{20} \text{cm}^{-3}).$$

소값과 최대값)를 표 1에 같이 나타냈다. SEM의 결과를 기준으로 할때 (촬영결과와 평균값) case4의 경우는 식 (15)에 의하여 계산된 결과와 비교할 때 약 1.1%의 오차를 갖고 있으며, case 3의 경우는 약 11.4%의 오차를 갖고 있다. 이러한 오차는 SEM촬영을 위한 시편의 준비과정과 접합깊이 및 표면농도의 신뢰성에 기인한다고 판단된다.

III. DMOS 트랜지스터의 채널 Punchthrough와 채널구조

1. 최소 채널 길이

일반 MOS 트랜지스터의 채널 punchthrough는 채널영역이 소오스나 드레인 영역으로부터 발생하는 공

표 1. 제작된 시편의 조건 및 결과

Table 1. Fabricated sample conditions and results.

CASE	SAMPLE CONDITION					CAL.		SEM
	N_B	$y_{jc} (\mu\text{m})$	$y_{js} (\mu\text{m})$	N_{sc}	N_{ss}	$L_E (\mu\text{m})$	$L_E (\mu\text{m})$	
1	3.7E14	3.9	0.7	6E17	1.2E19	2.91	2.95~3.02	
2	7.4E14	3.4	1.2	6E17	6E19	2.14	2.21~2.33	
3	1.4E15	3.2	1.2	6E17	6E19	1.76	1.54~1.62	
4	3.7E15	2.8	1.2	6E17	6E19	1.37	1.33~1.38	

(CONCENTRATION, CM^{-3})



그림 6. 이중 확산된 채널영역의 SEM 촬영사진
Fig. 6. Photograph of the double-diffused channel region by SEM.

핍영역 (depletion region)으로 이루어질 때 발생하게 되며 갑자기 큰 전류가 흐르게 된다. 이중 확산으로 이루어진 DMOS 트랜지스터의 경우도 마찬가지로 채널 punchthrough 전압을 접합항복전압 보다 높게 설정되어야 한다. 그러나 채널영역이 일정하지 않는 농도분포를 갖고 있으므로 고전계 (high electric field)에 의하여 채널내에 형성되는 공핍영역의 양을 계산하기에는 많은 어려움이 있다. 그러므로 본 논문에서는 채널 punchthrough와 채널구조의 관계를 고찰하기 위하여 채널영역의 농도분포를 평균화 시켜서 접근하였다.

채널영역의 평균농도, N_{CAVR} 은

$$N_{CAVR} = (1/L_E) \int_{x'_s}^{x'_d} N_C(x', y=0) dx' \quad (16)$$

으로 표현할 수 있으며, 적분과정 중 식(4)와 (8)를 이용하면 식 (16)을

$$N_{CAVR} \approx 0.5(\pi/k)^{1/2} (x_{pc} N_{sc} / L_E) (K_1 - K_2) \quad (17)$$

로 근사화 시킬 수 있으며, K_1 과 K_2 는

$$K_1 = \exp[-k |k|^{1/2} (x'_s / x_{pc} - \Delta) + \Delta]^2 \quad (18)$$

$$K_2 = \exp[-k |k|^{1/2} (x'_d / x_{pc} - \Delta) + \Delta]^2 \quad (19)$$

로 주어진다.

그림 7은 N_{CAVR} 의 일정한 농도로 채널이 이루어졌다고 가정할 경우의 형성된 채널영역에서의 전계분포를 도시한 것이다. DMOS 트랜지스터는 소오스와 채널영역이 단락되어 있고(소오스 단자) 기판을 드레인 단자로 사용하게 되므로 기판과 채널영역은 역바이어스(reverse bias) 관계로 동작하게 된다.¹²⁾ 드레인 단자에 양전압(positive bias)을 인가할 때 채널 끝으로부터 채널내로 형성된 공핍영역의 폭을 L_{MIN}

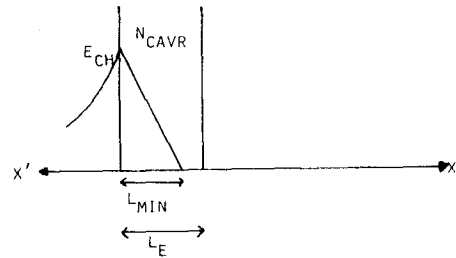
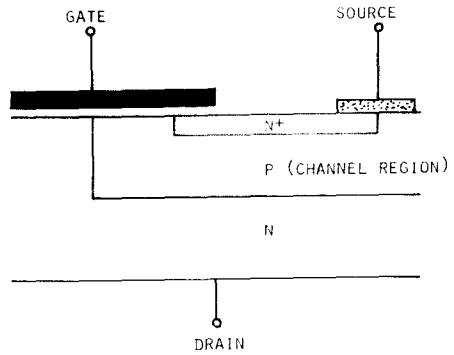


그림 7. 이중 확산된 채널영역의 전계분포
Fig. 7. Electric field of the double-diffused channel region.

이라 하면 기판(드레인)과 채널끝의 경계면에 존재하는 전계, E_{CH} 는

$$E_{CH} = (qL_{MIN}N_{CAVR}) / \epsilon_{Si} \quad (20)$$

로서 표현된다. 이때 q 는 전하량, ϵ_{Si} 는 실리콘의 유전율이다.

또한 기판의 농도 N_B 이고, 접합깊이가 y_{jc} 로 이루어진 원통형 접합(cylindrical junction)의 임계전계(critical electric field), E_{PC} 는

$$E_{PC} = q(N_B / \epsilon_{Si}) W_c (W_c / y_{jc})^{1/2} \quad (21)$$

이며,¹⁷⁾ W_c 는

$$W_c = 2.67 \times 10^{10} N_B^{-1/4} [\text{cm}] \quad (22)$$

로서 나타내어진다. 그러므로 원통형 접합의 임계전계가 채널영역에 인가 되었을 경우, $E_{CH} = E_{PC}$ 의 관계가 유지되므로 식(20)과 (21)로부터

$$L_{MIN} = N_B / N_{CAVR} W_c / (W_c / y_{jc})^{1/2} \quad (23)$$

의 관계를 구할 수 있다. 이는 원통형 접합의 임계전계에 대한 채널내의 공핍영역의 폭으로서 최소 채널 길이(minimum channel length)를 의미하는 것이다.

그림 5에 $y_{jc} = 4 \mu\text{m}$, $y_{js} = 1 \mu\text{m}$ 이고 $N_{sc} = 5 \times 10^{16} \text{cm}^{-3}$, $N_{ss} = 1 \times 10^{20} \text{cm}^{-3}$ 일 때 기판농도에 따른 L_{MIN}

의 변화를 같이 도시하였다. 기판농도가 커질수록 L_{MIN} 과 형성된 채널길이의 차가 점차 줄어드는 경향을 보여주고 있다.

그림 8 은 $N_B = 1 \times 10^{15} \text{cm}^{-3}$ 일때 $y_{JC} = 4 \mu\text{m}$, $y_{JS} = 1 \mu\text{m}$ 이고 $N_{SS} = 1 \times 10^{20} \text{cm}^{-3}$ 인 경우 채널영역의 표면농도에 따른 채널길이와 최소 채널길이를 도시한 것이다. 만약 식(23)에 의하여 이론적으로 계산된 임계전계에 대한 최소 채널길이, L_{MIN} 이 실제적으로 형성된 채널길이, L_E 보다 크게 되는 경우는 DMOS 트랜지스터에서 형성된 채널영역의 조건이 충분치 못한 것을 의미하는 것으로서 채널 punchthrough를 유발할 수 있다.

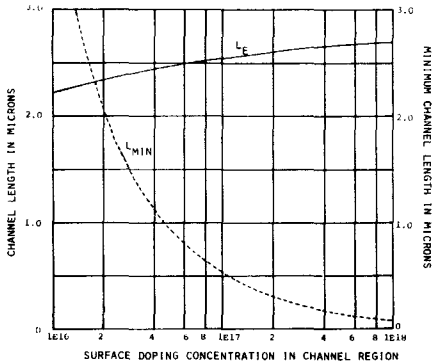


그림 8. 채널영역의 표면농도에 따른 채널길이와 최소 채널길이

($y_{JC} = 4 \mu\text{m}$, $y_{JS} = 1 \mu\text{m}$, $N_{SS} = 1 \times 10^{20} \text{cm}^{-3}$, $N_B = 1 \times 10^{15} \text{cm}^{-3}$)

Fig. 8. The channel length and the minimum channel length with the surface concentration of the channel region.

($y_{JC} = 4 \mu\text{m}$, $y_{JS} = 1 \mu\text{m}$, $N_{SS} = 1 \times 10^{20} \text{cm}^{-3}$, $N_B = 1 \times 10^{15} \text{cm}^{-3}$).

2. 채널 punchthrough에 관한 Simulation

표 2는 드레인 단자가 웨이퍼(wafer)의 밑면에 존재하는 VDMOS (vertical double-diffused MOS) 트랜지스터의 경우 형성된 채널구조와 채널 punchthrough에 대하여 소자 simulation을 하기 위한 조건과 앞에서 제안된 수식에 의하여 계산된 계산 결과를 나타낸 것이다. A와 B의 경우는 L_{MIN} 이 L_E 보다 크게 계산 되었으며, C의 경우는 L_{MIN} 이 L_E 보다 작게 계산 되었다. 그러므로 A와 B의 경우는 낮은 드레인 전압에서 채널 punchthrough가 되리라 예상된다.

그림 9는 B의 경우, $V_{GS} = 0 \text{ volt}$ 일 때 소자 simulation program인 PISCES-2B를 이용한 결과로서 전류의 이동을 vector로 표시했다. 이때 p영역은 채널 영역, n+영역은 소오스 영역으로서 중앙의 게이트 영역을 중심으로 대칭으로 설정되었다. 또한 p+영역은 DMOS 트랜지스터의 기생 트랜지스터의 역할을 제거하기 위하여 형성된 것으로서 고농도로 설정됐다 ($5 \times 10^{18} \text{cm}^{-3}$ 이상). 드레인 전압이 10 volt인 경우는 발생하는 전류의 양이 미비하나, 드레인 전압이 20 volt인 경우는 채널영역의 bulk 영역으로 큰 전류가 흐르고 있음을 보여주고 있다. 이는 드레인 전압이 20 volt 이내에서 채널 punchthrough를 유발한 것을 보여주는 결과이다.

그림 10은 표 2에 나타낸 각각의 경우에 대한 simulation 결과를 드레인 전압과 전류의 관계로 나타낸 것이다. L_{MIN} 이 L_E 보다 크게 계산되었던 A와 B의 경우는 낮은 전압에서 채널 punchthrough가 일어나고 있음을 알 수 있다. 또한 L_{MIN} 이 L_E 보다 작게 계산되었던 C의 경우는 높은 드레인 전압에 대해서도 전류의 양이 극히 작은 것을 보여 주고 있어 채널 punchthrough를 억제하고 있음을 알 수 있다.

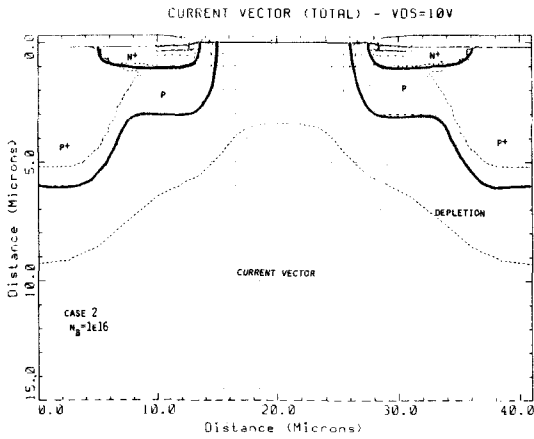
이러한 simulation 결과는 형성된 채널구조의 조건에 대하여 식(15)에 의한 채널길이와 식(23)에 의한 최

표 2. 채널 punchthrough에 대한 소자 simulation 조건과 계산된 결과

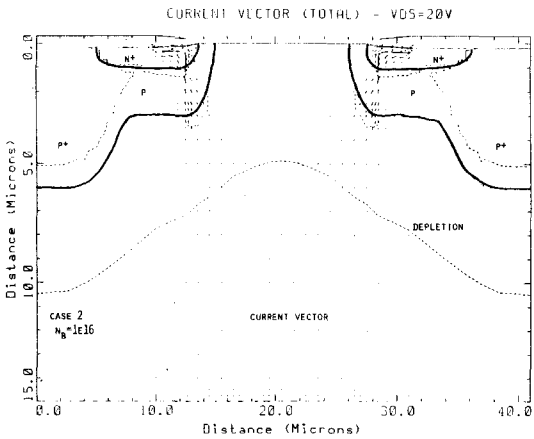
Table 2. The device simulation conditions and the calculated results for the channel punchthrough.

CASE	SIMULATION CONDITION					CALCULATION	
	N_B	$Y_{JC} (\mu\text{m})$	$Y_{JS} (\mu\text{m})$	N_{SC}	N_{SS}	$L_E (\mu\text{m})$	$L_{MIN} (\mu\text{m})$
A	1E 15	3	1	5E 15	1E 20	1.32	8.29
B	1E 15	3	1	5E 16	1E 20	1.44	4.25
C	1E 15	3	1	1E 16	1E 20	1.62	1.13

(CONCENTRATION, CM^{-3})



(a)



(b)

그림 9. 소자 simulation 결과(표 2의 case B)
(a) $V_{DS} = 10$ volts (b) $V_{DS} = 20$ volts

Fig. 9. The device simulation results(case B of Table 2).

(a) $V_{DS} = 10$ volts. (b) $V_{DS} = 20$ volts.

소 채널 길이를 계산하여 비교하여 봄으로서 형성된 채널영역의 적합성을 판단할 수 있는 간접적인 결과라고 판단된다.

IV. 결 론

본 논문에서는 Gaussian 농도분포를 갖는 DMOS 트랜지스터의 채널길이를 2차원적 농도분포로부터 계산하였다. 계산결과는 SEM으로 촬영한 실험결과와 비교적 잘 일치하고 있다. 또한 이중확산으로 형성된 채널영역의 채널길이와 원통형 접합의 임계전계에 대한 최소 채널 길이를 비교하여 봄으로서 채

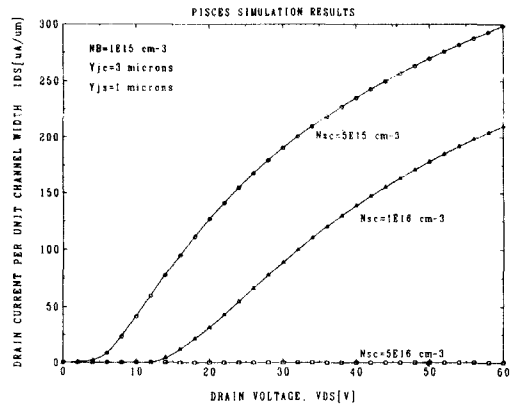


그림10. 소자 simulation 결과에 의한 드레인 전압과 전류의 특성곡선

Fig. 10. The characteristic curve of the drain voltage and the drain current by the device simulation results.

널 punchthrough 현상을 제어할 수 있는 채널영역의 적합성을 관찰할 수 있으며, 이를 소자 simulation 결과와 비교하여 확인하였다. 이러한 모형(model)의 결과는 전력 DMOS 트랜지스터를 설계할 때에 유용하게 응용될 수 있으리라 사료된다.

参 考 文 献

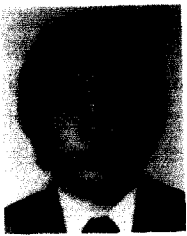
- [1] M.D. Pocha and R.W. Dutton, "A computer-aided design model for high voltage double diffused MOS(DMOS) Transistors," *IEEE J. of Solid-State Circuits*, vol. SC-11, no. 5, pp. 718-726, Oct. 1976.
- [2] S.C. Sun and J.D. Plummer, "Modeling of the on-resistance of LDMOS, VDMOS and VMOS power transistors," *IEEE Trans. Electron Devices*, vol. ED-27, no. 2, pp. 356-367, Feb. 1980.
- [3] M.D. Pocha, J.D. Plummer and J.D. Meindl, "Tradeoff between threshold voltage and breakdown in high voltage double-diffused MOS transistors," *IEEE Trans. Electron Device*, vol. ED-25, no. 11, pp. 1325-1329, Nov. 1978.
- [4] C.T. Wand and D.H. Navon, "Threshold and punchthrough behavior of laterally nonuniformly doped short-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-30, no. 7, pp. 776-782, July 1983.

- [5] D.P. Kennedy and R.R. O'Brien, "Analysis of the impurity atom distribution near the diffusion mask for a planar p-n junction," IBM J. Res. Develop., vol. 9, pp. 179-186, 1965.
- [6] K.L. Kasley, G.M. Oleszek and J.P. Zigadlo, "A model for the lateral junction contour of double-diffused gaussian-profiles," *IEEE*

Trans. Electron Devices, vol. ED-31, no. 9, pp. 1341-1342, Sep. 1984.

- [7] B.J. Baliga and S.K. Ghandhi, "Analytical solutions for the breakdown voltage of abrupt cylindrical and spherical junctions," *Solid-State Electronics*, vol. 19, pp. 739-744, 1976. *

著 者 紹 介



金 鍾 五 (正會員)

1962年 6月 6日生. 1985年 2月 아주대학교 전자공학과 졸업. 1987년 2월 아주대학교 대학원 전자공학과 석사학위 취득. 현재 현대전자(주) 반도체연구소 근무. 주관심분야는 전력소자의 설계 및 반도체 소자의 Modeling 등임.



崔 鍾 守 (正會員)

1963年 9月 19日生. 1986年 2月 단국대학교 전기공학과 졸업. 1988년 2월 동 대학원 반도체 재료분야 공학석사학위 취득. 현재 현대전자(주) 반도체 연구소 Process Integration Dept. 근무. 주관심분야는 전력소자의 설계 및 공정 등임.



金 鎮 亨 (正會員)

1964年 12月 9日生. 1986年 2월 아주대학교 전자공학과 졸업. 1988년 2월 아주대학교 대학원 전자공학과 석사 학위 취득. 현재 현대전자(주) 반도체 연구소 Device Engineering Dept. 근무. 주관심분야는 전력 반도체소자의 설계 및 반도체소자의 Modeling 등임.



尹 漢 鏗 (正會員)

1954年 2月 11日生. 1978年 2월 한양대학교 전자 공학과 졸업. 1986년 5월 미국 University of Maryland, College Park, 전기공학과 Microelectronics 분야 공학석사 학위 취득. 1987년 2월 현대전자(주) 반도체 연구소 Device Engineering Dept. 선임연구원 1983년 8월~1986년 6월 미국 University of Maryland, Microelectronics Lab. 연구조교. 주관심분야는 Small Geometry MOSFETs Modeling, Device-physics & Characterization, SPICE Model Parameter Extraction 및 Optimization 등임.