

새로운 CMOS 전압-제어 발진기

(A New CMOS Voltage-Controlled Oscillator)

鄭元燮*, 金弘培*, 林寅基**, 郭桂達**

(Won Sup Chung, Hong Bae Kim, In Gi Lim and Kae Dal Kwack)

要 約

전압제어 적분기에 기초를 둔 새로운 전압-제어 발진기를 개발했다. 전체 회로는 operational transconductance amplifier(OTA)와 접지된 커패시터로 실현한 전압제어 적분기와, 슈미트 트리거(Schmitt trigger)로 구성된다. 입력제어 전류는 적분기의 적분 시정수를 변화시키고, 이것에 의해 회로의 발진 주파수가 바뀐다. 제어 전압이 0V일때 회로를 12.21KHz에서 발진시킬 경우, -2V에서 2V의 제어 전압 범위에서 전압-주파수의 변환 감도는 2.473Hz/V이고, 최대 직선 오차는 0.68%이다. 저주파에서 100KHz까지의 주파수 범위에서 회로의 주파수 안정도는 약 +250ppm/°C이다.

Abstract

A new voltage-controlled oscillator based on a voltage-controlled integrator has been developed. It consists of a Schmitt-trigger and a voltage-controlled integrator, which is realized by an operational transconductance amplifier (OTA) and a grounded capacitor. The input control voltage changes the time constant of the integrator, and hence the oscillation frequency. The SPICE simulation shows that a prototype circuit, which oscillates at 12.21 KHz at 0 V, has the conversion sensitivity 2,437 Hz/V and the residual nonlinearity less than 0.68% in a control voltage range from -2 V to 2 V. It also shows that the circuit provides a temperature drift less than +250 ppm/°C for frequencies up to 100 KHz.

I. 서 론

전압-제어 발진기(voltage-controlled oscillator: VCO)는 위상-동기루프(phase-locked loops: PLL), 주파수 합성기(frequency synthesizer) 등 신호

처리 시스템에서 필수적으로 요구되는 기본 회로이다. 특히, 근래에 와서는 각종 센서의 신호 처리 회로로서 그 중요성이 더욱 강조되고 있다.

VCO는 회로 구성에 따라 몇가지로 분류되는데,¹⁻³ 회로 구성이 비교적 간단하면서도 성능이 좋은 정전류(constant-current) VCO가 주목을 받고 있다.⁴⁻⁷ 정전류 VCO는 두개의 전압제어 정전류원으로 타이밍 커패시터(timing capacitor)를 충·방전시켜 삼각파를 발생시키고, 이 삼각파를 슈미트 트리거에 입력시켜 구형파 발진 출력을 얻는다. 이 구형파는 정전류원으로 귀환되어, 이들의 온(on), 오프(off)를 제어한다. 따라서, 회로의 성능은 정전류원의 스위칭 특성 및 정합 특성에 의해 결정된다. 이러한 관

*正會員, 淸州大學校 半導體工學科

(Dept. of Semicon. Eng., Chongju Univ.)

***準會員, **正會員, 漢陽大學校 電子工學科

(Dept. of Elec. Eng., Hanyang Univ.)

接受日字: 1988年 6月 25日

(※ 이 연구는 서울대학교 반도체 공동 연구소의 지원에 의해 수행 되었음.)

점에서 볼때, 종래의 VCO는 다음과 같은 문제점을 갖는다. 슈미트 트리거의 구형과 출력으로 두개의 정전류원을 상반되게 온, 오프시킬 때, 전압 스위치 및 정전류원에서 발생하는 스위칭 지연 (switching delay) 에 의해 회로의 고주파 능력과 전압-주파수 특성의 직선성이 떨어진다. 또한, 두개의 정전류원을 상반되게 온, 오프시키는데 사용되는 인버터의 스위칭 지연 때문에 50% 듀티 사이클 (duty cycle) 의 발진 파형을 얻기 어렵다.

이와같은 문제점을 해결하기 위해 본 연구에서는 전압 제어 정전류원 대신에 operational transconductance amplifier (OTA) 를 사용한 새로운 VCO 를 제안한다. OTA 는 입력단이 소오스-결합 차동쌍 (source-coupled differential pair) 로 구성되어 있으므로, 스위칭 속도가 빠르고, 제어전류에 대한 출력 전류의 변화가 거의 선형이다. 따라서 OTA 로 구성된 VCO 는 직선성이 좋은 전압-주파수 특성을 나타내리라 예상된다.

II. 회로구성 및 동작

본 연구에서 제안한 전압 제어 발진기의 회로도를 그림 1(a)에 나타냈다. 발진기는 OTA와 타이밍 커패시터 C로 형성되는 전류제어 적분기와, 연산 증폭기 (operational amplifier)와 귀환 저항 R₁ 그리고 R₂로 형성되는 슈미트 트리거 회로로 구성된다.

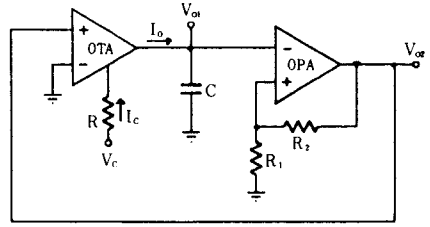
전류제어 적분기의 출력파형 V_{o1}과 슈미트 트리거의 출력파형 V_{o2}를 그림 1(b)에 각각 나타냈다. 그림에서, V_{sat}⁺과 V_{sat}⁻는 각각 슈미트 트리거의 (+)쪽과 (-)쪽의 출력 포화 전압을 나타낸다. 발진기는 다음과 같이 동작한다.

먼저, 발진기가 t₀ < t < t₁ 구간에서 동작하고 있다고 가정한다. 이때 V_{o2} = V_{sat}⁺이고, 이것은 연산 증폭기의 (-)입력 단자 전압이 연산 증폭기의 (+)입력 단자 전압보다 작다는 것 즉, V_{o1} < V_{o2} R₁ / (R₁ + R₂)을 의미한다. 이 구간에서 전류제어 적분기의 입력 V_{o2}와 출력 V_{o1} 사이에는 다음과 같은 관계가 성립한다.

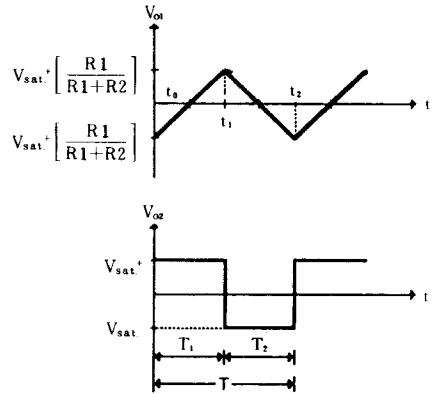
$$V_{o1} = \frac{1}{C} \int_{t_0}^t I_o dt + V(t_0) = \frac{1}{C} \int_{t_0}^t I_o dt + V_{sat}^- \left(\frac{R_1}{R_1 + R_2} \right) \quad (1)$$

여기서, I_o는 OTA의 출력 전류이고, V(t₀)는 t = t₀에서의 커패시터의 초기 전압이다. OTA의 출력 전류 I_o는 제어전류 I_c에 직접 비례하므로,

$$I_o = K I_c \quad (2)$$



(a)



(b)

그림 1. 제안한 전압-제어 발진기 (VCO)
(a) 회로도
(b) 출력 파형

Fig. 1. The proposed voltage-controlled oscillator (VCO).
(a) circuit diagram.
(b) output waveforms.

로 나타낼 수 있다. 여기서 K는 비례 상수이다. (2) 식을 (1)식에 대입하고 정리하면,

$$V_{o1} = \frac{K I_c}{C} t + V_{sat}^- \left(\frac{R_1}{R_1 + R_2} \right) \quad (3)$$

이 된다. (3)식은 V_{o1}이 초기 전압 V_{sat}⁻ R₁ / (R₁ + R₂)으로 부터 시간이 증가함에 따라 K I_c / C의 기울기로 선형적으로 증가함을 의미한다. V_{o1}이 V_{sat}⁺ R₁ / (R₁ + R₂)에 도달했을 때, 연산 증폭기의 출력 V_{o2}는 V_{sat}⁻으로 바뀐다. 따라서, t₀에서 t₁사이의 시간 즉, 발진 파형이 (+)인 기간 T₁은 다음 식으로 주어진다.

$$T_1 = \frac{C}{K I_c} \frac{R_1}{R_1 + R_2} (V_{sat}^+ - V_{sat}^-) \quad (4)$$

다음으로, t₁ < t < t₂ 구간에서는 V_{o2} = V_{sat}⁻이므로, OTA의 출력전류 I_o는 극성이 바뀌어 -K I_c가 된다. 전류제어 적분기는 커패시터 C를 방전시키며, V_{o1}이

V_{sat-} . $R_1/(R_1+R_2)$ 에 도달할 때까지 V_{o1} 을 선형적으로 감소시킨다. 이 구간에서의 V_{o1} 은

$$V_{o1} = -\frac{K I_c}{C} t + V_{sat-} \cdot \left(\frac{R_1}{R_1+R_2} \right) \quad (5)$$

로 나타내어진다. 따라서, t_1 에서 t_2 사이의 시간 즉, 발진 파형이 (-)인 시간 T_2 는 다음 식으로 주어진다.

$$T_2 = -\frac{C}{K I_c} \frac{R_1}{R_1+R_2} (V_{sat-} - V_{sat+}) \quad (6)$$

(4)식과 (6)식으로 부터 발진 주파수를 구하면,

$$f_0 = \frac{K I_c}{2C} \frac{R_1+R_2}{R_1} \frac{1}{(V_{sat+} - V_{sat-})} \quad (7)$$

이 된다. (7)식으로 부터, 발진 주파수 f_0 가 제어 전류 I_c 에 직접 비례함을 알 수 있다.

VCO의 성능에 영향을 주는 가장 큰 요인은 발진기의 귀환 루프에서 발생하는 스위칭 지연이다. 이 스위칭 지연은 VCO의 고주파 능력을 제한시키고, 전압-주파수 특성의 직선성을 악화시킨다. 스위칭 지연은 OTA와 슈미트 트리거의 스위칭 속도, 회로 내부의 전류 크기, 그리고 기생 용량등에 의존한다. 따라서, 어떤 구성의 OTA와 슈미트 트리거를 채용하는냐에 따라 전체 VCO의 성능이 결정된다. 1Hz ~ 10KHz의 주파수 범위를 목적으로 OTA와 슈미트 트리거를 설계했다. 이하에서, OTA와 슈미트 트리거의 연산 증폭기에 대해서 설명한다.

1. OTA설계

OTA에 소신호(수 mv이하)가 입력될 때, OTA는 입력 전압에 비례하는 전류를 출력시키는 전압제어 전류 증폭기로서 동작한다. 출력 전류는 입력 전압과 트랜스컨덕턴스(transconductance) g_m 의 곱으로 나타내어진다. 그림 2에 OTA의 회로도를 나타냈다.^[9] 소신호에 대한 입·출력 관계식은

$$i_o = g_m (V_{in+} - V_{in-}) \quad (8)$$

로 주어진다. 여기서,

$$g_m = 2 \sqrt{\frac{\mu n C_{ox}}{2} \frac{W}{L} (1 + \lambda V_{DS}) I_D} \quad (9)$$

이다. L과 W는 각각 M_1, M_2 의 채널 길이와 폭을 나타낸다.

OTA를 그림 1의 VCO에 사용할 경우, $V_{in+} = V_{sat+}$ 또는 V_{sat-} 이고, $V_{in-} = 0V$ 이므로, M_1 은 컷오프(cutoff) 그리고 M_2 는 포화 영역에서 동작하거나, 이와반대로 M_1 은 포화 영역, M_2 는 컷오프 영역에서 동

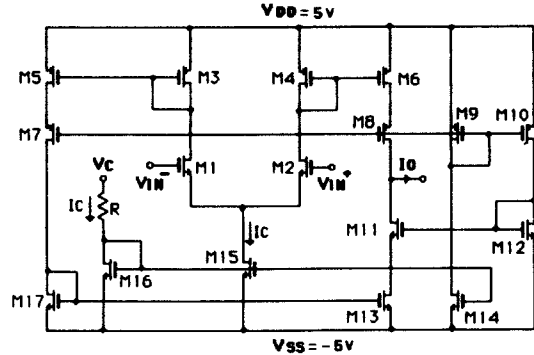


그림 2. CMOS operational transconductance amplifier (OTA)의 회로도

Fig. 2. Circuit diagram of CMOS operational transconductance amplifier (OTA).

작한다. OTA의 대신호 동작 특성을 시뮬레이션한 결과를 그림 3에 나타냈다. 그림으로부터, OTA의 입력 전압 차가 $\pm 160mv$ 일 때, OTA가 완전히 스위칭하는 것을 알 수 있다. 따라서, $V_{in+} = V_{sat+}$, $V_{in-} = 0V$ 일 때, OTA는 대신호 모드(mode)로 동작하며, 그 원리는 다음과 같다.

M_{16} 와 M_{15} 는 전류원을 형성하므로, 제어전압 V_c 와 M_{15} 의 드레인 전류 I_{15} 사이에 다음의 관계식이 성립한다.

$$I_c = I_{15} \approx \frac{V_c - V_{SS} - V_T}{R} \quad (10)$$

여기서, V_T 는 NMOS의 문턱 전압이다. M_1, M_2 의

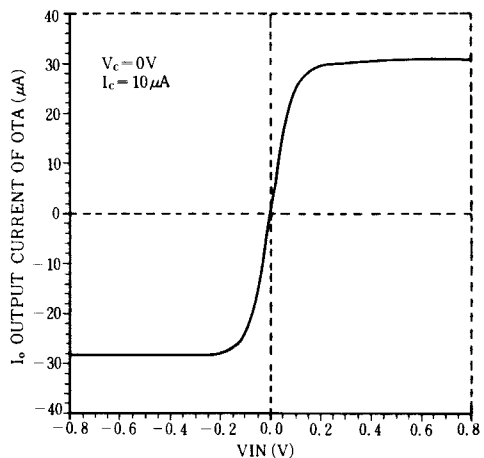


그림 3. OTA의 대신호 특성

Fig. 3. Large signal characteristic of OTA.

차동쌍에서 M_1 는 컷오프이고 M_2 는 포화하므로 I_c 는 M_2 로만 흐르게 된다. M_3 과 M_4 그리고 M_5 과 M_6 는 각각 전류미러(current mirror)를 형성하므로, $I_3 = 0A$ 그리고 $I_4 = K I_c$ 가 된다. 여기서, K 는 M_3 과 M_4 의 W/L 비 그리고 M_5 와 M_6 의 W/L 비에 의해 결정되는 상수이다. M_{13} 과 M_{17} 의 전류미러에 의해 $I_{11} = I_{15} = 0A$ 가 된다.

따라서,

$$I_o = K I_c \approx K \frac{V_c - V_{ss} - V_T}{R} \quad (11)$$

이 되고, 출력 전류 I_c 는 제어 전압 V_c 에 직접 비례한다. 이 출력 전류가 VCO의 타이밍 커패시터 C 를 충전시킨다. 한편, $V_{in} = V_{sat}$ 그리고 $V_{in} = 0V$ 일 때 $I_o = 0A$, $I_{11} = K I_c$ 가 된다. 따라서,

$$I_o = -K I_c \approx -K \frac{V_c - V_{ss} - V_T}{R} \quad (12)$$

이 되고, 이 전류가 VCO의 타이밍 커패시터를 방전시킨다. 제어 전류 I_c 에 대한 출력 전류 I_o 의 특성을 시뮬레이션한 결과를 그림 4에 나타냈다. 그림 4는 I_c 에 대한 I_o 의 특성이 거의 직선이고, 기울기 K 가 3.449임을 보여준다.

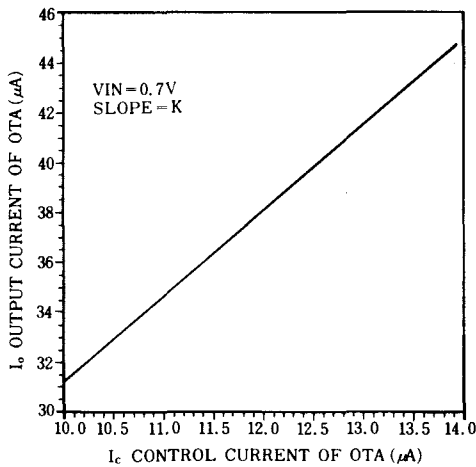


그림 4. 대신호 모드로 동작하는 OTA의 제어전류에 대한 출력 전류

Fig. 4. Output current versus control current of the OTA operating in large signal mode.

이상의 설명에서 알 수 있듯이, OTA가 대신호로 동작할 경우, 출력 전류 I_o 는 입력 전압 V_{in} 에 관계 없이 제어 전류 I_c 에 의해서만 결정된다.

결국, 발진 주파수 f_o 는

$$f_o = K' \frac{V_c - V_{ss} - V_T}{R} \quad (13)$$

이 된다. 여기서,

$$K' = \frac{K}{2C} \frac{R_1 + R_2}{R_1} \frac{1}{(V_{sat}^+ - V_{sat}^-)} \quad (14)$$

이 된다.

2. 슈미트 트리거 설계

VCO의 슈미트 트리거로는 dual-comparator-type의 회로를 사용하는 것이 고무적이거나, 설계 주파수 범위가 저주파이므로, 회로 구성이 간단한 연산 증폭기로 슈미트 트리거를 구성했다. 그림 5에 CMOS 2단(two-stage) 연산 증폭기의 회로도를 나타냈다.

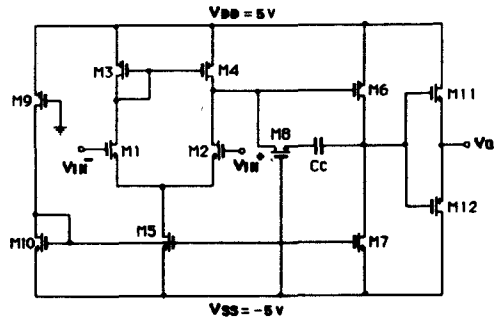


그림 5. CMOS 2단 연산 증폭기의 회로도

그림 5. Circuit diagram of CMOS two-stage op amp.

연산 증폭기는 M_1, M_2, M_3 , 그리고 M_4 로 형성되는 차동 증폭단과 M_5 와 M_6 으로 형성되는 공통-소오스 증폭단, 그리고 M_{11} 과 M_{12} 로 형성되는 B급 푸시풀(push-pull) 증폭기로 구성된다. M_9 와 M_{10} 은 전류원이고, M_5 와 M_{10} 그리고 M_7 과 M_{10} 은 회로를 바이어스시켜 주기 위한 전류미러이다. C_c 와 M_8 은 보상용 소자이고, M_8 은 트라이오드(triode) 영역에서 동작하는 등가저항이다. 연산 증폭기의 전체전압 이득은

$$A \approx - \frac{g_{m2}}{g_{d2} + g_{d4}} \frac{g_{m6}}{g_{d6} + g_{d7}} \quad (15)$$

으로 주어진다. 표 1에 SPICE 시뮬레이션에 의한 연산 증폭기의 성능 파라미터를 나타냈다.

III. 실험 결과

그림 1의 VCO를 개별 부품을 사용하여 브레드 보

표 1. CMOS 연산증폭기의 성능파라미터
Table 1. Performance parameter of CMOS op amp.

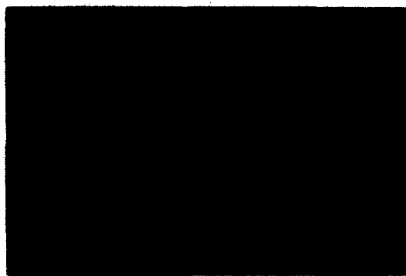
Performance Parameter	Measured Values
DC-Open Circuit Gain	79.6dB
Unity-Gain Bandwidth*	6.5MHz
Phase-Margin *	60°
Slew-Rate *	5.5V/ μ sec
CMRR	60dB
Output Voltage Swing	-4.5~4.5V
Output Resistance *	0.245M Ω
DC-Power Dissipation	1.79mW

(*) : $C_L=5pF$

드(breadboard) 실험을 했다. OTA는 LM13600을 그리고 연산 증폭기는 TLC254를 각각 사용했다. 다른 회로 소자들은 $R_1=1K\Omega$, $R_2=9K\Omega$, $R=1M\Omega$ 그리고 $C=1000pF$ 로 했다. 제어 전압 $V_c=0V$ 일 때와 5V일 때의 발진 파형을 그림 6의 (a)와 (b)에 각각 제시했다.



(a) $V_c=0V$ $f_o=3.339KHz$



(b) $V_c=5V$ $f_o=6.911KHz$

그림 6. 실험으로 관측된 발진파형
수평 스케일 : 50 μ s/div
수직 스케일 : 300mV/div

Fig. 6. Experimentally observed oscillation waveforms.
Horizontal scale : 50 μ S/div.
Vertical scale : 300mV/div.

그림 1의 VCO의 동작 및 성능을 SPICE로 확인했다. 그림 7에 VCO의 전체 회로도를 나타냈다. 표 2에 연산 증폭기와 OTA의 MOSFET 제원을 나타냈다. $R_1=1K\Omega$, $R_2=9K\Omega$, 그리고 $R=600K\Omega$ 로 했다. 그림 8의 (a)와 (b)는 $C=2000pF$, $V_c=-2V$ 일 때의 발진 파형과 $C=2000pF$, $V_c=2V$ 일 때의 발진 파형을 각각 보여준다. 그림 9에 타이밍 커패시터 값을 바꾸면서 시뮬레이션한 결과를 나타냈다. 전압-주파수 특성의 기울기가 타이밍 커패시터 값에 직접

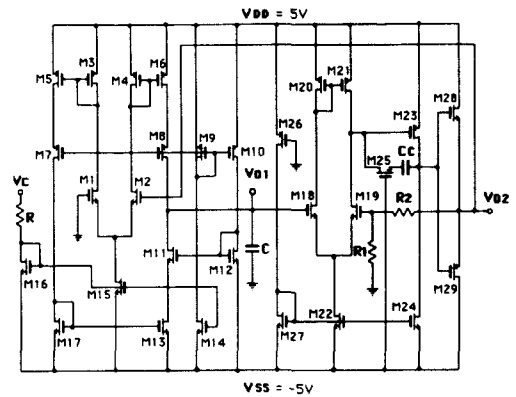


그림 7. VCO의 전체 회로도

Fig. 7. The complete circuit diagram of VCO.

표 2. VCO의 소자크기

Table 2. Device dimensions of VCO.

MOS #	TYPE	W/L	MOS #	TYPE	W/L
M 1	N	50/3	M 16	N	40/3
M 2	N	50/3	M 17	N	60/3
M 3	P	20/3	M 18	N	100/5
M 4	P	20/3	M 19	N	100/5
M 5	P	60/3	M 20	P	80/10
M 6	P	60/3	M 21	P	80/10
M 7	P	60/3	M 22	N	90/10
M 8	P	100/3	M 23	P	160/5
M 9	P	14/8	M 24	N	100/5
M 10	P	14/8	M 25	P	20/15
M 11	N	60/3	M 6	N	10/40
M 12	N	20/8	M 27	N	90/10
M 13	N	60/3	M 28	N	100/10
M 14	N	60/3	M 29	P	100/10
M 15	N	40/3	UNIT=MICRO METER		

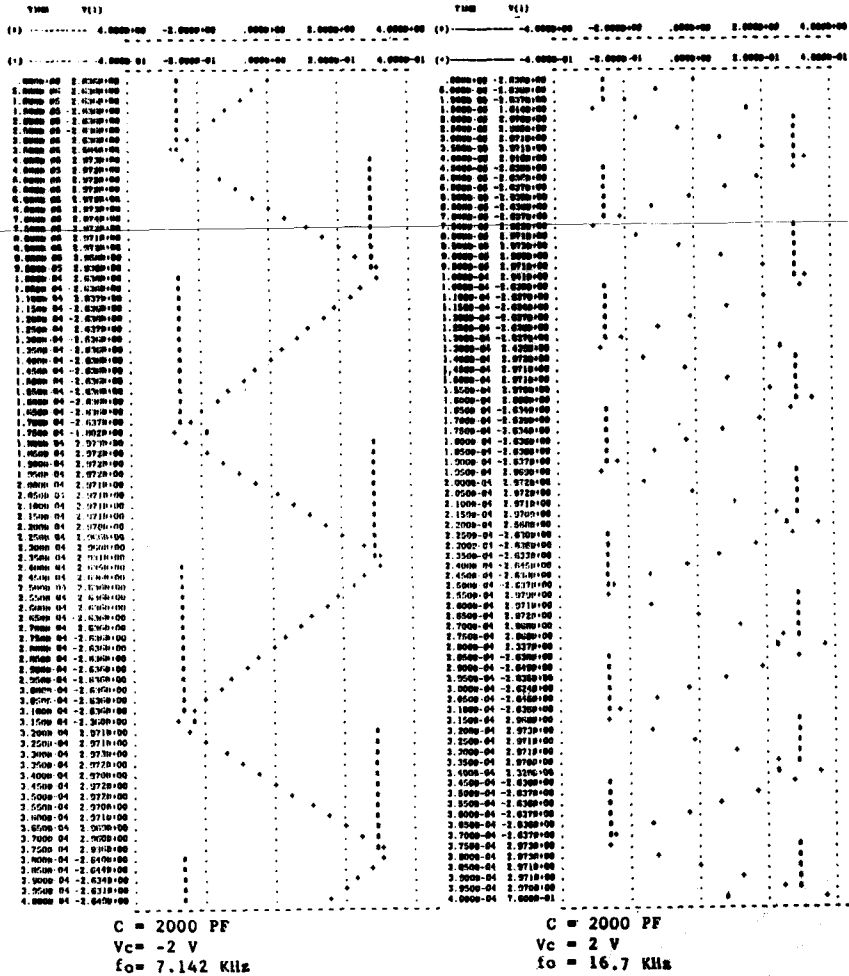


그림 8. SPICE 시뮬레이션으로 얻은 VCO의 출력파형
 Fig. 8. The output waveforms of VCO obtained by SPICE simulation.

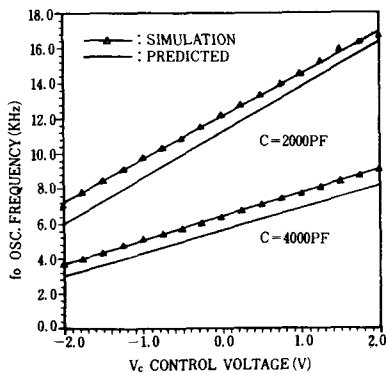


그림 9. C=2000pF와 C=4000pF일 때의 전압-주파수 특성
 Fig. 9. Voltage-frequency characteristics of VCO with C=2000pF and C=4000pF.

비례함을 보여준다. C=2000pF일 때, 변환 감도는 2,437Hz/V이고, 최대 직선 오차는 $V_c=2V$ 에서 약 0.68%이다. C=2000pF, $V_c=2V$ 일 때의 VCO의 온도 특성을 시뮬레이션한 결과를 그림10에 나타냈다. 0°C에서 50°C의 온도 범위에서 주파수 안정도는 +250ppm/°C로 평가된다. 그림11은 각각의 타이밍 커패시터에 대한 정규화된 주파수 드리프트를 시뮬레이션한 결과를 보여준다. C=2000pF에서 C=4000pF의 범위 즉, $f_o=1KHz$ 에서 20KHz의 범위에서 주파수 드리프트가 가장 적음을 알 수 있다. VCO의 전력 소비는 C=2000pF일 때 약 3.2mW이다.

IV. 결 론

본 연구에서는 종래의 VCO가 갖고 있는 문제점을

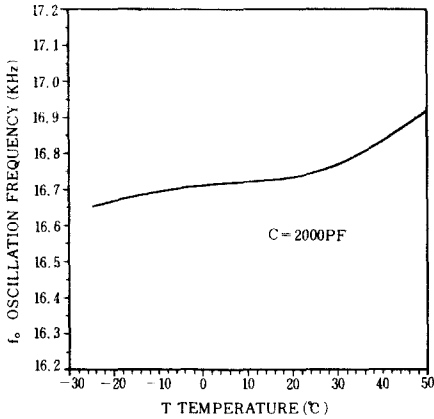


그림10. C=2000pF일 때의 VCO의 온도-주파수 특성

Fig. 10. Temperature-frequency characteristic of VCO with C=2000pF.

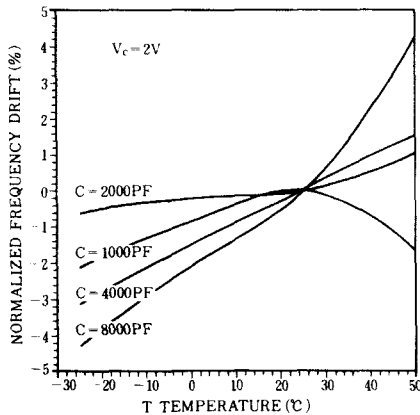


그림11. 온도에 대한 정규화된 주파수 드리프트

Fig. 11. Normalized frequency drift versus temperature of VCO.

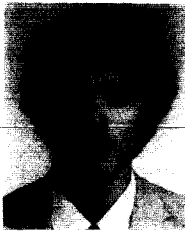
개선하기 위해 전압 제어 전류원 대신에, 스위칭 속도가 빠르고, 제어 전류에 대한 출력 전류의 변화가 거의 선형인 OTA를 사용한 새로운 VCO를 설계하

였다. 타이밍 커패시터 $C=2000\text{pF}$ 이고, 제어 전압이 -2V 에서 2V 까지 변화할 때, 발진 주파수는 약 7KHz 에서 17KHz 까지 변화하며, 이때의 변환감도는 $2,437\text{Hz/V}$ 이고, 최대 직선 오차는 $V_c=2\text{V}$ 에서 약 0.68% 이다. 0°C 에서 50°C 의 온도 범위에서 주파수 안정도는 약 $+250\text{ppm}/^\circ\text{C}$ 로 평가됐다. 전력소비는 약 3.2mW 이다.

参 考 文 献

- [1] J. Kukielka and R.G. Meyer, "A high-frequency temperature stable monolithic VCO," *IEEE J. Solid-State Circuit*, vol. SC-16, pp. 639-647, Dec. 1981.
- [2] W. S. Chung and K. Watanabe, "A linear temperature-to-frequency converter using an integrable colpitts oscillator," *IEEE Trans, Instrum. and Meas.*, vol. IM-34, pp. 534-537, Dec. 1985.
- [3] S.K. Saha, "Linear VCO with sine wave output," *ibid.*, vol. IM-35, pp. 152-155, June 1986.
- [4] R. Gregorian, K.W. Martin and G.C. Temes, "Switched-capacitor circuit design," *IEEE processing*, vol. 71, no. 8, Aug. 1983.
- [5] B.G. Hosticka, W. Brockherde, U. Kleine and R. Schweer, "Design of nonlinear analog switched-capacitor circuits using building blocks," *IEEE Trans. Circuits and System*, vol. CAS-31, pp. 354-368, Apr. 1984.
- [6] E. Vittoz, "Micropower switched-capacitor building blocks for adaptive systems," *IEEE J. Solid-State Circuits*, vol. SC-14, pp. 662-664, June 1979.
- [7] K. Matin, "A voltage-controlled switched-capacitor relaxation oscillator." *ibid.*, vol SC-16, pp. 412-414, Aug. 1981.
- [8] A.B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design," CH. 11, Wiley, New York, 1984.
- [9] Young-Hwan Kim, Song-Bae Park, "Switched capacitor filter design using high performance op-amp," 1987년도 전기. 전자공학 학술 대회 논문집, pp. 1521-1524, 1987. 7. *

著 者 紹 介



鄭元璽(正會員)

1955年 11月 3日生. 1977年 2月 한양대학교 전자통신공학과 졸업. 1979年 2月 한양대학교 대학원 전자통신공학과 공학석사학위 취득. 1986年 3月 일본 정강(Shizuoka)대학 전자과학연구과 공학박사학위 취득. 1986年 4月~현재 청주대학교 반도체공학과 조교수. 주관심분야는 CMOS 애널로그 집적회로 설계 및 센서 신호처리 회로설계 등임.



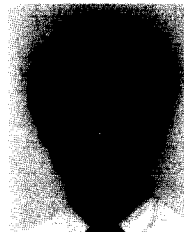
林寅基(準會員)

1965年 1月 18日生. 1987年 2月 한양대학교 전자공학과 졸업. 1987 3月~현재, 한양대학교 대학원 전자공학과 석사과정 재학중. 주관심분야는 회로설계, 시뮬레이션 VLSI CAD 등임.



金弘培(正會員)

1952年 5月 16日生. 1975年 2月 한양대학교 전자공학과 공학사 학위 취득. 1979年 8月 한양대학교 대학원 전자통신공학과 공학석사학위 취득. 1985年 8月 한양대학교 대학원 공학박사학위 취득. 1981年 3月~현재 청주대학교 반도체공학과 부교수. 주관심분야는 TFT (thin film transistor), Sensor device 등임.



郭桂達(正會員)

1950年 2月 13日生. 1974年 한양대학교 전자공학과 졸업. 공학사 취득. 1976年 동 대학원 졸업. 공학석사학위 취득. 1980年 불란서 ENSEEIHT 졸업 공학박사학위취득. 1981年 3月~현재 한양대학교 전자공학과 부교수. 주관심분야는 회로설계, 화합물 반도체의 물성 및 Device simulation 등임.