

# CO<sub>2</sub> 레이저로 열처리된 SOI-PIN Photodiode의 제작 및 전기적 특성

## (CO<sub>2</sub> Laser Annealed SOI-PIN Photodiode Fabrication and its Electrical Characteristics)

張 善 護\*, 金 基 洪\*\*, 安 哲\*\*

(Sun Ho Chang, Gi Hong Kim and Chul An)

### 要 約

SOI-island를 CO<sub>2</sub> 레이저로 열처리한 후 SOI-PIN photodiode를 제작하여 전기적 특성을 관찰하였다. 진성 영역의 다결정 실리콘 결정입정의 크기가 증가함에 따라 암전류는 감소하였고, 광전류-암전류의 비율이 증가하였다. 결정입정 크기가 가장 큰 경우인 10~20 $\mu$ m에서 암전류는 30nA였고(-4V), 광전류는 광세기에 비례하였다.

### Abstract

PIN-Photodiodes were fabricated with CO<sub>2</sub> laser annealed SOI and their electric characteristics were measured. Dark current decreased and photocurrent-dark current ratio increased as the grain size of polycrystalline silicon in intrinsic region increased. In case of the largest grain, 10-20 $\mu$ m, dark current was 30 nA (at -4V) and photocurrent was proportional to light intensity.

### I. 서 론

반도체 공정기술의 발달로 집적도가 이제까지 꾸준히 증가해 왔지만 소자 크기가 극소화 됨에 따라,

강한 전계에 의한 이동도 감소, 고온전자(hot electron), 절연파괴 및 soft error, 기생용량 등의 기능적 문제점이 대두되고 있으며,<sup>1,2)</sup> 궁극적으로는 미세 패턴 형성 및 식각기술의 제한에 부딪히게 된다.<sup>1)</sup> 그러므로 실리콘 공정기술을 이용하면서 이러한 문제점을 해결하기 위해서(저온 공정기술이 뒷받침되는) 3차원 소자구성이 제시되고 있다.

3차원 소자 구성 방법중 한가지 방법이 SOI(silicon on insulator) 구조로서 이 방법에 의한 3차원 소자는 다음과 같은 장점을 갖는다. 첫째, 집적도가 높다. 단일 층에서 기존의 MOSFET와 비교할 때, SOI 구조는 소자의 동작에 필요한 최소 실리콘 박막(thin film)층만 남겨두고 잉여 실리콘 부분을 절

\*正會員, 金星半導體(株)

(GoldStar Semiconductor Ltd.)

\*\*正會員, 西江大學校 電子工學科

(Dept. of Elec. Eng., Sogang Univ.)

接受日字: 1988年 4月 22日

(※本研究은 1986년도 반도체공동연구소연구비와 1987년도 서강대학교 학내연구비 지원으로 이루어 졌음.)

연층으로 격리시킨 형태이므로, 기존의 field oxide, channel stop, well 등이 차지하는 면적이 없고,<sup>[4]</sup> 특히 CMOS에서 문제되는 latch-up 현상이 없다.<sup>[5]</sup> 그러므로 lithography에서 허용되는 최소 선폭으로 소자를 제작할 수 있다. 또한 기존 소자와는 다르게 다층구조가 가능하여 단일 칩(chip)의 집적도는 크게 증가한다. 둘째, 동작 속도가 빠르다. SOI 구조는 연결선과 pad가 절연체 위에 형성되고, 접합 면적이 줄어들어 기생 용량이 감소하며, 소자간 연결성이 짧아서 지연시간(delay time)이 짧다. 그 외에도 병렬 신호 처리와 다기능 동작이 가능하다는 장점을 갖는다.<sup>[6]</sup>

SOI 소자의 응용 가운데 3-D intelligent image processor가 관심을 끌고 있는데,<sup>[7-9]</sup> 첫째층에 select logic, 둘째층에 digitizer, 세째층에 light sensor를 제작하여 각각을 절연층의 via hole을 통해 수직으로 연결함으로써, 단일 칩에 하나의 image processor system을 구성할 수 있게 된다.

본 논문에서는 SOI 구조의 최상단층인 다결정 실리콘 박막을 CW-CO<sub>2</sub> 레이저로 열처리하여 재결정화 시킨뒤, PIN (p-intrinsic-n) photodiode를 제작하여 전류-전압 특성 및 광세기-광전류 특성을 관찰함으로써 3차원 소자의 구현 가능성을 알아 보았다.

SOI의 CO<sub>2</sub> 레이저 열처리에 관해서는 상당부분을 이미 발표했기<sup>[10,11]</sup> 때문에 본 논문에서는 상술하지 않기로 하고 제작된 photodiode의 전기적 특성에 관해 주로 언급하기로 하였다.

## II. SOI의 레이저 열처리 및 PIN Photodiode의 제작 개요

SOI-PIN photodiode(이하 PD로 약칭)의 제작 흐름도 및 단면도는 그림 1과 같다.

실리콘 웨이퍼 위에 습식 산화법으로 두께 8000Å의 기판 산화막 층을 성장하고, LPCVD(low pressure chemical vapor deposition) 방법에 의한 다결정 실리콘 층을 6000Å 두께로 증착하였다. 이어서 island를 형성하고, 500Å 정도의 cap 산화막 층을 성장하였다. 이렇게 제작된 SOI 구조로 된 시료를 그림 2와 같은 레이저 열처리 장치를 이용하여 표 1과 같은 조건으로 재결정화 시켰다. 이때 작은 grain이 얻어진 것을 시료 3으로, 큰 grain이 얻어진 것을 시료 4로 명명하였다. 아울러 레이저 열처리 경우와 비교하기 위해서 열처리 하지 않은 시료(시료 1)와 furnace 열처리한 시료(시료 2)도 준비하였다. 이후 공정은 기존의 방법과 유사하게 N<sup>+</sup> mask와 이온주입(Phos., 5.0 E15/cm, 60Kev), P<sup>+</sup> mask와 이온주입(B, 3.0 E15/cm, 50Kev), dielectric층 형성, contact mask, 금속증

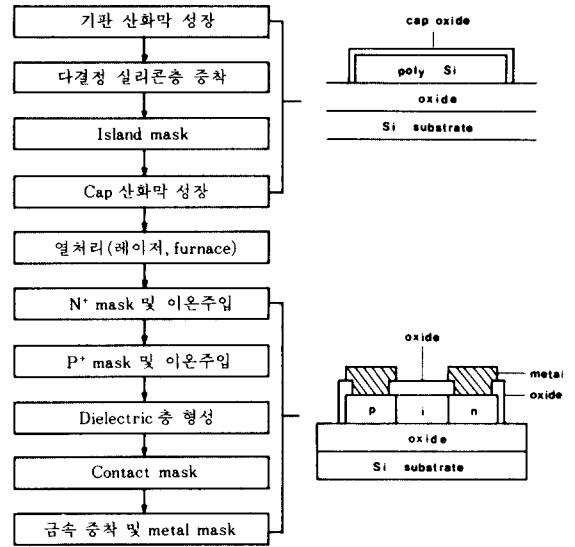


그림 1. SOI-PIN photodiode의 제작흐름도 및 단면도

Fig. 1. The Process flow chart & cross section of SOI-PIN photodiode.

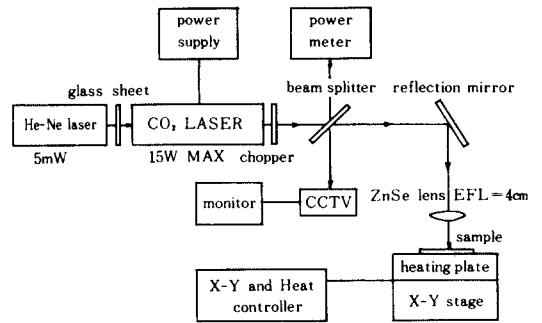


그림 2. CO<sub>2</sub> 레이저 열처리 시스템  
Fig. 2. CO<sub>2</sub> Laser annealing system.

착 및 mask, alloy 순으로 진행하였다. 시료의 layout은 그림 3과 같이 길이 650μm, 폭 90μm의 PIN PD 20개를 병렬 연결한 구조로 이루어져 있으며, 진성 영역의 폭은 공정 margin을 고려하여 20μm로 제작하였다.

## III. 제작된 Photodiode의 전기적 특성

### 1. 전류-전압 특성

표 1의 조건에 따라 제작된 시료에 빛을 조사한 전

표 1. SOI-PD의 열처리 조건  
Table 1. The annealing conditions of SOI-PD.

시료구분	열 원	열처리 조건	grain의 크기
시료 1		열처리 안함 (poly-Si)	0.1 $\mu\text{m}$ 이하
시료 2	furnace	1100 C, 50분, $\text{N}_2$ 분위기	1.0-5.0 $\mu\text{m}$
시료 3	$\text{CO}_2$ 레이저	6W, 0.4mm/s, 빔 직경=50 $\mu\text{m}$	3.0-10.0 $\mu\text{m}$
시료 4	//	7W, 1.0mm/s, 빔 직경=50 $\mu\text{m}$	10.0-20.0 $\mu\text{m}$

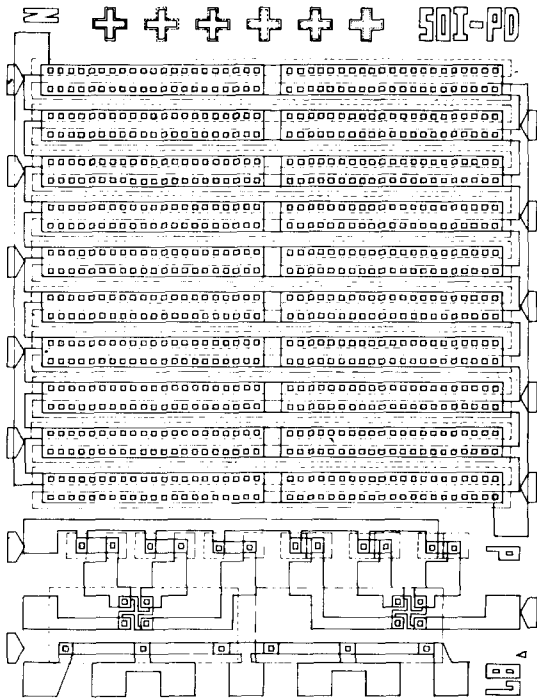


그림 3. 시료의 layout  
Fig. 3. Layout of sample.

후의 전류-전압 특성은 그림 4와 같다. (광원 및 빛의 세기는 그림 5, 6 및 7에 나타나 있음)

(1) 시료 1 - 열처리 하지 않은 경우 (다결정 실리콘) 바이어스에 대해 전류가 거의 선형적으로 증가하며, 약 170k $\Omega$ 의 저항값을 갖는다. 특히 순방향에서 cut-in 전압을 찾을 수 없는데, 이것은 p와 n영역 사이에 큰 저항비(10E7 $\Omega$ -cm 이상)을 갖는 폭 20 $\mu\text{m}$ 의

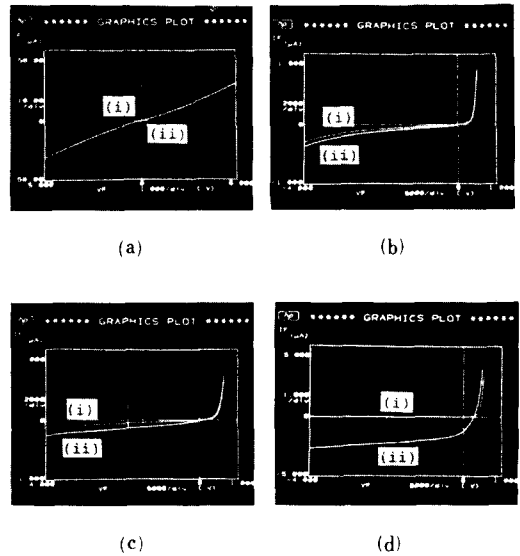


그림 4. 빛 조사 전 (i), 후 (ii)의 전류-전압 특성.  
(a) 시료 1 - 열처리 안함 (전후가 동일)  
(b) 시료 2 - furnace 열처리  
(c) 시료 3 - 레이저 열처리 1  
(d) 시료 4 - 레이저 열처리 2

Fig. 4. I-V characteristics of before (i) & after (ii) illumination.  
(a) sample 1 - no annealing ((i), (ii) same)  
(b) sample 2 - furnace annealing.  
(c) sample 3 - laser annealing 1.  
(d) sample 4 - laser annealing 2.

i 영역이 있고, 또한 결정 입정의 크기가 약 0.1 $\mu\text{m}$ 이므로 p, n 영역에서 빛의 조사여부와 관계없이, 여기된 캐리어의 대부분이 결정립계에 포획되어 전도에 기여할 수 없기 때문이다.<sup>[14]</sup> 그림(a)에서 볼 수 있듯이 빛조사 전후의 특성이 차이가 거의 없어 하나의 곡선으로 보인다.

(2) 시료 2 - furnace 열처리 경우

암전류가 시료 1 경우보다 수십배 줄었는데, 이것은 결정 입정 크기의 증가에 기인한다. 한편 암전류의 기울기를 보면, 원점에서 -2V까지는 선형적이지만 그 이하에서는 비선형적(nonlinear) 경향을 보인다. 이런 현상은 전계가 증가 함에 따라 캐리어가 결정립계의 전위 장벽을 뛰어 넘을 수 있는 충분한 에너지를 갖게되어 thermionic emission rate가 증가하기 때문이다.<sup>[14,15]</sup>

순방향 바이어스 약 0.5V에서 cut-in 전압을 볼 수 있다. 광전류는 암전류의 1.1~1.2배 인데, 이것은 빛에 의해 여기된 캐리어가 시료 1 경우보다 결정립

계에 포획되는 정도가 줄었기 때문이다.

(3) 시료 3 - 레이저 열처리 1 경우

역 바이어스에 대해 전류가 선형적으로 증가하였고, 광전류는 암전류의 2.0~2.5배로 증가 함으로써 시료 2 경우보다 역방향 특성이 개선되었다.

(4) 시료 4 - 레이저 열처리 2 경우

역 바이어스에 대한 암전류 변화가 크게 둔화 되었고, 광전류는 2.0~2.5 $\mu$ A로서 시료 3 경우보다 약 10배 증가 하였다.

바이어스를 가하지 않은 (no bias) 상태에서도 광전류가 흘렀다. 이러한 현상은 시료 1, 2, 3 경우에서는 볼 수 없었던 것으로서, SOI-PD의 진성 영역에서 여기된 캐리어가 바이어스에 의한 강한 전계 없이도 built-in 전압에 의해 p, n 영역으로 쉽게 유동 (drift) 할 수 있기 때문이다.

이것은 궁극적으로 적절한 레이저 열처리에 의해 SOI-PD islands의 결정 입정 크기가 10~20 $\mu$ m로 성장하여 캐리어가 결정립계에 포획될 확률이 크게 줄었기 때문이다.

이상 4 가지 시료에 대한 SOI-PD의 I - V 특성을 종합하면 다음과 같다.

첫째, 적절한 열처리 조건에 의해 SOI-PD islands의 결정 입정 크기가 증가할수록 암전류는 감소하였다. 이것은 결정립계에 존재하는 포획 상태가 줄어들어, 캐리어의 lifetime이 길어졌기 때문이다.

둘째, 결정 입정의 크기가 증가할수록 광전류-암전류 비율이 증가 하였다(표2). 특히, 시료 4의 경우는 약 100배의 차이를 나타내는데, 이것은 결정입정 크기가 10~20 $\mu$ m이므로 SOI-PD의 진성 영역폭 20 $\mu$ m를 감안하면, 시료 3 경우보다 결정립계가 차지하는 비율이 크게 감소했기 때문인 것으로 해석된다.

표 2. 광전류-암전류 비율

Table 2. Photocurrent - darkcurrent ratio.

시료 \ Vr	- 4 V	- 3 V	- 2 V	- 1 V
시료 1	1.0	1.0	1.0	1.0
시료 2	1.2	1.4	1.5	1.6
시료 3	2.2	2.3	2.5	3.0
시료 4	88.5	90.0	100.0	117.7

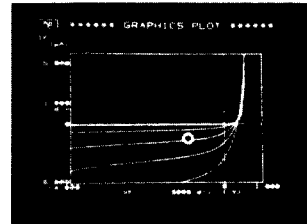
2. 광전류-광세기 특성

(1) SOI-PD의 특성 중에서, 암전류가 적고 광전류-암전류 비율이 큰 시료 4에 대해서 광원(할로겐

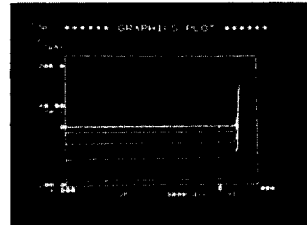
램프)의 세기를 증가시키며 광전류의 변화를 관찰하였으며, 결과는 그림 5(a)와 같다.

광원의 세기를 증가시키며 따라 광전류가 증가하였으며, 특히 단락회로 광전류(short circuit photocurrent : I<sub>sc</sub>)도 증가 하였다.

광세기의 함수로 광전류를 표현하면 그림 6과 같으며, 그것으로 부터 다음과 같은 결과를 얻었다.



(a)



(b)

그림 5. 광세기변화에 따른 광전류 특성  
(a) SOI-PIN Photodiode 경우(시료 4)  
(b) 일반 Photodiode 경우

Fig. 5. Photocurrent characteristics according to light intensity variation.  
(a) SOI-PIN Photodiode (sample 4).  
(b) conventional Photodiode.

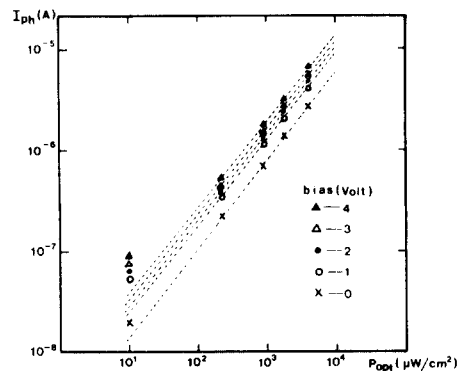


그림 6. 광전류와 광세기의 관계(할로겐 램프)

Fig. 6. The relation between photocurrent & light intensity (Hallogen lamp).

첫째 광세기에 비례하여 광전류가 증가 하였다. 단,  $100\mu\text{W}/\text{cm}^2$  이하의 광세기 범위에서는 비례 관계에서 벗어나는데, 이것은 광세기가 미약하여 잡음에 의한 전류성분이 나타난 것으로 생각된다. 그러나 바이어스를 가하지 않은 경우에는 4 decades ( $10-10^4 \mu\text{W}/\text{cm}^2$ )의 광세기에 대해 비례 관계가 성립한다.

둘째, 역 바이어스가 증가 함에 따라 광전류가 증가하지만, 기울기는 변하지 않고 일정하다. 그러므로 바이어스를 일정하게 가한 상태에서 비례관계를 이용하여 광 신호를 전기 신호로 변환 할 수 있다.

단결정 실리콘으로 만들어진 경우와 비교하기 위하여, SOI 구조가 아닌 일반 photodiode로 같은 조건에서 실험하여 얻은 결과는 그림 5 (b)와 같으며, 다음과 같은 점을 알 수 있었다.

광세기에 비례하여 광전류가 증가하며 역 바이어스에 따른 광전류 변화가 무시할 정도로 적고, 바이어스를 가하지 않은 상태에서도 일정한 값을 나타낸다.

단일 파장의 빛에 의한 광전류 특성을 살펴보기 위해  $0.4880\mu\text{m}$ 의 파장을 갖는 Ar+ 레이저를 이용한 결과도 그림 7과 같이 수  $\text{W}/\text{cm}^2$  범위에서 광세기가 증가함에 따라 광전류가 선형적으로 증가 하였다.

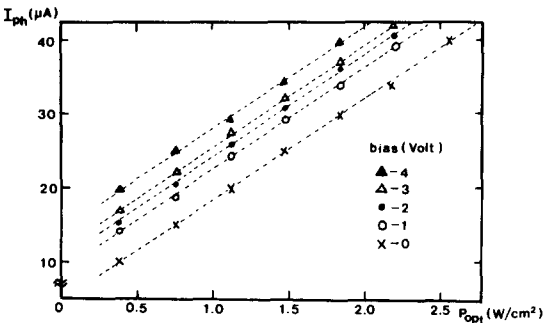


그림 7. 광전류와 광세기의 관계 (Ar+ 레이저)

Fig. 7. The relation between photocurrent and light intensity (Ar+ Laser).

#### IV. 결 론

$\text{CO}_2$  레이저로 열처리한 SOI-island에 SOI-PIN PD를 제작하고 암전류 및 광전류 특성을 분석하였다. 결정 입정의 크기가 증가할수록 암전류는 감소하였고, 광전류-암전류 비율 ( $I_{ph}/I_{dark}$ )은 증가 하

였다. 가장 큰 결정입정의 경우 ( $10-20\mu\text{m}$ ) 암전류는  $30\text{nA}$  ( $-4\text{V}$ )였고, 광전류는 광원의 세기에 비례하였다. 이때 할로젠 램프 광원(백색광)의 세기에 대해서는 4 decades에 걸쳐 비례하였으며,  $0.4880\mu\text{m}$ 의 파장을 갖는 Ar+ 레이저의 전력 밀도에 대해서도 비례함을 알 수 있었다. 다만 일반 PD와는 다르게, 역 바이어스에 따라 광전류가 약간 변화하는 문제가 있었다. 이것은 공정 rule 제한에 의한 SOI-island 폭 ( $90\mu\text{m}$ ) 사이의 결정입체들을 전부 제거할 정도의 단결정 성장이 레이저 열처리때 이루어지지 못했기 때문이라고 생각되는데, 더 큰 단결정 성장을 이루거나 또는 현재 얻은 결정의 크기 ( $10-20\mu\text{m}$ )로도 충분한 공정을 거친다면 더욱 향상된 특성을 얻을 것으로 생각된다.

#### 參 考 文 獻

- [1] H.E. Oldham et al., *Solid State Tech.*, Part I; pp. 177-183, Part II; pp. 249-256, 1984.
- [2] J.R. Pfiester et al., *IEEE Tr. on Elec. Dev.*, ED-32, pp. 333-343, 1985.
- [3] A.D. Wilson, *Solid State Tech.*, pp. 249-255, 1986.
- [4] S.L. Partridge, *Solid State Dev.*, 1985.
- [5] D.B. Estreich, *IEEE Tr. on CAD, CAD-1* no. 4, pp. 157-162, 1982.
- [6] *proceedings of the IEEE*, vol. 74 no. 12, p. 1705, 1986.
- [7] T. Tsurushima, *Proc. 2nd Int. Workshop Future Electron Devices*, p. 1, 1985.
- [8] T. Nishimura et al, *Proc. Symp. VLSI Tech.*, vol. 6, p. 30, 1985.
- [9] S. Hirose et al, *Proc. Symp. VLSI Tech.*, vol. 8, p. 34, 1985.
- [10] 오민록, 안철, 대한 전자공학회 논문지, 제24권 제6호, pp. 46-50, 1987.
- [11] 오민록, 안철, 1987년도 전기전자공학 학술대회 논문집(I), pp. 536-538, 1987.
- [12] T.I. Kamins, *J. Appl. Phys.*, vol. 42, p. 4357, 1971.
- [13] J.Y. Seto, *J. Appl. Phys.*, vol. 46, p. 5247, 1975.
- [14] D.L. Chen, *IEEE Tr. on Elect. Dev.*, ED-33 no. 2, p. 270, 1986.
- [15] J.Y. Seto, *J. of Appl. Phys.*, vol. 46 no. 12, p. 5247, 1975. \*

著 者 紹 介



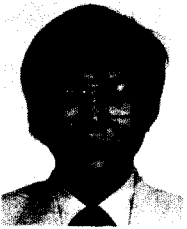
張 善 護(準會員)

1963年 1月 6日生. 1986年 2月 서강대학교 전자공학과 졸업. 1988年 2月 서강대학교 대학원 전자공학과 졸업. 현재 금성반도체 근무. 주관심분야는 반도체소자 등임.



安 哲(正會員)

1942年 6月 27日生. 1965年 서강대학교 물리학과 졸업. 1970年 프랑스 Grenoble 대학교 D. E. A. (석사과정) 수료, 1972年 프랑스 Grenoble 대학교 이학박사학위 취득. 1973年~현재 서강대학교 전자공학과 교수. 주관심분야는 레이저아닐링 및 SOI등임.



金 基 洪(正會員)

1958年 10月 7日生. 1981年 2月 서강대학교 전자공학과 졸업. 1985年 2月 서강대학교 대학원 전자공학과 졸업 공학석사학위 취득. 1984年 12月~현재 금성반도체 안양연구소 연구원. 1987年 3月~현재 서강대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는 반도체소자, VLSI 등임.