

論 文

VHF 대역 Exciter 구성에 관한 연구

正會員 朴 淳 駿* 正會員 黃 敬 鎬*** 正會員 朴 瑛 哲***

正會員 鄭 昌 京** 正會員 車 均 鉉*

A Study on the Implementation of Exciter in VHF Band

Soon Joon PARK*, Kyung Ho HWANG***, Young Chull PARK***,

Chang Kyung CHUNG**, Kyun Hyun TCHAH* *Regular Members*

要 約 현대 통신에서 혼신방지 및 보안유지를 위한 방법으로 ECCM 기법이 개발되었다. 주파수 도약방식은 이러한 기법중의 하나이며 RF 변조된 신호를 일정한 대역폭내에서 빠르게 움직여 신호의 추적을 어렵게 만드는 방법이다. 본 논문에서는 1.25MHz ± 800Hz 의 FM 변조된 기준 신호와 LO(Local Oscillator)에 의해 30-80MHz 의 FM 출력을 얻을 수 있는 PLL-Exciter를 구성하였다. Exciter의 LO로는 42.5-100.5MHz에서 도약시킬 수 있는 주파수 합성기를 사용하였다.

ABSTRACT In this paper an exciter which performs modulation and amplification is composed of high power(30 dBm) VCO(Voltage Controlled Oscillator) using push-pull circuit. Modulation is FSK using PLL(Phase Locked Loop). A single loop PLL synthesizer having frequency range of 42.5-100.5MHz, 25KHz channel spacing and switching time of 1msec converts down the exciter VCO frequency to 1.25 MHz. This signal mixed with the FSK modulated signal coming in the phase detector of exciter. The acquisition time of exciter for frequency hopping is less than 200μsec, so the total acquisition time for transmission is less than 1.5msec. There is no need of additional power amplification because power amplification by high power VCO is high enough to communicate within near distance. The proposed frequency synthesizer is not complex so it is suitable for low cost slow frequency hopping spread spectrum communication.

I. 서 론

스펙트럼 확산(spread spectrum)통신의 한방법

*高麗大學校 電子工學科
Dept. of Electronic Engineering, Korea University

**明知大學校 電氣工學科
Dept. of Electrical Engineering Myoung-Ji University

***三星半導體通信(株)
Samsung Semiconductor & Telecommunications Corp.

論文番號 : 88-24(接受1988. 5. 20).

인 주파수 도약(frequency hopping)방식은 의도적인 방해(jamming)전파에 대응하기 위해서 1940년대 레이다에 적용된 이후 주로 특수통신에서 사용되어 왔던 통신 방식이다.

그러나 1970년대에 와서 무선통신망의 의도적 혹은 비의도적인 방해전파에 의한 혼신방지, 그리고 보안유지등을 목적으로 특수통신은 물론 일반통신 시스템에도 적용되고 있다.

본 논문에서는 42.5~100.5MHz의 주파수 대역에서 25KHz의 채널간격을 갖고 주파수 도약 시간이 1ms미만의 전대역 주파수 도약이 가능한 주파수 합성기를 구성하였다. 주파수 합성기를 구성하는데 획득시간을 빠르게 하는 3가지방법을 혼합하여 사용하므로써 회로가 비교적 간단하고 좋은 잡음특성의 출력을 얻을 수 있는 방법에 대하여 연구하였다.

또한 엑사이터(exciter)를 푸시풀 회로를 이용한 고출력 VCO로 PLL을 구성하므로써 다른 시스템과 달리 최종단증폭없이 근거리 통신에 사용할 수 있는 30dBm (1 W)의 출력을 얻는 방법을 제안하였다.

위의 주파수 합성기와 엑사이터 및 다른 회로를 복합적으로 사용하여 음성통신과 데이터통신이 가능한 주파수 도약 스펙트럼 확산통신 방식의 송신시스템 실현에 관하여 연구하였다.

II. 주파수 도약방식의 이론적 배경

주파수 도약방식 통신 시스템의 블록도는 그림 1과 같다.

송신부에서 변조된 신호는 주파수 합성기와 주파수변환(mixing)되어서 출력단 증폭기를 통하여 전송된다. 수신부에서는 수신된 신호와 수신단의

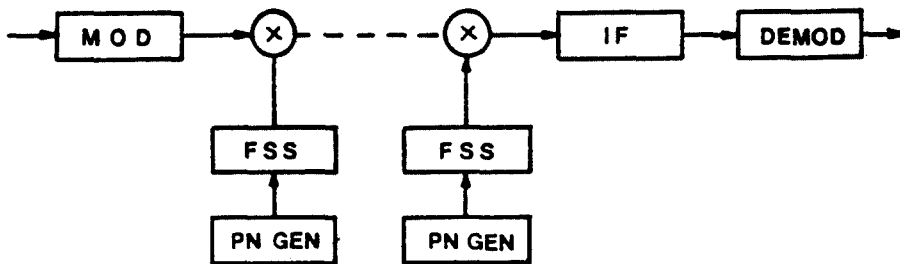
주파수 합성기의 신호를 주파수 변환해서 필터를 통과시켜 복조하여 송신된 신호를 얻어낸다.

주파수 합성기는 PLL을 이용한 주파수합성방식으로 회로가 간단하며 스퓨리어스가 적은 반면 속도가 느려서 저속주파수 도약방식에 주로 이용되는 非코히런트(incoherent)방식을 사용했다.

주파수 도약방식에서 사용하는 변조 방식으로 CFSK(Coherent Frequency Skift Keying) 또는 PSK(Phase Shift Keying)를 사용하면 주파수합성기출력, 즉 반송신호와 송신 혹은 수신되는 데이터클럭과 위상을 맞추기가 어려우므로NCFSK(Noncoherent FSK)를 사용했다⁶⁾⁷⁾.

수신부에서는 수신된 도약주파수 신호를 수신단의 주파수 합성기에서 수신된 신호의 중심주파수에 중간주파수 f_{IF} 를 더한 주파수의 신호로 합성하여 2차주파수인 f_{IF} 를 얻는다. 즉, 수신주파수를 $(f_1, f_2, f_3, \dots, f_n)$ 이라고 하면 수신단의 주파수합성기에서 $(f_1 + f_{IF}, f_2 + f_{IF}, f_3 + f_{IF}, \dots, f_n + f_{IF})$ 를 합성하여 수신단의 믹서출력인 f_{IF} 를 얻는다. 이 신호에서 신호성분의 주파수 대역만을 추출하여 복원하므로써 원신호를 얻을 수 있다.

이 방법에서 특정주파수 f_1 를 중심으로한 신호대역 이외의 부분은 수신단의 믹서단과 중간주파수대역 필터를 통하므로써 제거될 수 있다. 또한 중간주파수대역에 비하여 송신 혹은 수신 주



MOD:Modulator IF:Intermediate Frequency
 DEMOD:Demodulator PNGEN:Pseudo Noise Generator.
 FSS:Frequency Synthesizer System.

그림 1 주파수 도약방식 시스템의 블록도.
 Block diagram of a frequency hopping system.

파수대역을 충분히 크게 한다면, 그리고 송신주파수를 임의로 결정한다면 순간에 보내진 신호의 대역폭이외의 신호를 수신단에서 제거할 수 있다.

정보신호는 변조되고 믹서에서 PN코드에 의해 결정된 FSS의 출력과 변조되어 스펙트럼 확산된다. 스펙트럼 확산된 신호는 수신기에서 송신기와 같은 코드로 혼합하여 원래의 신호를 얻는데 이 관계를 상관(correlation)이라고 한다^{11,3)}.

그림 2는 신호와 방해전파의 상관관계를 전력으로 나타낸 그림이다.

Ⅲ. 시스템의 개요

시스템의 전체 블록도는 그림 3과 같다.

주파수 합성기는 단일루프 PLL로 구성되며 42.5MHz~100.5MHz 주파수대역에서 25KHz의 채널간격으로 마이크로프로세서에서 지정하는 임의의 주파수를 출력한다. 이 주파수 합성기는 주파수 도약시 1ms미만의 시간동안 도약주파수에 고정되며 출력레벨은 6 dBm이다. 주파수 도약회수는 초당 100회이다.

엑시터 역시 PLL로 구성되며 12.5MHz의 중간주파수에서 변조된 데이터성분을 마이크로프로세서와 주파수합성기에 의해서 30MHz~88MHz 중 지정된 주파수를 반송파로 해서 $\pm 8\text{KHz}$

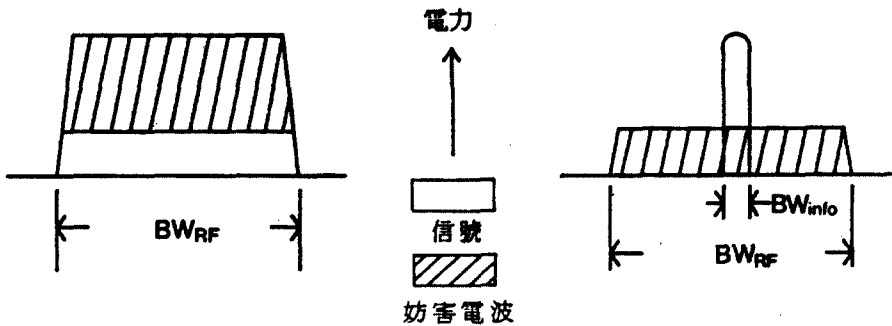


그림 2 수신기의 입력, 출력의 상관.
Correlation of input signal and output signal at the receiver.

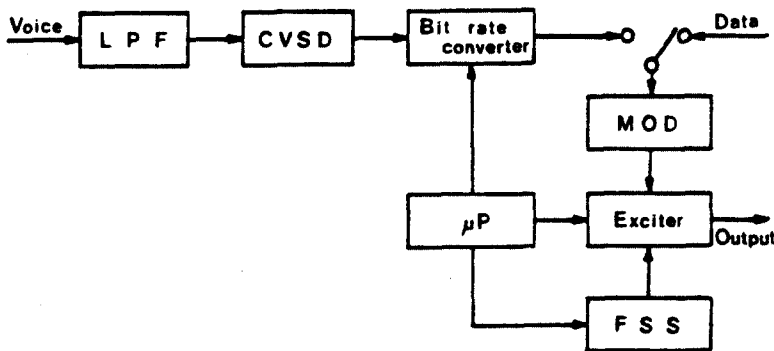


그림 3 송신시스템 블록도.
Block diagram of the transmission system.

FSK 변조된 신호를 출력한다. 일반시스템의 출력단에서 30dBm의 출력을 30MHz~88MHz의 넓은 대역폭에 걸쳐 증폭하는 것은 매우 어렵다. 그러므로 2~3개의 증폭단을 거쳐야 하나 푸시풀 회로를 이용한 VCO를 구성함으로써 최종출력단을 없앨 수 있다.

엑사이터단에서는 주파수도약시 500μs 미만에서 루프는 주파수 획득이 되어야 한다.

음성신호는 3KHz 저역필터를 통하여 여파되며 여파된 음성신호는 CVSD단에서 16Kbps 로 델타변조된다.

FSK 변조부는 PLL로 구성되며 1.25MHz 를 중심으로 ±800Hz로 변조된다. 실제 변조용 PLL은 1.25MHz에 주파수 고정되어 있지 않은 상태에서 동작한다.

마이크로프로세서는 주파수도약의 시점을 결정하여 주파수 합성기회로의 분주기의 N값과 엑사이터의 VCO대역 선택신호 및 전송속도 변환기의 클럭 제어신호를 출력하므로써 송신부각 회로의 타이밍(timing)을 관장하여 주파수 합성기의 N값을 발생하는 PN코드 발생기역할을 담당한다.

대한 영향이 작은 MC3417 CVSD IC를 사용하였다.

CVSD에는 3 bit 산법(algorithm)과 4 bit 산법이 있으나 샘플링주파수가 크면 클수록 SQNR (signal-to-quantization noise ratio)이 커지나 그만큼 대역폭이 커지므로 샘플링주파수를 16KHz로 제한하였다.

샘플링 주파수가 16KHz 때나 그 이하일 때는 3 bit 산법이 적당하므로 이를 택하였다. 또한 입력신호는 3 KHz로 대역제한하였다.

그림 4는 CVSD의 상세한 회로도이다.

IV-2. 주파수 합성기

IV-2-1. 디지털 PLL (DPLL)

그림 5는 SPFD(Sequential Phase Frequency Detector)를 사용한 DPLL의 선형모델을 나타낸다.

위상검출기는 기준주파수와 분주된 전압제어 발진기 주파수를 비교한다.

$$\omega_1 = \omega_0 + \Delta\omega_1 \tag{1}$$

$$\omega_2 = N\omega_0 + \Delta\omega_2 \tag{2}$$

$$\omega_e = \omega_1 - \omega_2 / N \tag{3}$$

여기서, ω_1 = 기준주파수
 ω_2 = 출력주파수

IV. 시스템의 설계 및 구성

IV-1. CVSD 변조기

본 논문에서는 動的範圍는 작으나 채널오차에

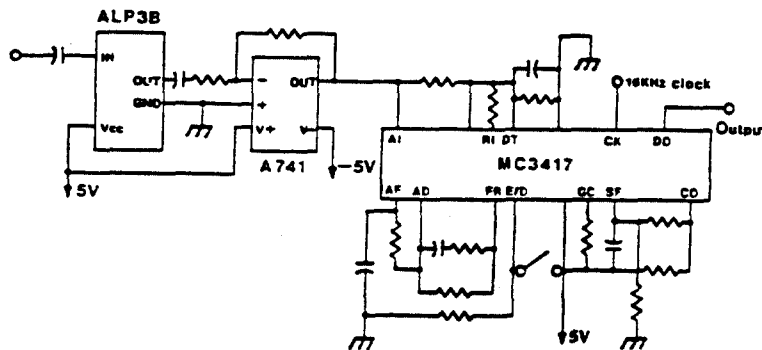
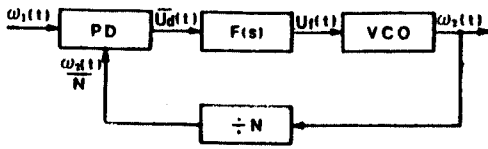
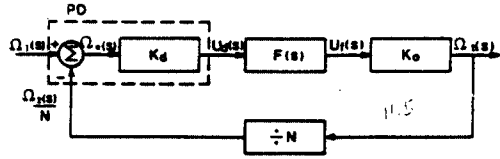


그림 4 CVSD 회로도
 Circuit diagram of the CVSD.



(a) 시간영역에서의 블럭도



(b) 주파수 영역에서의 블럭도

그림 5 DPLL의 선형 모델
Linear models of DPLL.

ω_e = 주파수 차이
 ω_0 = 입력의 중심주파수
 $N\omega_0$ = 출력의 중심주파수

이고, 이것을 Laplace 변환하면

$$\Omega_1(s) = L\{\Delta\omega_1(t)\} \quad (4)$$

$$\Omega_2(s) = L\{\Delta\omega_2(t)\} \quad (5)$$

$$\Omega_e(s) = L\{\omega_e(t)\} \quad (6)$$

가 된다.

고정상태 ($\omega_1 = \omega_2/N$) 에서 SPFD의 평균 출력신호, $U_d(t)$ 는

$$U_d(t) = K_d \theta_e \quad (7)$$

이다. 여기서 K_d 는 고정상태에서의 검출기 이득이다.

비고정상상태 ($\omega_1 = \omega_2/N$) 에서 SPFD의 평균 출력신호, $U_d(t)$ 는

$$U_d(t) \approx K_d' \omega_e = K_d' (\omega_1 - \omega_2/N) \quad (8)$$

로 표시된다.

그림 5에서

$$U_d(s) = K_d' \Omega_e(s) \quad (9)$$

$$U_f(s) = U_d(s) F(s) \quad (10)$$

$$\Omega_2(s) = K_o \cdot U_f(s) \quad (11)$$

이고, 오차함수 $\Omega_e(s)$ 는

$$\Omega_e(s) = \frac{N}{N + K_o K_d' F(s)} \cdot \Omega_1(s) \quad (12)$$

$$= \frac{N\tau_1 / K_o K_d'}{1 \pm S[\tau_2 + N\tau_1 / K_o K_d']} \cdot \frac{\Delta\omega_1}{S} \quad (13)$$

으로 표시된다. 이것을 시간영역으로 고치면

$$\omega_e(t) = \frac{\Delta\omega_1 N\tau_1}{K_o K_d'} \exp(-t/T_P) \quad (14)$$

가 되어, pull-in 과정 시간상수는

$$T_P = \tau_2 + \frac{N\tau_1}{K_o K_d'} \quad (15)$$

이다.

윗 식(15)에서 이론적으로 $\Delta\omega_H$ (hold-in range)와 $\Delta\omega_P$ (pull-in range)는

$$\Delta\omega_H = \infty \quad (16)$$

$$\Delta\omega_P = \infty \quad (17)$$

가 된다.

IV-3-2. VCO (Voltage Controlled Oscillator)

기본적인 LC 발진기의 회로는 그림 6과 같으며 발진조건 $A\beta = 1$ 에 의해서 발진주파수는 아래식에 의해 결정된다²⁴⁾.

$$X_1 + X_2 + X_3 = 0 \quad (18)$$

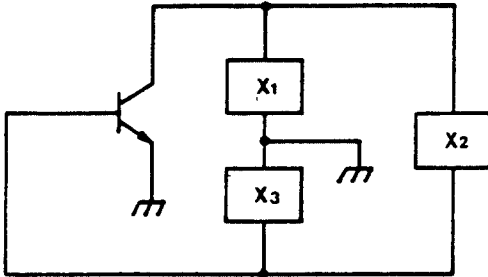


그림 6 LC발진기 기본회로.
Circuit diagram of LC oscillator.

여기에서 X_2 가 인덕터이고 X_1, X_3 가 커패시터일 때 Pierce발진기라 하며 일반적으로 주파수 안정도, 출력레벨, 출력파형과 설계의 용이도 등에서 다른 형의 발진기들보다 우수한 성능을 갖는다.

식(18)에 의하여 $X_1 = 1/j\omega C_1$, $X_2 = j\omega L$, $X_3 = 1/j\omega C_3$ 이므로 발진주파수는

$$f_0 = 2 \frac{1}{2\pi} \sqrt{\frac{C_1 + C_3}{LC_1 C_3}} \quad (19)$$

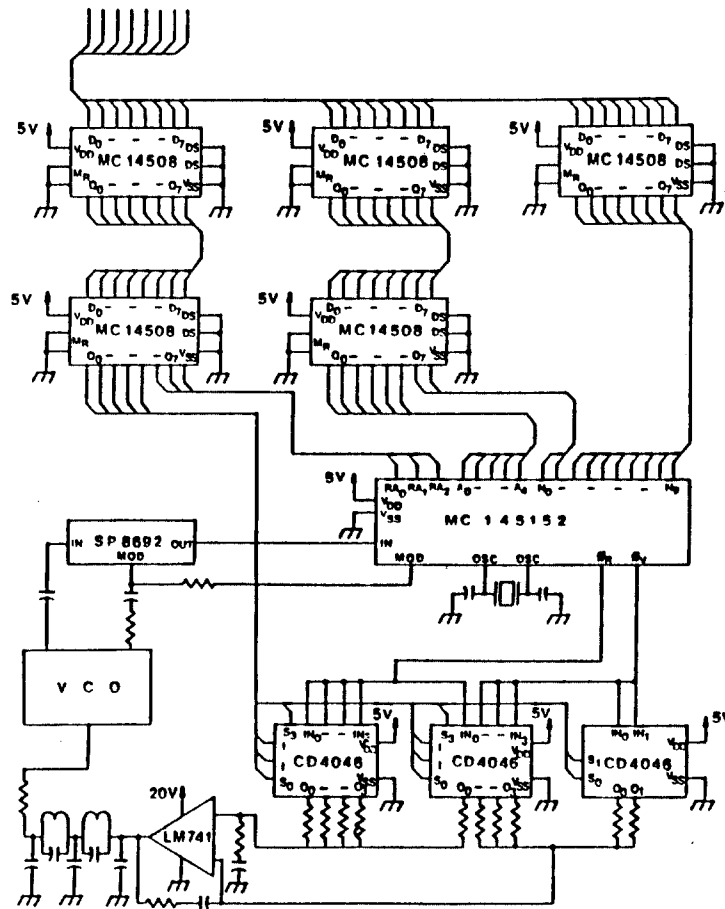


그림 7 주파수 합성기 시스템의 전체 회로도
Circuit diagram of the frequency synthesizer.

가 되고, $C_1 = C_3 = C$ 인 경우

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{2}{LC}} \quad (20)$$

가 된다.

따라서, 커패시터 C 를 배리캄으로 사용해서 VCO를 구성할 수 있다.

주파수 변조범위 $(f_H/f_L)_{max}$ 는 제어전압을 V_1 에서 V_2 까지 ($V_1 < V_2$) 변화시킬 경우 배리캄 커패시턴스는 제어전압이 증가할수록 감소하므로

$$(f_H/f_L)_{max} < \sqrt{\frac{C_{V_{max}}}{C_{V_{min}}}} \quad (21)$$

이 된다.

여기서, f_H = 최대변조주파수

f_L = 최소변조주파수

$C_{V_{max}}$ = 제어전압이 V_1 일때의 배리캄커패시턴스

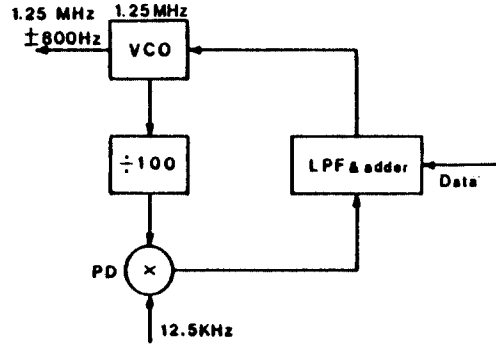


그림 8 FSK 변조기 블럭도
Block diagram of the FSK modulator.

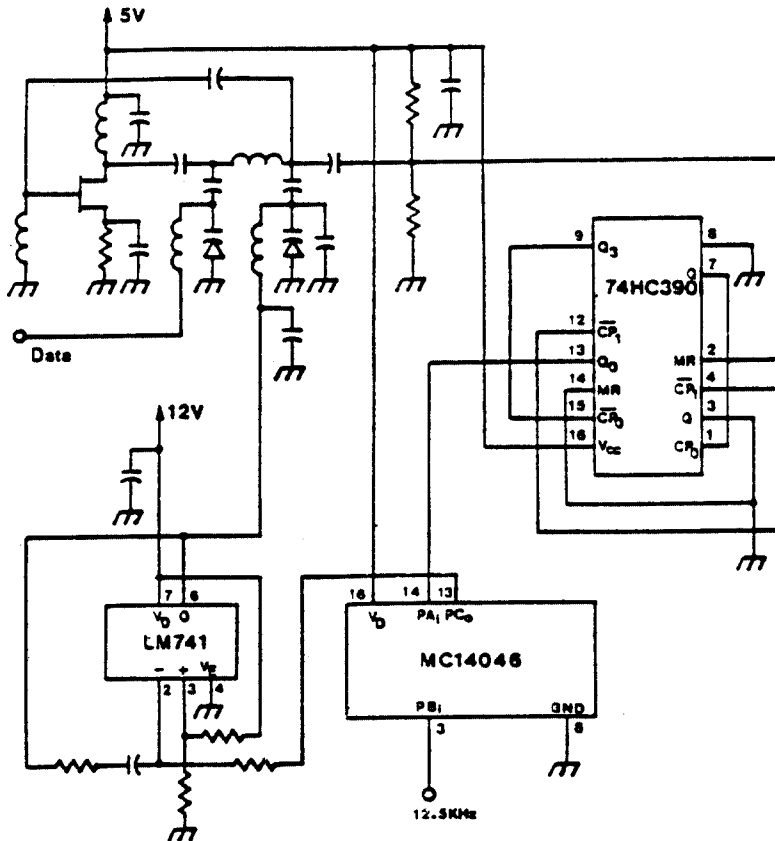


그림 9 FSK 변조기 회로도
Circuit diagram of the FSK modulator.

$C_{v_{min}}$ = 제어전압이 V_2 일때의 배리캡커패시턴스이다.²³

주파수합성기 시스템 전체의 상세한 회로는 그림 7 과 같다.

IV-3. FSK 변조기

저대역신호(baseband message)를 PLL을 통해 주파수 변조시키는 방법을 사용했으며 블록도는 그림 8 과 같다.

변조기의 입력은 디지털 데이터로서 오디오(audio) 변조신호는 16Kbit 의 구형파가 입력된다. 기본주파수는 12.5KHz 이고 VCO출력은 1.25MHz + 800Hz 혹은 1.25MHz - 800Hz 의 주파수 변조된 신호가 출력된다.

변조기 루프의 ω_n 은 $40\text{Hz} \times 2\pi \text{ rad}$ 로 하였으며 데이터 입력단에 대한 출력특성은 고역필터로 동작한다. 위상검출기는 MC14046 을 사용하였고 나누기 100분주기는 74HC390 을 사용하였다. 상세한 변조기 회로도 는 그림 9 와 같다.

IV-4. 엑사이터

엑사이터는 2 차 PLL 이므로 이론적으로는 주파수 합성기와 동일하다.

VCO는 푸시풀방식의 발진기로서 제어전압이 매우 크므로 VCO의 주파수 대역을 22개로 설계하였다.

엑사이터의 설계시 목표로 설정한 규격과 결과로 얻은 규격은 표 1 과 같다.

표 1 Exciter 규격. Specifications of the exciter.

	목 표	결 과
주파수대역	30~88MHz	30~88MHz
채 널	2320	2320
기준주파수	1.25MHz ± 800Hz	1.25MHz ± 800Hz
출력 레벨	30dBm(1W)	27~30dBm(1W)
분 주 수	10	10
VCO 대역	10	22
스퓨리어스레벨	-40dB	-60dB
호 득 시 간	500 μs	200 μs

엑사이터의 출력도는 그림 10과 같다. 기준 주파수신호는 1.25MHz ± 800Hz 이므로 분주기전단의 주파수성분은 12.5MHz ± 8 KHz 이며 주파수 합성기의 출력은 42.5~100.5MHz 이고 엑사이터의 출력주파수가 30~88MHz 이므로 중간주파수는 12.5MHz 이다.

대역필터는 12.5MHz 이상의 스퓨리어스를 제거시키기 위하여 14.3MHz 차단주파수를 갖는 저역필터이다.

대역선택신호는 마이크로프로세서에서 출력되며 8 bit 로 구성한다.

엑사이터의 주파수획득시간이 데이터변화분(±800Hz)에 대해서는 매우 작은 시간 즉 수ns (bit 당 전송시간의 1/10)가 되어야 이상적인 구

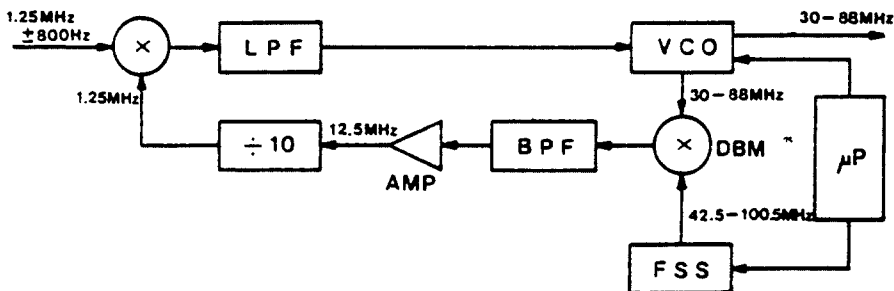


그림 10 엑사이터 블록도. Block diagram of the exciter.

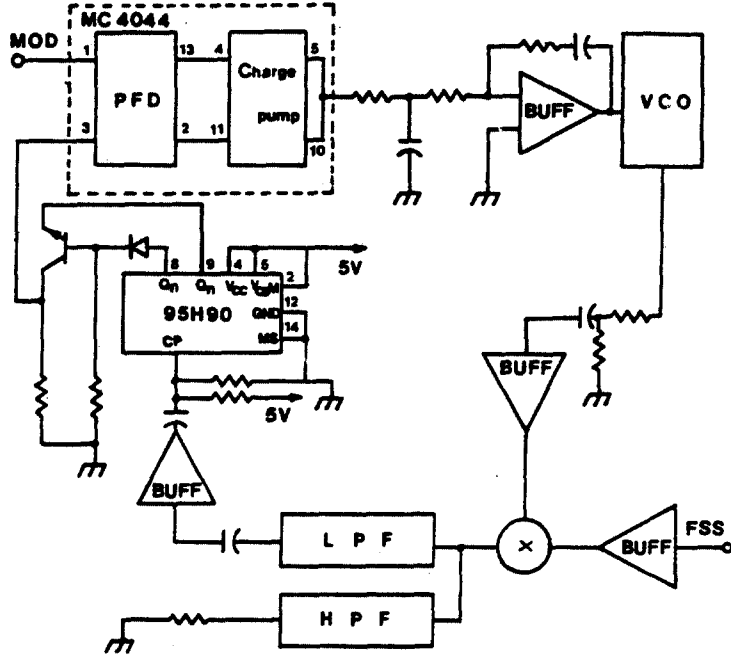


그림11 엑사이터 회로도
Circuit diagram of the exciter.

표 2 각 대역의 주파수 출력레벨 스퓨리어스에 대한 결과값.
Output level and spurious of each VCO bands.

대역	출력주파수 (MHz)	출력레벨 (dBm)	제 2 고조파억압 (dB)	대역	출력주파수 (MHz)	출력레벨 (dBm)	제 2 고조파억압 (dB)
1	30-32	27	32-34	12	50-54	30-31	25-28
2	32-33	27-28	30-32	13	54-57	30	25
3	33-35	27-28	30-32	14	57-60	28-32	25-26
4	35-37	28-30	30-32	15	60-63	27-28	25
5	37-39	30-32	26-32	16	63-67	29-30	26-28
6	39-41	31-32	25-27	17	67-70	31-32	25-28
7	41-43	31-32	28-30	18	70-74	30-31	25-28
8	43-44	31-32	28	19	74-76	30	26-32
9	44-46	30-32	32-58	20	76-80	27-28	34-38
10	46-50	30	25	21	80-84	28-30	30-45
11	48-50	30-32	27-30	22	84-88	28	32

형파의 FSK변조가 될 수 있다.

그러나 실제로 PLL의 특성상 주파수 획득시 이상적인 구형파는 얻기 힘들다. 엑사이터 회로는 그림11과 같고 엑사이터VCO의 각 대역의 주파수, 출력레벨, 스퓨리어스를 표 2에 나타내었다.

V. 실험 및 결과

V-1. FSK 변조기

그림12와 같이 FSK변조된 신호를 1.25MHz

신호와 믹싱시켜서 그 출력을 저역필터를 통과시켜서 오실로스코프로 측정하였다. 그림 13, 14, 15, 16은 변조주파수 100bps, 5Kbps, 10Kbps 및 20Kbps인 입력에 대하여 FSK변조된 신호파형을 찍은 사진으로서 상단의 파형은 FSK변조된 신호이고 하단의 파형은 변조신호의 파형이다. 변조신호 성분이 빨라지면 FSK변조기의 윗셋 주파수가 $\pm 800\text{Hz}$ 이므로 그림 15, 16과 같이 FSK변조된 신호성분은 보기가 매우 힘들며 스펙트럼 또한 현대역 FM과 같은 파형을 갖게 된다.

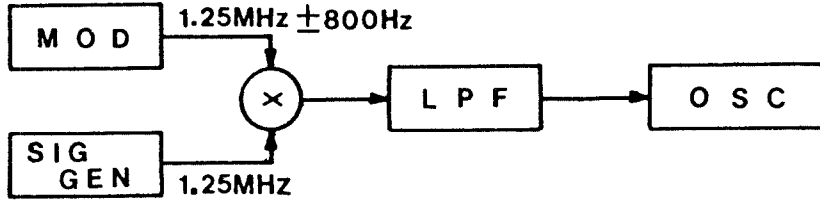
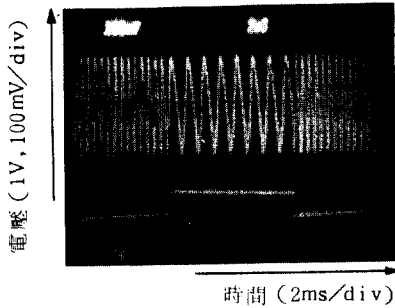
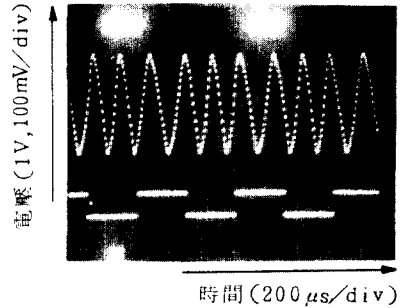


그림12 변조기 측정 블록도
Block diagram of FSK modulator for measurement.



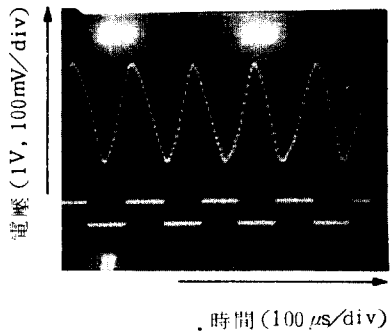
(F) 변조된 파형 (G) 입력신호

그림13 변조 비트율 100bps.



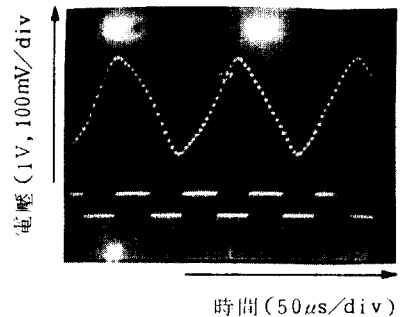
(F) 변조된 파형 (G) 입력신호

그림14 변조비트율 5Kbps.



(F) 변조된 파형 (G) 입력신호

그림15 변조 비트율 10Kbps.



(F) 변조된 파형 (G) 입력신호

그림16 변조 비트율 20Kbps.

V-2. 주파수 합성기

주파수 획득시간은 그림17과 같이 동일한 기준주파수를 갖는 2개의 주파수합성기로 믹싱하여 FSS1과 동일한 주파수와 다른 주파수로 도약시키면서 측정하였다¹⁰⁾.

그림18과 19에서 65MHz (대역 2)에서 95MHz (대역 5)로 주파수 도약할 때 획득시간과 그 스펙트럼을 찍은 사진이다.

스튜어스 레벨을 -80dB 억압을 목표로 하여 보조필터의 차수를 5차이상으로 -80dB의 억압을 가능하게 할 수는 있었으나 5차이상의 Elliptic 필터를 사용할 경우 주파수 획득 시간이 길어지는 현상을 볼 수 있었다. 그림20은 보조필터를 달지 않았을 때의 주파수 합성기의 출력 스펙트럼이며, 그림21은 보조필터를 달았을 때의 출력파형이다.

그림22와 23는 43MHz, 45MHz, 47MHz, 49MHz로 도약시 제어전압신호와 그 스펙트럼을 찍은 사진이다.

V-3. 엑사이터

엑사이터의 기준주파수입력을 고정시켰을 때 41MHz에서 42MHz로 도약시 제어전압으로 측정한 획득시간은 약 200 μ s 정도로 그림24에 보였고 그 스펙트럼은 그림25에 보였다.

그림26과 27은 변조를 하지 않았을 때 34.5MHz에서 35.5MHz, 36.5MHz, 37.5MHz, 38.5MHz로 도약시 제어전압과 그 스펙트럼을 보인 사진이다.

도약시 제어전압에 스파이크 성분이 나타나는 것은 VCO 밴드선택시 인덕터값의 차이에 의해서 큰 주파수 차이가 나는 현상에 의한 것이다.

도약 주파수 정지시 42MHz에서 1Kbps의 신호에 변조된 출력의 경우 제어전압 신호파형을 그림28에 보였고 그 스펙트럼은 그림29에 보였다.

그림30과 31은 도약주파수 정지시 42MHz에서 5Kbps의 신호에 변조된 출력의 경우 제어전압 신호와 그 스펙트럼을 보인 사진이다.

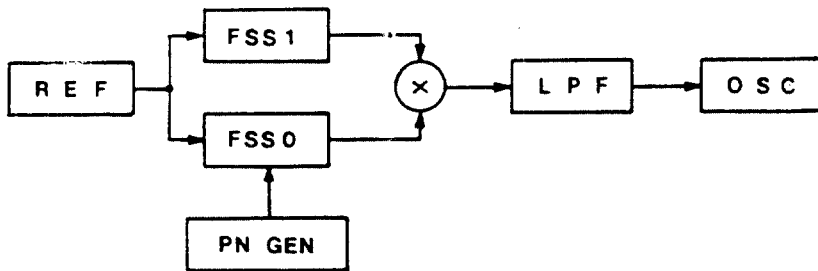
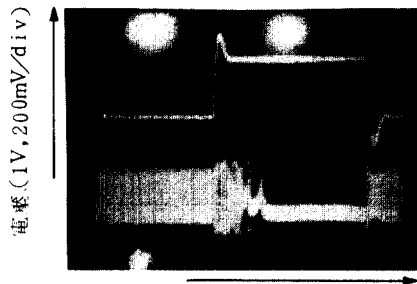


그림17 주파수 획득시간 측정회로
Block diagram of frequency acquisition time measurement.



(上) 제어전압파형 (下) 획득시간 측정 파형

그림18 65MHz에서 95MHz로 도약시 제어전압파형.

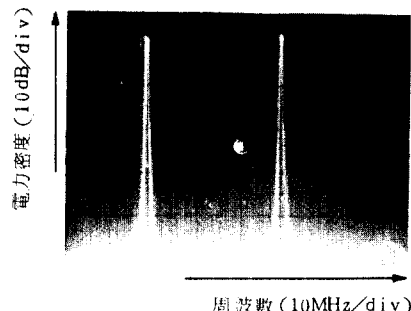


그림19 65MHz에서 95MHz로 도약시 스펙트럼.

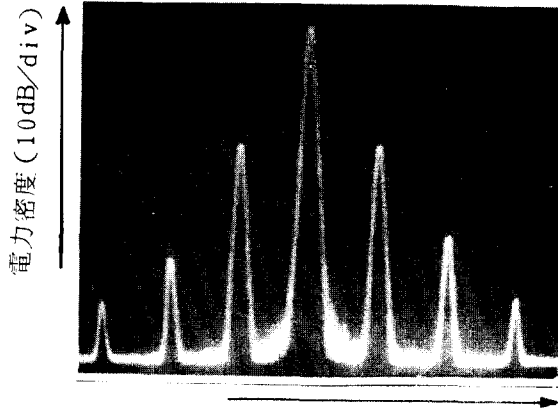


그림20 모조광자가 없을 때의 스펙트럼

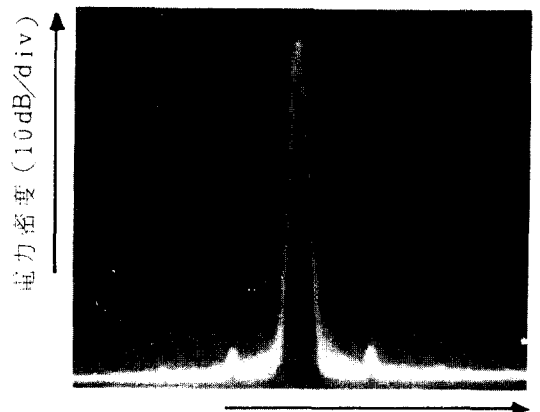


그림21 모조광자를 넣었을 때의 스펙트럼

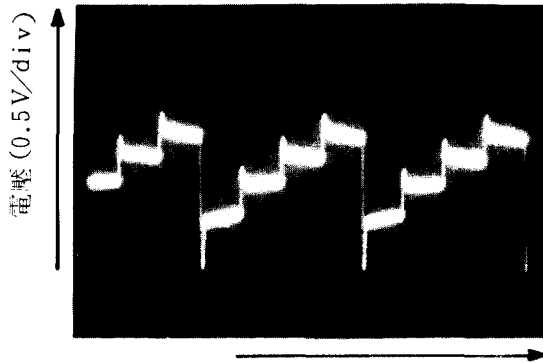


그림22 13MHz에서 45, 47, 49MHz로 모조광자 제어전압 입력

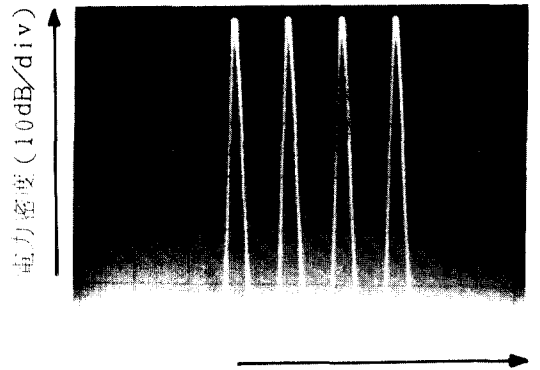


그림23 13MHz에서 45, 47, 49MHz로 모조광자 스펙트럼

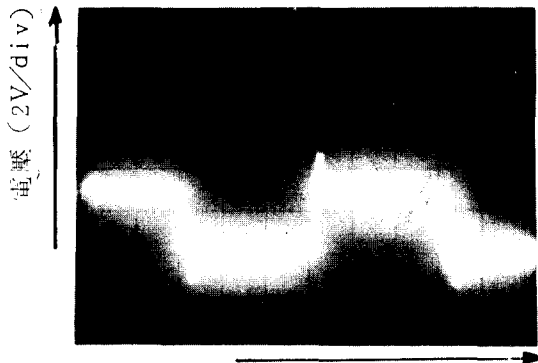


그림24 11MHz에서 1MHz로 모조광자 제어전압 입력

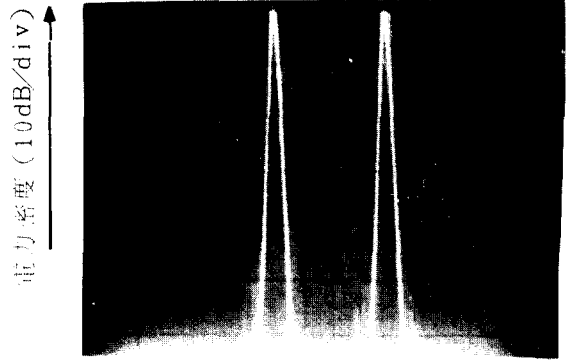


그림25 11MHz에서 1MHz로 모조광자 스펙트럼

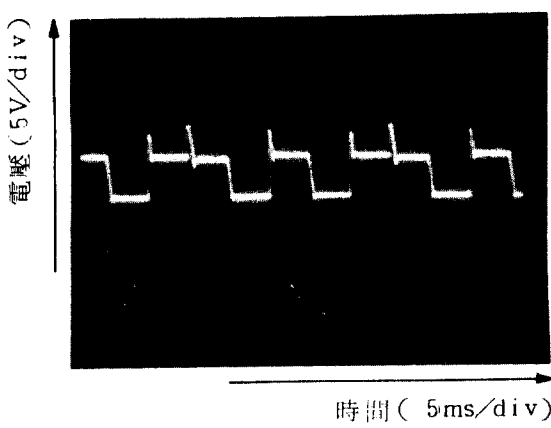


그림26 34.5MHz에서 35.5, 36.5, 37.5, 38.5MHz로 도약시
제어 전압파형.

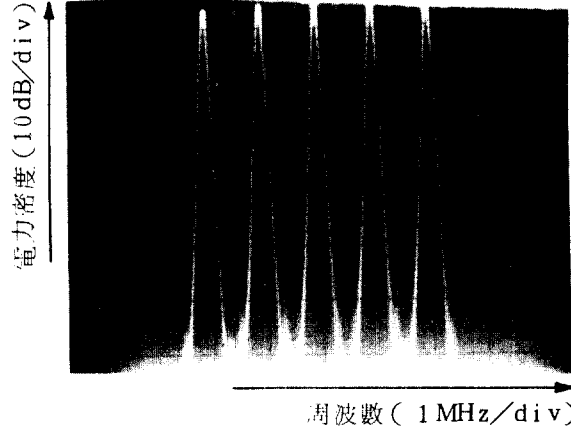


그림27 34.5MHz에서 35.5, 36.5, 37.5, 38.5MHz로 도약시
스펙트럼.

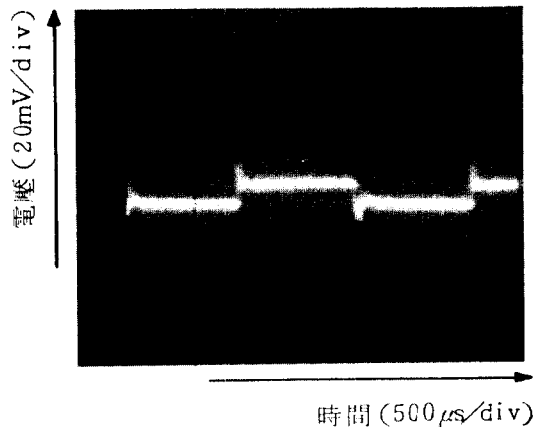


그림28 1Kbps 변조시 제어전압파형.

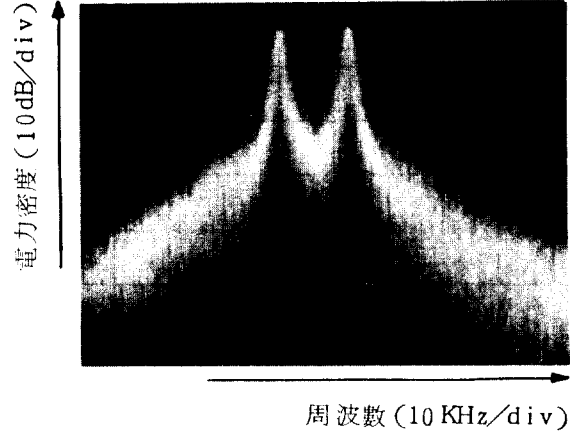


그림29 1Kbps 변조시 스펙트럼.

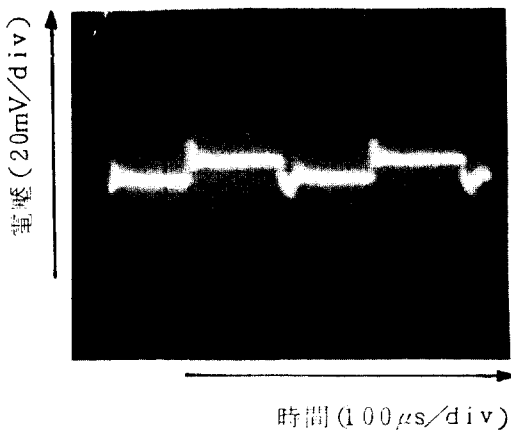


그림30 5Kbps 변조시 제어전압파형.

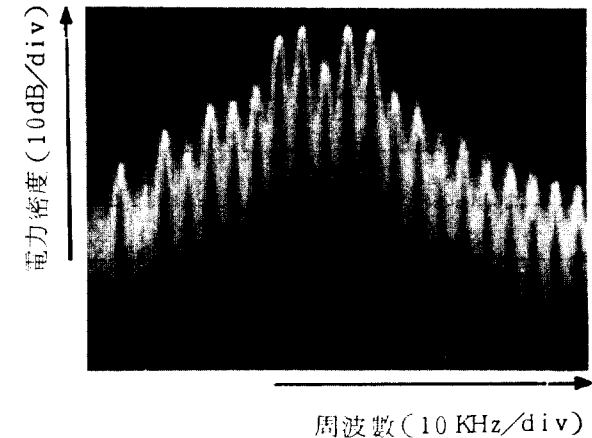


그림31 5Kbps 변조시 스펙트럼.

그림30은 제어전압이 완전한 구형파가 아닌 일그러짐을 갖는 것을 볼 수 있는데 이는 엑사이터가 PLL로 구성되므로 위상회득시간의 소요로 인한 영향으로서 본 실험에서는 약 $20\mu s$ 정도의 위상회득시간이 소요된다.

그림32와 그림33은 20Kbps의 신호로 변조된 경우 42MHz에서 46MHz로 도약시의 제어전압과 형파 그 스펙트럼을 보인 사진이다. 그림32의 상단파형은 엑사이터의 제어전압 신호파형이며 하단파형은 주파수 합성기의 신호파형이다. 그림에서 볼 수 있듯이 주파수 회득시간이 거의 비슷하나 엑사이터의 주파수 회득시간이 약간 긴 것을 볼 수 있으며 엑사이터의 회득시간은 약 $200\mu s$ 이다.

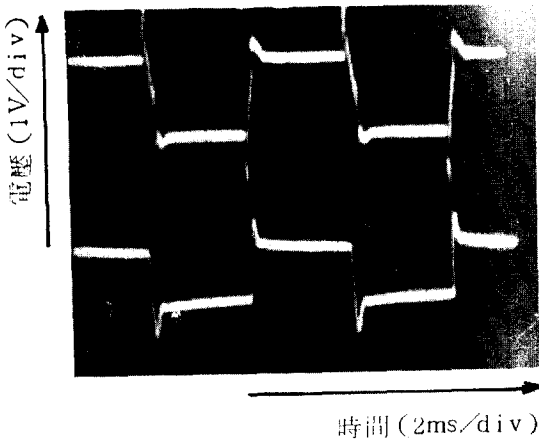


그림32 42MHz에서 46MHz로 도약시 제어전압과형.

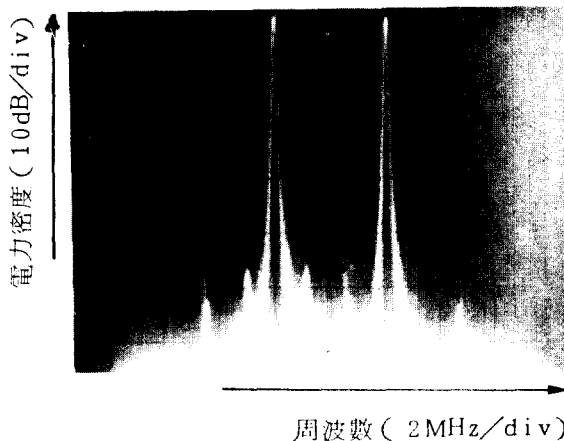


그림33 42MHz에서 46MHz로 도약시 스펙트럼.

IV. 결 론

본 논문에서는 대역폭 30~88MHz 채널수2320, 채널간격 25KHz, 초당도약회수 100회, 전송속도 20Kbps인 주파수 도약 BNCFSK(Binary Noncoherent FSK)방식의 송신시스템의 실험에 대하여 연구하였다. 시스템의 주파수합성기를 단일위상고정루프로 구성하였고 VCO를 5대역으로 나누어 루프 필터의 저항을 스위칭하고, 보조 필터를 사용하므로써 루프의 대역폭을 일정한 범위 내에 고정시킬 수 있었고 주파수 회득시간을 1ms 이내로 감소시킬 수 있었으며 또한 주파수 회득시간에 비하여 우수한 출력 스펙트럼을 얻을 수 있었다.

엑사이터를 위상고정루프로 구성하고 VCO를 푸시풀로 구성하여 1W이상의 출력을 얻으므로써 기존 시스템에 비하여 출력단의 전력증폭단을 줄일 수 있었다. 또한 엑사이터의 VCO를 22개의 대역으로 나누므로써 주파수 도약시 엑사이터의 주파수 회득시간을 $200\mu s$ 이내로 할 수 있었고 전체송신 시스템의 주파수 도약에 필요한 안정시간을 1.5ms 이내로 만들 수 있다.

또한 음성신호와 경우에 따라 디지털신호도 보낼 수 있도록 구성하였다. PN 코드 및 전체시스템의 제어는 Z-80마이크로프로세서로 제어하였다. 본 논문에서 제안된 주파수합성기는 성능에 비하여 회로가 단순하며 저속주파수 도약방식에 저렴한 가격으로 사용가능하다고 보이며 엑사이터의 회득시간을 감소시켜 주파수 도약시 FSK출력을 개선시키는 방법에 대한 연구가 필요하다고 본다. 또한 수신에서 가장 문제가 되는 동기화 방법에 대한 검토와 랜덤 주파수 발생을 위한 코딩 방법에 대한 연구가 수반되어야 할 문제이다. 그리고 여러 시스템이 동시에 통신할 때의 혼신 및 채널간의 간섭현상에 대한 연구가 필요하다. 앞으로의 ECCM의 연구방향은 주파수합성기의 도약회로를 증가시키므로써 시스템의 성능을 개선하는 연구와 방해전파 대역의 감지에 의한 도약주파수 변성 방법에 대한 연구가 될 것으로 생각된다.

謝意: 本研究는 學術振興財團의 지원으로 이루어졌으며 동재단에 심심한 感謝를 드립니다.

參 考 文 獻

- (1) Robert C. Dixon, Spread Spectrum System John Wiley & Sons 1984.
- (2) Marvin K. Simon and others, Spread Spectrum Communications Vol. 1. Computer Science Press 1985.
- (3) R. A. Scholtz, "The origins of spread spectrum communication" IEEE Trans. commun Vol. Cou-30, May, 1982.
- (4) MK Simor, "Noncoherent pseudonoise code tracking performance of spread-spectrum receivers" IEEE Trans on Com. V. com-23, 1975.
- (5) R. Skang and J. F. Hjelmsstad, Spread Spectrum in Communication Peter Peregrinus Ltd.
- (6) Roger E. Ziemer and Roger L. Peterson, Digital communication and Spread Spectrum systems. Macmillan Publishing Company. 1985.
- (7) Ray H. Petit, ECM and ECCM Techniques for Digital communication systems Lifetime Learning Publication, 1982.
- (8) Floyd M. Gardner, phaselock Techniques. John Wiley and Sons, 1979.
- (9) Andrew J. Viterbi, Principles of Coherent Communication McGraw-Hill, 1966.
- (10) Vadim Manassewitch, Frequency Synthesizers Theory and Design. John Wiley and Sons, 1976.
- (11) Alain Blanchard, Phase-Locked Loop John Wiley and Sons, 1976.
- (12) William F. Egan, Frequency Synthesis by phase Lock John Wiley and Sons, 1981.
- (13) Ulrich L. Rode, Digital PLL Frequency Synthesizers Theory and Designs, 1983.
- (14) Rorald E. Best, Phase Locked Loops McGraw-Hill, 1984.
- (15) Van Trees, Detection Estimation and Modulation Theory Part I. John Wiley and Sons, 1986.
- (16) Kamilo Feher, Digital Communications Prentice Hall, 1981.
- (17) 차균현, 회로 및 시스템, 청문각, 1985.
- (18) Bernards Glance, "New Phase-Locked Loop Circuits Providing Very Fast Acquisition Time" IEEE Transaction on microwave Vol. MTT33 Sept, 1985.
- (19) 박상영, 차균현, "2-bit Memory를 이용한 Constant factor Delta Modulation에 관한 연구" 고려대학교 공과대학 공학논집 제27집.
- (20) 전남수, 차균현, "단일디지털 위상고정루프를 이용한 주파수 합성기 구성에 관한 연구" 금성전기 연구보고서, 1986.
- (21) Chang Kyung Jung, Nam Soo Chun, Kyun-Hyun Tchah "A Study on the Implementation of Frequency Synthesizer Using DPLL", Proc of JTC-CAS, 86-116, 1986.
- (22) Arthur B. Williams Electronic filter design handbook McGraw-Hill, 1981.
- (23) MOTOROLA, Linear and Interface Integrated circuits Motorola Inc. 1983.
- (24) Jacob. Millman, Microelectronics McGraw Hill, 1979.
- (25) 김재형, 차균현 "VHF 대역 주파수 합성기 구성에 관한 연구", 연구보고서, 1985.
- (26) Paul F. Sass "Army Spread Spectrum" MILCOM, 1982.
- (27) Harris RF-3090P VHF-FM MANPACK TRANSCIEVER Instruction Manual.
- (28) 차균현, 통신시스템, 동명사, 1986.



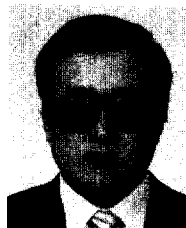
朴 淳 峻(Soon Joon PARK) 正會員
1965年 2月18日生
1987年 2月: 高麗大學校 電子工學科 卒業
1987年 3月~現在: 高麗大學校 電子工學科 大學院 碩士課程



黃 敬 錫(Kyung Ho HWANG) 正會員
1962年 12月15日生
1985年 2月: 高麗大學校 電子工學科 卒業
1987年 2月: 高麗大學校 電子工學科 大學院 卒業
1988年 7月 現在: 三星半導體通信(株)



朴 瑛 哲(Young Chull PARK) 正會員
1958年 7月27日生
1981年 2月: 高麗大學校 電子工學科 卒業
1987年 2月: 高麗大學校 電子工學科 大學院 卒業(碩士)
1988年 現在: 三星半導體通信(株)



鄭 昌 京(Chang Kyung CHUNG) 正會員
1951年 10月10日生
1974年 2月: 高麗大學校 物理學科 卒業(學士)
1977年 9月: 高麗大學校 大學院 電子工學科 卒業(碩士)
1987年 2月: 高麗大學校 大學院 電子工學科 卒業(博士)
1981年 3月~現在: 明知大學校 電氣工學科 副教授



車均鉉(Kyun Hyon TCHAH) 正會員

1939年3月26日生

1976 : 서울大學校에서 工學博士學位

1978~現在 : 高麗大學校 電子電算 工學
科 教授

1981~現在 : 工業振興庁標準審議委員