

반도체 재료 및 소자의 가공기술

金 武 性

한국과학기술원 반도체재료연구소



●1956년생
●반도체 재료를 전공하였으
며, 화합물 반도체 단결정 성장 및 MOCVD, MBE에피층 성장 기술, 레이저 다이오드 및 초격자 신기술 소자 제조기술 등에 관심이 있다.

1. 머리 말

반도체 기술은 크게 재료 기술, 소자 기술 및 포장기술등으로 나눌 수 있는데 1953년에 반도체 트랜지스터가 처음 발명된 이래, 주로 실리콘 반도체를 중심으로 비약적인 발전을 거듭하여 현재 MDRAM급 초고집적 IC도 생산되고 있다. 한편 두가지 원소 이상이 합금 형태로 된 화합물 반도체(예를 들어 GaAs, InP 등)도 1980년 이후 급속히 발전하여 현재 발광 다이오드, 레이저 다이오드, 초고속 IC등이 생산되고 있다. 본고에서는 반도체 기술의 기본이 되는 실리콘과 화합물 반도체(주로 GaAs)재료 및 소자 가공 기술을 중심으로 국내의 현황과 문제점에 대하여 살펴보고자 한다.

2. 실리콘 반도체 재료 가공 기술

반도체 소자의 제조에 이용되고 있는 실리콘 웨이퍼는 대단히 순도가 높은 단결정으로 평평하고 둥근 모양을 하고있으며, 매우 복잡한 과정을 거쳐 제조된다. 실리콘은 지구상에 가장 풍부한 물질로 이산화 규소(SiO_2) 상태로 모래속에 존재한다. 따라서 실리콘 웨이퍼 제조는 모래로부터 시작된다. 먼저 모래로부터 아아크 방전으로 99%의 금속 실리콘을 얻고, 이를 염산과 반응시켜 SiHCl_3 의 액체로 만든후

증류법을 이용하여 5N 순도로 정제한다. 이를 대기압 챔버내에서 분해하여 고순도의 다결정(poly) 실리콘 붕을 만든다. 이 고순도 다결정 실리콘을 단결정화하는 것이 실리콘 웨이퍼 제조의 핵심 기술로써, CZ(czochralski)법과 FZ(float zone)법등이 있다(그림 1). CZ법은 다결정 실리콘을 1415°C 정도의 온도에서 용융시키고 여기에 시드(seed)결정을 접촉시켜 일부 용융시켰다가 천천히 끌어 올리면, 용융된 실리콘이 시드 결정에 그와 동일한 결정구조로 고화되어 따라 올라오며 붕 모양의 잉곳(ingot)이 만들어진다. FZ법 결정 성장은 다결정 실리콘 붕을 수직으로 고정시키는데 한쪽 끝에 시드 결정을 함께 물린다. 그리고 상하 이동이 가능한 폭이 좁은 유도 코일 가열기로 시드 결정 부분부터 용융시키고 이코일을 천천히 다른 쪽으로 이동시키면 시드 결정과 동일한 결정구조의 실리콘 단결정이 형성된다. CZ법은 실리콘을 석영 도가니안에서 용융시키기 때문에 이로부터 산소 불순물이 유입되나 FZ법은 불순물 유입이 없어 매우 고순도의 단결정을 얻을 있다. 그리하여 CZ법에 의한 실리콘 웨이퍼는 주로 IC제조용으로 많이 쓰이고 FZ법에 의한 것은 개별소자(다이오드, 파워 트랜지스터) 및 특수 용도의 소자제조용으로 쓰이고있다. 이렇게 제조된 단결정 잉곳은 결정방향을 확인하여 기준점을 확인한 다음 얇은 웨이퍼 모양으로 슬라이싱(slicing)을 한다. 이때 생기는 자국을 없애기 위해 화학용액으로

식각하고, 연속적으로 연마제를 이용하는 기계 연마를 하여 거울과 같은 경면을 만들면 소자 제조에 이용하는 실리콘 웨이퍼가 완성된다.

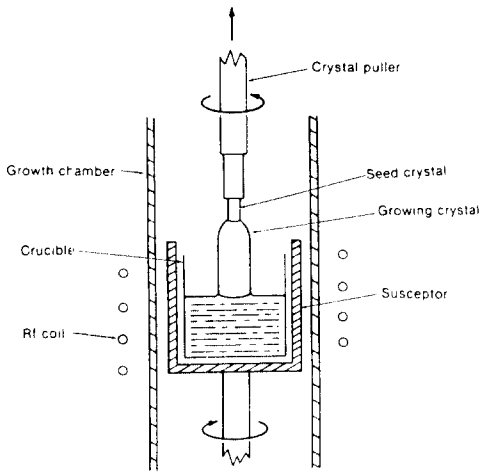
실리콘 소자의 저가격화 경향에 따라 실리콘 웨이퍼의 대직경화가 계속 추진되고 있다. 1960년은 1인치이던 것이 1980년에는 6인치 이상의 것이 생산되고 있다. 또한 소자의 고집적화에 따라 이에 큰 장애가 되는 결정결함을 줄이려는 노력이 계속되고 있다. 각종 소자 생산에 사용되는 실리콘 웨이퍼의 전위밀도는 현재

100개/cm²이하이나 더욱 완전한 웨이퍼가 요구되고 있다. 국내의 경우 1980년대 중반 KAIST에서 CZ법에 의해 4인치 직경의 실리콘 단결정 성장기술과 웨이퍼 제조기술을 개발하여 산업체에 이관한 바 있고⁽⁵⁾, 현재 몇몇 기업에서 웨이퍼를 시판하고 있다.

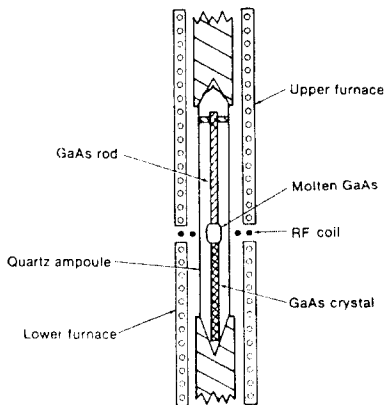
3. 실리콘 반도체 소자 가공기술

1960년에 처음 플레이너(planar)기술과 이 기술에 의한 반도체 소자가 처음으로 발표된 이래 이 플레이너 기술은 개별소자와 집적회로 제작의 방법이 되었으며 반도체 소자가 종래의 구식 전자부품을 대체하고 새로운 전자 응용 부분에 확장되는데 큰 공헌을 하였다. 이 기술은 그림 2와 같이 고체상에서의 확산(diffusion)에 의한 접합(junction)형성 기술과 소자의 geometry를 정밀하게 제어하기 위해 SiO₂의 masking 특성의 잇점을 결합시킨 것이다.

실리콘 반도체에 의한 트랜지스터가 1948년 J. Bardeen과 W. H. Brattain에 의해 처음 제창되었고⁽¹⁾ 1959년에는 J. L. Moll에 의해 현재의 CMOS까지 발전해온 MOS(metal-oxide-semiconductor)구조를 발표하였다⁽²⁾. 그후 반도체소자는 바이폴라(bipolar) 트랜지스터를 기본으로 하는 바이폴라 IC(integrated cir-



(a) CZ법



(b) FZ법

그림 1 실리콘 단결정 성장 방법

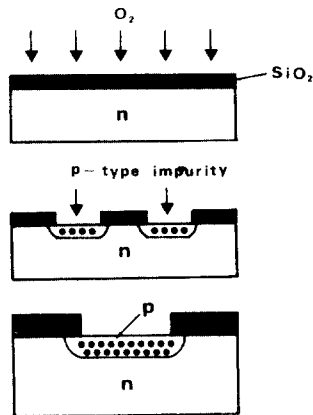


그림 2 Planar 기술

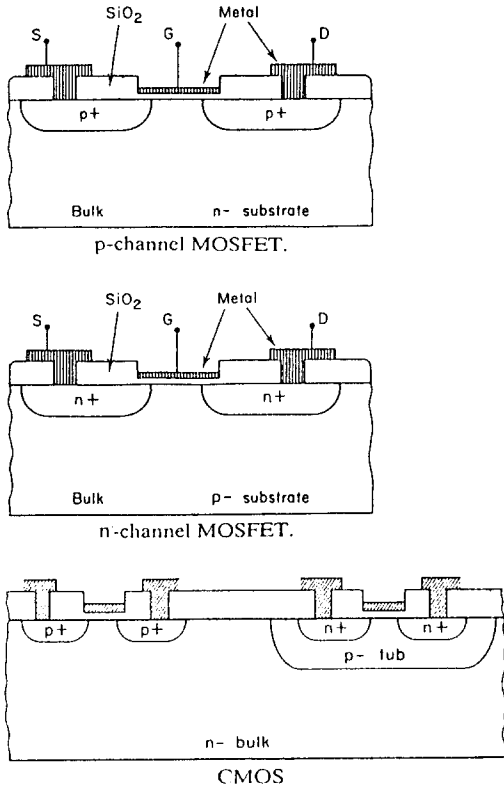


그림 3 MOS 구조의 발전

cuit)와 MOS FET (field effect transistor)를 기본요소로 하는 MOS IC로 발전하였다. 특히 고도 정보화 시대의 추구에 따라 반도체 기억소자(memory device)는 여러 공정상의 발전을 따라 급속히 발전하고 있다. 기억소자 부분의 개발, 생산 동향에 대하여 선진 외국과 우리나라와 간단히 비교하면, 미국과 일본은 이미 1 μ m급 실리콘의 공정 기술을 확보하고 4 MD램의 시판을 시작하였으며 0.7 μ m급의 16 MD램의 시제품 개발이 일본에서 성공하였다. 또한 64MD램의 개발이 미국 우수 반도체 회사들이 참여한 가운데 활발히 진행되고 있다. 이에 반하여 우리나라는 256k D램의 양산 수출에 이어 1MD램의 시제품을 개발하여 양산 체제로 돌입하고 있으며, 4MD램개발에 각 반도체 회사와 정부 출연 연구소가 공동으로 참여하여 거의 성공 단계에 도달해 있다.

기억소자는 다음 그림 3 과 같이 P-채널 MOS, N-채널 MOS 그리고 CMOS(complementary MOS)가 있다. PMOS는 n타입 웨이퍼에 소오스/드레인(source/drain)으로 붕소(B)와 같은 p타입 불순물을 확산시키며, 반송자는 정공(hole)이 된다. PMOS는 MOS구조 중 가장 먼저 개발되었으며 제조가 간편한 반면 동작 속도가 느린 단점이 있다. NMOS는 p타입 웨이퍼에 n타입 불순물인 인(P)이나 비소(As)를 확산시켜 소오스와 드레인을 형성시키며, 반송자는 전자(electron)이므로 고속 동작 소자를 제조할 수 있으나 제조가 약간 까다롭다. 마지막으로 CMOS는 n타입 기판에 p타입의 well을 확산시켜 NMOS와 PMOS를 모두 만들고 이 P/NMOS를 짝지어 기본 회로를 구성한다. 이 CMOS의 가장 큰 장점은 소모 전류가 적다는 것이다. 또한 MOS트랜지스터의 게이트(gate)전극은 초기에는 금속을 사용하였으나 이를 다결정 실리콘으로 대체함으로써 집적도가 향상되었고 회로의 동작 속도도 빨라졌다. 본고에서는 CMOS를 중심으로 간단한 MOS 공정순서 및 기술에 대해 소개하고자 한다.

그림 4는 CMOS FET의 개략적 공정 순서이다. 기판은 n타입 에피층이 성장된 웨이퍼를 사용한다. (a)는 n타입 well을 만드는 과정으로, 실리콘 산화막(SiO₂)과 질화막(Si₃N₄)을 각각 산화와 CVD(chemical vapor deposition)기술로 형성시키고, 사진 식각 기술(photolithography)로 patterning을 하여 n well이 형성될 부분의 산화막과 질화막을 습식 또는 건식 식각 기술로 제거한 다음, n타입 불순물 인을 이온 주입법으로 주입시킨다. 다음 붕소를 주입하여 p well을 형성시킨다. 이때 n well쪽에 붕소가 주입되는 것을 막기 위해 (a)상태에서 산화를 진행시키면 질화막이 없는 n well쪽의 산화막이 두껍게 되어 붕소의 침투를 막는다. 주입된 n, p타입 불순물을 적당한 깊이로 확산시키면 p well과 n well이 나란히 형성된다. 다음은 게이트 전극의 형성 과

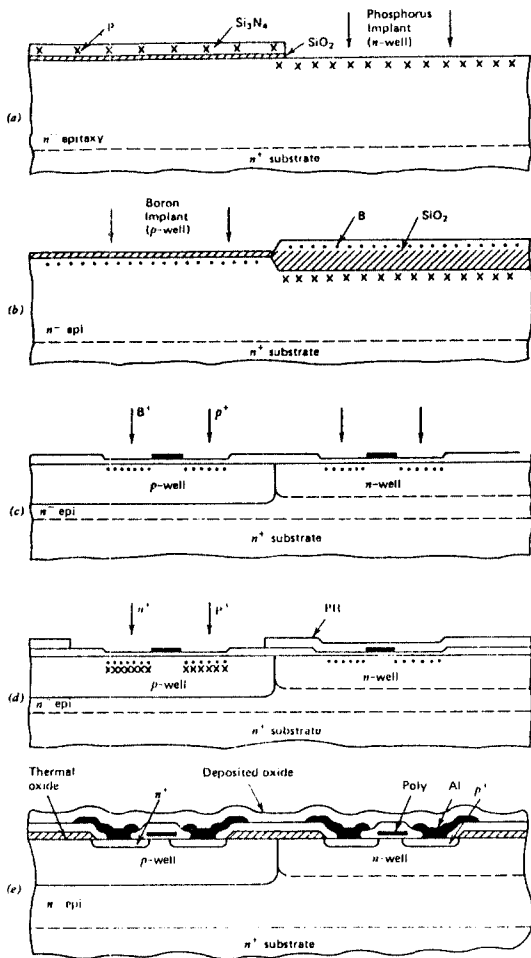


그림 4 CMOS IC의 공정 순서

정으로, 이미 성장된 산화막은 제거하고 고품질의 게이트 산화막을 성장시키고 그 위에 게이트 전극으로 다결정 실리콘을 CVD 기술과 사진 식각 기술로 형성시킨다. 소오스와 드레인 n well에는 붕소를, p well에는 인을 고농도로 주입시킨다. 이것이 (c)와 (d)에 나타나 있다. 마지막 (e)는 제조가 완료된 기판위에 회로적 기능을 할 수 있도록 금속선으로 각 소자를 서로 연결시킨 것이며, 실리콘 기판에 사용하는 ohmic 금속은 알루미늄(Al)이다. 웨이퍼 전면에 보호막을 덮고 외부 회로와 연결될 부분(pad)만 열어 놓으면 웨이퍼상에서의 공정은

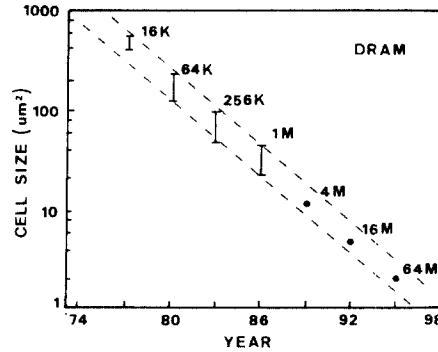


그림 5 D램의 셀면적 감소 추세

모두 끝난다. 다음은 검사와 조립(assembly) 공정으로, 웨이퍼는 각 칩으로 분리하여(sawing), 그 뒷면을 리드 프레임에 붙이고(die bonding), 소자의 패드(pad)와 리드 프레임의 각 입출력 단자를 금속선으로 연결시키고(wire bonding), 플라스틱이나 에폭시로 몰딩(molding)하면 상품으로 완성된다.

이러한 실리콘 반도체 소자의 가공 기술은 저 가격화를 위한 웨이퍼의 대직경화와 고집적화를 위한 미세 가공 기술 개발에 주력하는 경향이다. 특히, 기억소자의 경우 대용량을 얻기 위해서는 각 메모리 셀(memory cell) 면적을 최소화하여 좁은 면적에 많은 수의 셀이 들어갈 수 있어야 한다. 그림 5에 보인 바와 같이 1MD램의 경우 셀 면적이 30 μm^2 정도이던 것이 4MD램에서는 10 μm^2 , 현재 개발 중인 16MD램과 64MD램은 각각 5 μm^2 , 2 μm^2 으로의 축소가 예상된다⁽³⁾. 이와 같은 고집적화를 이루기 위해 극초미세 선폭 가공 기술의 개발과, 단층에서의 소자 집적도 한계성을 극복하는 다층 집적 기술의 개발이 활발하다. 다음은 현재 개발이 진행 중인 중요 핵심 공정에 대해 소개하겠다.

(1) 미세 패턴 형성 기술: 기억소자의 경우 최소 선폭이 이미 submicron 시대로 돌입하였다(그림 6). 1MD램에서 1 μm 정도이며 4MD램부터는 1 μm 이하로 감소하였으며 계속 감소하게 될 것이다. 그런데 종래의 광학적 사진

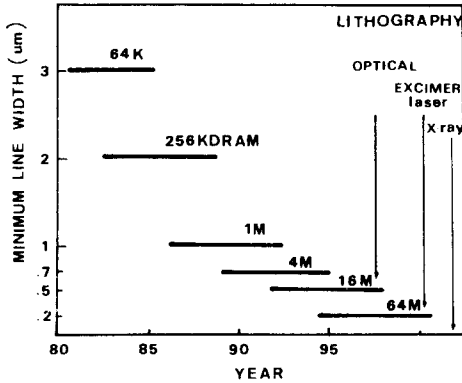


그림 6 최소 선폭의 감소 추세

식각 기술은 분해능이 $0.6\mu\text{m}$ 로 그 한계에 도달하고 있다⁴⁾. 따라서 이 이하의 초 미세패턴을 만들기 위해 Excimer레이저와 X-선을 광원으로 이용하는 기술이 연구되고 있다. 일본에서는 이미 Excimer레이저에 의한 $0.5\mu\text{m}$ 이하의 패턴을 얻은 바 있고 16MD램 양산에의 응용이 기대된다. X-선은 광원으로 사용하는데 취급상의 어려움이 있으나 $0.1\sim 5\mu\text{m}$ 의 짧은 파장을 갖고 해상력이 우수하여 미래의 가장 유력한 사진 식각 기술로 전망되고 있다.

(2) 확산 공정 기술 ; 최소 선폭과 셀 크기의 감소에 따라 접합의 깊이도 매우 작아지게 된다. 4MD램 이후 부터는 접합 깊이가 대략 $0.2\mu\text{m}$ 이하로 감소하는데, 이와같이 접합 깊이가 얇아지면 불순물의 분포와 농도의 조절 능력이 더욱 정확해야 한다. 이런 목적의 하나로 확산 계수가 작은 원소(인 대신 비소)를 주입하고 있다.

(3) 금속 배선 증착 기술 ; 접합 깊이의 감소에 따라, 그동안 실리콘합금을 사용하여 해결했던 spike(배선 금속이 실리콘 기판의 접합 부분까지도 침투하여 소자의 기능을 상실하게 하는 현상)문제가 다시 중요한 문제로 대두되었고, 셀 크기 감소로 contact부분의 면적이 축소 되어 contact저항이 증가하는 현상도 해결해야 할 문제이다. 또한 다층 금속 배선 기술의 응용에 따라 균일성과 평탄성 향상도 새

로운 연구 과제이며 이에 따라 새로운 금속과 금속 silicide에 대한 연구가 진행되고 있다.

이 밖에도 미세 가공에 의한 초 고집적화를 이루기 위해서는 오염 방지 문제가 무엇보다 중요하다. 모든 공정에 사용되는 화학약품과 물의 관리, 특히 나트륨(Na) 이온의 철저한 차단이 필요하고 작업장의 청정도 관리도 선행되어야 한다. 따라서 가장 큰 오염의 원인이 될 수 있는 사람의 수를 감소시키고 점차 무인 공장화를 추진하고 있다. 이렇게 반도체 제조 기술은 이제 정밀 제조 장비와 측정 장비의 개발 없이는 이루어질 수 없다. 우리나라와 같이 제조 장비의 대부분을 수입하는 경우는 독자적인 반도체 소자의 개발을 기대하기 힘들다. 따라서 더욱 첨예화되는 제조 기술을 뒷받침할 수 있는 첨단 제조 및 측정, 분석 장비의 개발이 병행 추진되어야 하며 재료 분야의 개발도 매우 시급하다.

4. 화합물 반도체 재료의 가공 기술

GaAs(갈륨 비소)를 중심으로 화합물 반도체는 원소 반도체인 실리콘(Si)이 갖지 못하는 몇가지 특성 때문에 주목받기 시작하였다. 표 1에 Si와 GaAs의 기본 특성 및 응용분야를 비교하여 나타내었다. GaAs는 Si에 비해 발광(light emitting), 고속 동작, 반절연성(semi-insulating)기판 제조 가능 등의 특성을 갖고 있고, 발광 소자, 통신 및 정보용 소자, 초 고속 소자등의 제조에 이용되고 있으며 앞으로 그 응용범위가 크게 확대될 전망이다. 화합물 반도체 소자는 기판 웨이퍼 위에 에피층(epitaxial layer)을 성장시키거나 이온 주입(ion implantation)기술 등이 방법으로 제조되며, Si과 마찬가지로 단결정의 특성이 소자에 바로 영향을 미치므로 매우 중요하다.

GaAs 단결정을 성장하는 방법에는 HB(Horizontal Bridgman)법 및 LEC(Liquid Encapsulated Czochralski)법 등이 있다. HB 법은 수평 boat내의 용융액을 한쪽 끝으로부터

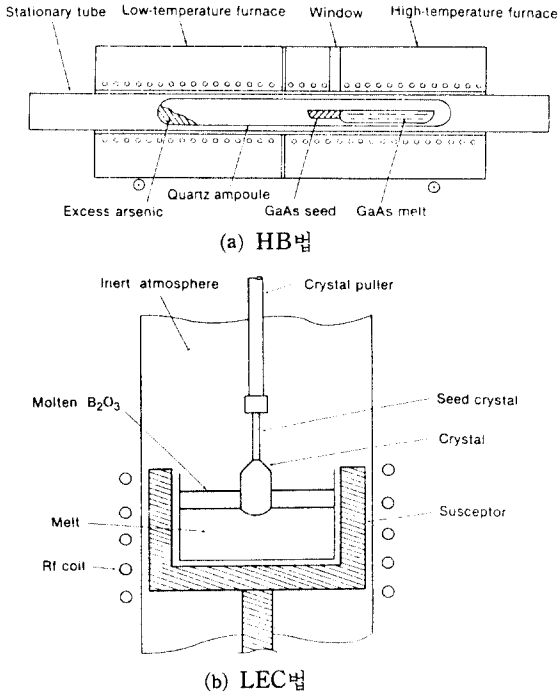


그림 7 GaAs 단결정 성장방법

터 서서히 응고시켜 단결정을 얻는 방법이고, LEC법은 Si의 CZ법과 거의 비슷하거나 As이 증발하는 것을 억제하기 위해 Boric Oxide 등으로 용융액을 덮은채 단결정을 성장시킨다(그림 7). 그 후 단결정 잉곳을 slicing 및 폴리싱하여 웨이퍼를 제조하는 것은 Si의 경우와 같으나 재료 자체가 취약하므로 취급에 어려움이 있다. 현재 주로 사용되고 있는 웨이퍼의 크기는 직경 2인치이며, 대직경화 및 결정 결함을 줄이려는 노력이 경주되고 있다. 결정 결함은 단결정 제조 방법에 따라 큰 차이가 있는데 HB법에 의한 것은 LEC법에 의한 것보다 결정 결함이 적으나 단결정 잉곳이 단면이 반달모양(D-shape)이며, LEC법에 의한 것은 단면은 Si과 같이 원형이나 결정 결함이 매우 많다. 최근에는 단결정 성장시 Indium을 첨가하여 결정 결함을 줄이고자 하는 연구가 진행되고 있으며⁽⁶⁾, 반절연성 기관 웨이퍼를 제조하기 위해서는 Cr이나 산소등을 첨가하여 단결

정을 성장시키고 있다. 최근에는 석영 도가니 대신 PBN(pyrolytic boron nitride)도 가니를 사용하여 불순물을 첨가하지 않고도 반절연단결정을 성장시키는 기술도 개발되고 있다. 국내의 경우 KAIST를 중심으로 HB법에 의한 직경 2인치 GaAs 단결정 성장 및 웨이퍼 제조기술이 1980년대 중반에 개발되어 이를 기업체에 이관한 바 있고⁽⁷⁾, 현재 저 결함 단결정 성장 기술이 개발중에 있다. 그 이외 몇몇 대학 및 연구소에서 InP, CdTe등의 화합물 반도체 단결정 성장 기술을 연구하고 있고, 기업체에서는 HB법에 의한 GaAs단결정 웨이퍼를 곧 시판할 계획으로 있으며, LEC법에 의한 GaAs단결정 성장 기술 개발도 곧 착수 할 계획으로 있다.

5. 화합물 반도체 소자 가공 기술

화합물 반도체 소자를 제조하기 위해서는 Si과 같이 웨이퍼에 이온 주입법에 의해 불순물을 첨가하는 방법과 기관 웨이퍼 위에 불순물이 doping된 에피층을 성장시키는 방법이 있다. 에피층 성장 기술로는 LPE(Liquid Phase Epitaxy), VPE(Vapor Phase Epitaxy), MOCVD(Metalorganic Chemical Vapor Deposition) 및 MBE(Molecular Beam Epitaxy)등이 있다^(8,14). 이온 주입이나 VPE기술로는 주로 MESFET(Metal Semiconductor Field Effect Transistor)를 제조하고 있고, LPE법에 의해서는 LED(Light Emitting Diode)나 LD(Laser Diode)를 제조하고 있다. MOCVD법으로는 LD, solar cell, HEMT(High Electron Mobility Transistor; 초 고속 트랜지스터)등을 최근 제조하기 시작하였고, 초격자(superlattice)나 QW(quantum well)소자 제조에도 응용하는 연구가 매우 활발하게 진행되고 있다. MBE법은 단원자 층(monatomic layer) 정도의 극 초박막을 성장시킬 수 있으므로 고품위의 HEMT, 초격자 및 QW소자 제조에 응용되고 있으나 MOCVD법에 비해 대량 생산이

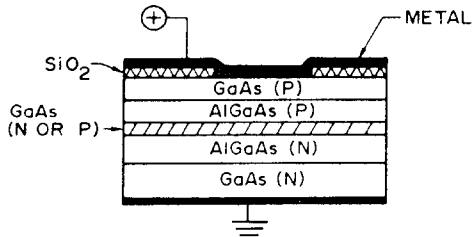


그림 8 LD의 단면

어려운 단점이 있고, 반응 chamber를 고진공 ($10^{-9} \sim 10^{-12}$ torr)으로 유지시켜야 하는 어려움이 있다. 최근에는 MOCVD와 MBE의 장점을 살린 CBE(chemical beam epitaxy)법도 제안되고 있다⁹⁾. 현재 이용되고 있는 화합물 반도체 소자로는 solar cell, photo detector, LED, LD, MESFET, HEMT, GaAs IC등이며, 초격자나 QW소자는 현재 개발 중에 있다. 소자 가공 기술은 Si 소자 가공 기술과 비슷한 점이 많으나 재료의 기계적 성질이 Si에 비해 나쁘기 때문에 취급이 매우 어렵고, 더욱 미세한 가공 기술이 필요한 경우가 있으며, 다층(multi layer)에피를 성장시켜 소자를 제조하는 경우가 많다.

광통신, CDP(compact disc player), VDP(video disc player)등에 쓰이는 LD(stripe type)의 제조의 예를 들면 다음과 같다. 먼저 LPE나 MOCVD방법으로 그림 8과 같은 단면 구조의 다층 에피 성장을 한 후 윗면에 metal stripe를 형성시킨다. 다음에 SiO₂를 에피층 윗면에 진공 증착시킨 후 사진 식각 기술을 이용하여 stripe전극 부분의 SiO₂만 제거하고 그 위에 금속(Au-Zu합금)을 진공 증착하면, SiO₂가 제거된 부분만 금속이 에피층과 접촉되어 stripe 전극이 형성된다. stripe 전극을 만드는 이유는 전류를 stripe 영역으로 접속시켜 효율을 좋게 하기 위함이다. 그 후 웨이퍼의 뒷면을 갈아내어 총 웨이퍼의 두께가 약 100 μ m정도가 되게 하여 웨이퍼를 자르기 쉽게 한다. 그 다음 갈아낸 면에 진공 증착으로 금속 전극(Au-Ge합금)을 형성시킨다. 이

것을 가로 세로 약 250 μ m정도 크기로 잘라내어 전선을 붙이고 조립 포장 하면 LD가 완성된다¹⁰⁾. 현재에는 효율, 수명 및 신뢰성 등 성능을 향상시키기 위해 구조의 다변화 연구가 진행되고 있다.

한편, 화합물 반도체 집적회로(IC)는 Si에 비해 아직 집적도가 낮아 현재 4k램개발 정도의 수준에 와 있으며, 전자 소자와 발광 및 수광 소자(광학 소자)를 한개의 칩(chip)에 제조하는 OEIC(optoelectronic IC)도 세계적으로 활발하게 연구 개발되고 있다. 초격자나 QW 소자는 각각 성질이 다른 반도체 재료를 교대로 수백 A이하의 두께로 겹쳐 쌓은 것인데 기존의 소자가 갖지 못하는 전혀 새롭고, 고성능의 특성을 나타내므로 활발하게 연구되고 있다. 이는 초 박막 에피층을 여러층 성장시켜야 하는 매우 어려운 기술로서 처음에는 MBE법에 의해 연구가 시작되었으나 최근에는 MOCVD법도 응용되고 있다. 최근 들어 Si위에 MOCVD나 MBE법으로 GaAs 에피층을 직접 성장시키는(GaAs on Si)연구가 시작되었는데^{11,12)}, 이것은 대직경 Si 웨이퍼를 바로 소자 제조 공정에 이용 할 수 있고, 무게가 크게 가벼워지며 값이 매우 싸진다는 점등 여러 장점을 가지고 있기 때문에 크게 각광 받고 있는 기술이다. 그러나 Si과 GaAs와의 격차 상수 및 열팽창 계수의 차이가 커서(표 1 참조), Si위에 GaAs를 성장시켰을 경우 결정 결함이 매우 많고, 웨이퍼가 휘어지거나 GaAs 에피층에 균열이 생기는 등 아직 많은 문제점이 남아 있다.

국내의 화합물 반도체 소자 제조 기술은 주로 LED구조로 이미 에피층이 성장된 웨이퍼를 수입하여 단순 조립하는 단계에 머물다가 1980년대 중반부터 KAIST를 중심으로 점차 연구가 활성화되고 있고, 기업체의 참여도 최근 시작되었다. 이후 연구소와 대학에서 각종 에피층 성장 기술이 개발되었고, LED, MESFET, LD의 제조 기술은 거의 실용화 수준에 와 있다. IC나 초격자 소자 제조 기술도

표 1 GaAs와 Si의 비교

	GaAs	Si
결정구조	Zincblend	Diamond
격자상수 (°A)	5.654	5.43
융점 (°C)	1,238	1,415
밀도 (g/cm ³)	5,316	2,329
열팽창 계수 (10/ ^{°C})	5.93	2.33
상온 전자이동속도 (cm ² /V · sec)	8,500	1,900
Energy band 구조	직접전이	간접전이
발광 기능	가능	불가능
수광 기능	가능	가능
방사능 저항도 (rad)	10 ⁷ ~10 ⁸	10 ³ ~10 ⁴
소자전력소비	Si의 1/4 정도	—
소자동작속도	Si의 5~6배 이상	—
반절연기판 제조	가능	불가능
사용가능온도	~300°C	~100°C
초고속 소자 제조	가능	불가능
웨이퍼 가격 (1장)	~\$200/2인치	~\$10/4인치
응용분야	발광 다이오드, 레이저 다이오드, 고효율 태양전지, 광 검출소자, MESFET, HEMT, 위성통신, 광통신, 슈퍼 컴퓨터, GaAs IC, OEIC 등	고집적 IC, 태양전지, 광 검출소자, MOSFET, 컴퓨터, 일반 다이오드 및 트랜지스터 등

최근 개발 연구가 시작되었다. GaAs on Si기술도 MOCVD법에 의해 GaAs 에피층을 Si기판 위에 퍼 위에 성장시키는데 성공하였고⁽¹³⁾, 앞으로 소자화 기술을 개발할 예정으로 있다. 국내의 화합물 반도체 기술 수준은 선진국에 비해 아직 초보 단계에 지나지 않으나 최근 국내의 화합물 반도체 소자의 수요가 급증하고 있고, 2000년대 고도 정보 사회 구현에 꼭 필요한 점 등이 인식되어 점차 활발한 연구 개발이 수행하고 있다. 그러나, 자본 및 전문 인력이 크게 부족하며 원료 및 장비를 거의 대부분 수입에 의존하고 있고, 고 진공 기술이나 정밀 가공 기술등 주변 기술의 발전이 시급한 실정이다.

6. 맺음말

국내외적으로 반도체 산업은 가장 중요한 산업의 하나로 2000년대 고도 정보화 사회에 있어서도 더욱 그 중요성이 더해 가리라 전망된다. 국내 반도체 산업은 그 역사가 짧은 반면 매우 급속도로 발전해온 것이 사실이나 아직도 대부분의 기술을 선진국에 의존하고 있으며, 국내의 주변 산업 기술이 미흡하고, 전문 인력도 매우 부족한 실정이다. 앞으로 산학연 협동을 통한 정책적 연구 개발에 더욱 노력한다면 2000년대에는 최 선진 반도체 공업국의 대열에 나란히 설 수 있을 것이다.

참 고 문 헌

- (1) J. Bardeem and W. H. Brattain, 1948, Phys. Rev. 74, 230.
- (2) J. L. Moll, 1959, Wescon Convention Record, part 3, p. 39.
- (3) H. Sunami, 1985, IEDM, p. 694.
- (4) A. J. Ateki, 1986, Proc. IEEE 74, 1753.
- (5) 민석기 등, 1985, "실리콘 반도체 재료 제조 기술의 기업화 연구", 한국과학기술원, 연구보고서, BSI 1043-2327-1.
- (6) T. Aoyama, et al., 1985, Proc. of conf. on GaAs and Related Compounds, p. 19.
- (7) 조재신, 박승철, 김무성, 민석기, 1984, 새 물리, 24, 156.
- (8) D. K. Ferry, ed., 1985, "Gallium Arsenide Technology", Howard W. Sams & Co., Ind., USA.
- (9) W. T. Tshang and R. C. Miller, 1986, J. Crystal Growth, 77, 55.
- (10) 민석기 등, 1987, "GaAs반도체 재료 기술 개발", KAIST국책연구보고서, N216(2)-2814-1.
- (11) M. Akiyama, 1986, et al., J. Crystal Growth, Vol. 77, No. 490.
- (12) R. Fischer, et al., 1985, J. Appl. Phys., 58, 374.
- (13) H. S. Kim, et al., 1988, J. Korean Phys. Soc., to be published.
- (14) 김무성, 1987, 전자공학회지, 14, 15.



국제 학술대회 참가 안내

제 3 회 회전자동력학 국제 학술대회

—3rd International Conference on Rotordynamics—

주 관 : 국제 기계 및 기구 이론 연맹 (IFTOMM)

분 야 : 시스템 구명, 회전동역학, 베어링, 전자식 베어링, 시일 동역학, 커플링, 流體-回轉體 상호작용, 기어를 갖는 回轉體, 제트엔진 回轉體, 기초구조물, 동적 최적화, 부품요소 수명예측, 균형잡이, 고장파악, 지진 및 스토캐스틱 응답, 진단, 측정 및 진동자료처리, 실험법 등의 回轉體 動力學 分野

일 시 : 1990년 9월 9일~12일 (4일간)

장 소 : 프랑스 리옹 (Lyon, France)

일 정 : 1989년 1월 31일 참가예비 신청 마감

1989년 7월 1일 1000단어 이내의 초록 제출 마감

1989년 10월 초록채택여부 통보

1990년 3월 1일 논문제출 마감

1990년 6월 15일 예비등록 마감

※ 기타 자세한 내용은 한국과학기술원 기계공학과 이종원 교수께 문의 바람.

참가예비신청서 배포 및 접수 일괄처리 예정임. (전화번호 : (02)967-0121 (交)3616)