

半導体 메모리의 構成 및 技術動向

1. 半導体 메모리의 構成

LSI 메모리는 기억의 최소단위인 메모리 셀을 중심으로 구성되어 있다. 단위 셀은 1레벨 또는 0레벨 두가지 값 중 어느 쪽인가를 기억하는 소자이다. LSI메모리는 이 셀을 아래 그림처럼 평면적·규칙적으로 Array상태로 배열한 구성이 되어 있다.

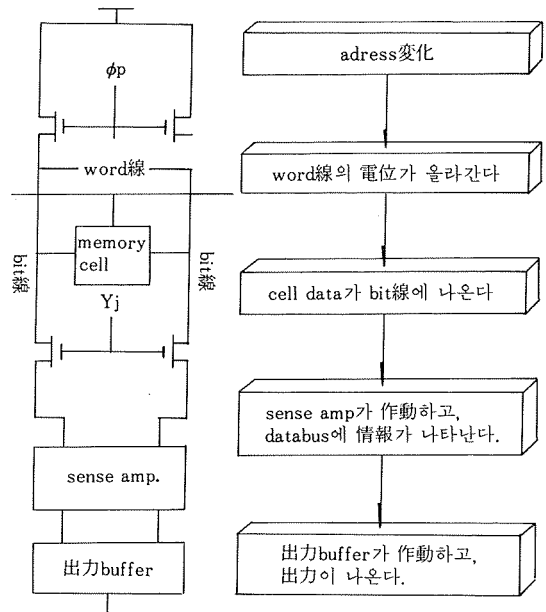
이 Array상의 셀 부분을 Memory Array 또는 Memory Matrix라 부른다. 메모리 매트릭스 중 行 (low) 방향의 메모리 셀을 선택하기 위한 신호를 워드선 (Word Line)이라 부르고 行 어드레스 입력신호를 받아 이 워드선을 선택하는 회로를 行 데코더 (Row Decoder)라 부른다. 이 워드선에 의해 열방향으로 늘어선 메모리 셀들이 선택되면 이들 메모리 셀의 데이터는 비트선 (데이터 선이라고도 함)에 전송된다.

한편 메모리 매트릭스 중 열 (Column) 방향의 메모리 셀을 선택하기 위한 열 어드레스 입력신호를 받아 이 비트선의 선택을 행하는 회로를 열 데코더 (Column Decoder)라 부른다. 즉 메모리 매트릭스는 행과 열의 각 어드레스 신호에 따라 메모리 셀 한 단위를 고르게 된다.

I/O 콘트롤 회로는 행 및 열에 따라 선택된 메모리 셀에 대하여 읽어내기 (Read), 써넣기 (Write) 동작을 제어하는 회로이다. I/O 콘트롤 회로는 읽어내기의 경우 셀의 데이터를 출력 단자까지 전송시키는 일을 하고 써넣기의 경우,

입력 데이터를 메모리 셀 안에 전송하여 기억시키는 일을 한다.

이상 LSI 메모리를 읽어낼 때의 동작의 흐름을 정리하면 다음과 같다.



LSI 메모리의 읽어내기 동작도

이처럼 메모리의 기본 구성은 RAM, ROM에 불구하고 모든 LSI 메모리에 공통된다. (단, ROM의 경우, 읽어내기 전용이며 읽어내기 회로가 있으나 써넣기 회로가 없는 메모리이다).

이상 설명을 통해 메모리 LSI에 필요한 단자는 다음과 같이 된다.

가. 어드레스 단자

행 디코더, 열 디코더에 입력되는 어드레스 신호를 총칭하여 어드레스 단자라 하며 이것을 통해 메모리 매트릭스의 한가지 셀을 골라낸다. 필요한 수는 메모리 셀의 수(메모리 용량)를 N 으로 해서 $X = \log_2 N$ 으로 구한다.

나. 읽어내기·쓰넣기 단자

이것은 LSI 메모리에 대하여 외부로부터 데이터를 쓰넣든가, 외부로 읽어내든가를 메모리에 지시하는 신호이다.

다. 입출력 단자

데이터의 입력 또는 출력이 되는 단자이다. LSI 메모리에 따라 입력단자와 출력단자가 별도로 되어 있는 메모리와, 읽어내기, 쓰넣기, 단자로 쓰넣을 때에는 입력단자가 되고 읽어낼 때에는 출력단자가 되는 입출력 공통단자를 가진 두가지 타입의 메모리가 있다.

라. 칩 선택 단자

대용량 메모리를 필요로 하는 기기에서는 LSI 메모리가 여러개 사용되는 경우가 있다. 이 경우, Address line, Bus line은 병렬접속되므로 어느 LSI 메모리가 선택되고 있는지를 구별할 필요가 있다. 이 메모리 칩의 구별을 위하여 칩 선택 단자를 사용한다.

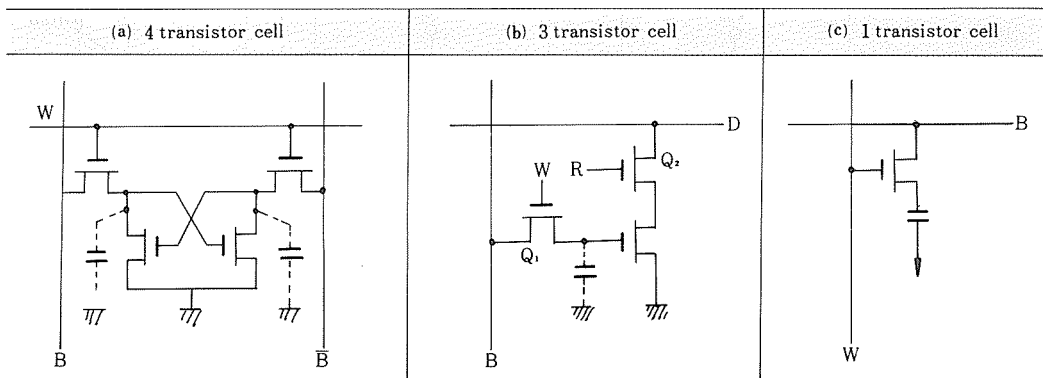
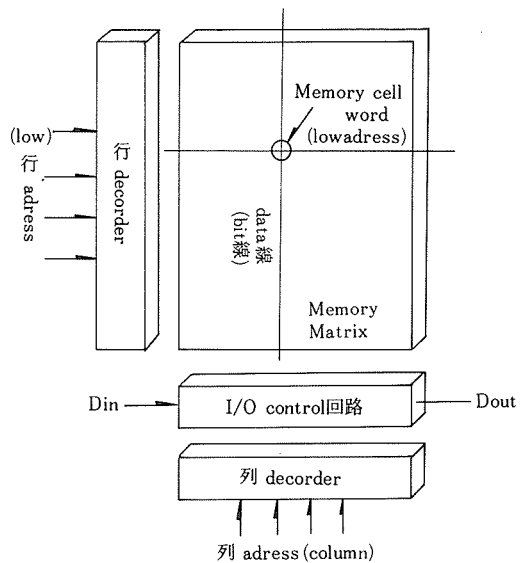
마. 전원단자

보통 LSI 메모리는 단일 5V로 동작하기 때문에 GND (VSS), VDD (+5V)의 두 단자가

있다. EP-ROM처럼 데이터를 써넣기 위하여 특별한 전원이 필요한 경우에는 전원 단자수가 늘어난다.

2. 半導體 메모리의 集積技術

LSI 메모리의 최초기술, 프로세스 기술의 중심은 메모리 용량의 고집적화를 중심으로 하여 개발되어 왔다고 해도 과언이 아니다. Dynamic RAM (DRAM)의 메모리 셀 회로의 변천을 살펴보면 다음과 같다.



·DRAM 메모리 셀 회로의 변천

처음 개발된 DRAM은 위 그림에서 볼 수 있듯이 4 트랜지스터 형 셀이었다. 이 메모리 셀은 비트線 B와 \bar{B} 를 프리차지해두고 워드線 \bar{W} 를 선택하므로써 읽어내기과 Refresh를 동시에 행하는 메모리 셀이었다. 위 그림의 (b)는 1970년 Intel社가 P channel MOS 기술로 개발한 최초의 대용량 메모리(1k 비트 DRAM)의 기본 셀인데 세개의 트랜지스터와 1개의 캐퍼시터로 이루어진 것으로 3 트랜지스터 형으로 불린다.

이 메모리 셀은 입력선 B와 출력선 D, 써넣기 트랜지스터 Q_1 , 읽어내기 트랜지스터 Q_2 가 각각 따로 따로 마련되어 있으며 다른 DRAM 셀과는 달리 비파괴 읽어내기가 가능한 것이 특징이었다. 그러나 4k비트 이상의 DRAM에서는 위 그림 (c)의 1 트랜지스터, 1 캐퍼시터 형의 메모리 셀이 채택되어 그뒤 메가 비트 시대인 오늘날에 이르기까지 회로적으로는 이 1 트랜지스터 형 셀이 계속 이용되고 있다. 4k비트 이상의 대용량 DRAM의 고집적화는 1 트랜지스터 형 메모리 회로를 어느 정도 고밀도로 만들어 내는가 하는 미세가공 프로세스 기술과 얼마나 작은 기억용량으로 읽어낼 수 있는가 하는 고감도 Sense amp. 회로기술 등의 진보로 달성되어 왔다고 할 수 있다.

한편 Static Memory (SRAM)도 역사적으로 보아 초기에는 DRAM과 마찬가지로 PMOS 디바이스로 시작되고 있다. 이것은 그때까지만해

도 N MOS의 문턱 전압제어를 양산할 수 있는 기술수준에 이르지 못하고 있었기 때문이다. 그 뒤 불순물 이온 주입기술이 진보되어 문턱 전압 제어성이 좋아짐에 따라 PMOS RAM에서 NMOS RAM 혹은 CMOS RAM으로 바뀌어 1975년경에는 1k 비트의 NMOS 또는 CMOS SRAM이 실용화되기 시작하였다. 이 SRAM메모리 셀 회로의 변천을 살펴보면 다음과 같다.

NMOS SRAM과 CMOS SRAM은 말하자면 SRAM의 형제지간과 같은 형태로 함께 성장하여왔다. NMOS SRAM은 보다 낮은 코스트의 SRAM영역에 그리고 CMOS SRAM은 보다 낮은 소비전력을 필요로 하는 SRAM영역에 각각 깊이 침투되고 있다. 1k~4k 비트의 NMOS SRAM은 위 그림(a)에서 볼 수 있듯이 E/D형 셀을 쓰고 있다.

이 SRAM은 부하소자로 Depletion형 트랜지스터를 쓰고 있으며 Flip Flop(F/F)에 Enhancement형 트랜지스터를 써서 구성하고 있다. 한편 CMOS SRAM은 위 그림(c)에서처럼 완전 CMOS형의 6 트랜지스터 셀이 극히 저소비 전력 성능을 지니고 있는데서 1k~4k 비트에서는 모두 6 트랜지스터 셀이 쓰여져 왔다. 그러나 CMOS 회로에서는 동일 칩상에 PMOS 트랜지스터와 NMOS 트랜지스터 두가지를 만들어 놓기 때문에 양 트랜지스터를 구성하는 영역이 필요하게 되어 셀 전용면적은 NMOS에 비하여 필연적으

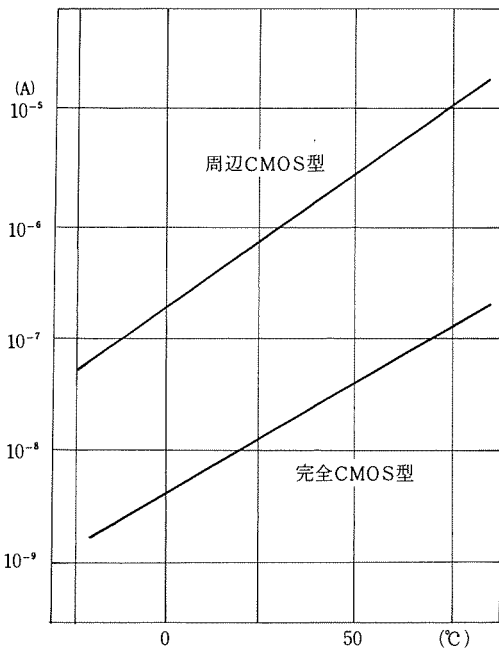
cell type	(a) E/D形	(b) 高抵抗負荷形	(c) CMOS形
cell 等価回路			
cell 面積比	1.25	~0.61	1

SRAM의 메모리 셀 회로 변천

로 커지지 않을 수 없다(보통 NMOS 셀에 비하여 1.2~1.4배). 그럼에도 불구하고 CMOS RAM에 6트랜지스터 셀이 쓰여져 온 것은 부하를 통하여 흐르는 leak 전류를 억제하는데 스위칭 기능을 지닌 PMOS 트랜지스터를 쓸 수밖에 없었기 때문이다.

그러나 1979년경부터 Polysilicon을 사용, 고저항소자(~100MΩ)를 형성하는 기술이 진보되어 먼저 NMOS 메모리 셀이 16k 비트 SRAM에서 윗 그림(b)에 표시된 고저항 폴리실리콘 부하형 셀로 거의 모두 바뀌게 되었다. 폴리 실리콘의 저항소자는 MOS트랜지스터 윗층에 걸쳐 만들 수 있어 셀 전유면적을 적게 할 수 있게 되었다. 뿐만 아니라 폴리 실리콘 저항소자의 Off 전류는 Depletion 부하소자의 오프 전류보다 크게 적어 정지시 전류성능을 얻을 수 있었기 때문이다.

그뒤 고저항 폴리 실리콘 소자의 제어기술이 진보된 결과 1981년에는 드디어 ~100GΩ의 양산화가 가능하게 되어 16k비트 CRAM 제품의 일부에 고저항 폴리 실리콘 부하형 셀이 채택된 디바이스가 등장하기에 이른다(주변 CMOS형으로 되어 있음).



스탠바이 전류의 온도 의존성

주변 CMOS형은 NMOS형과 똑같은 메모리 셀 사이즈가 되기 때문에 코스트면에서도 같은 수준이 되어 64k비트 이후의 SRAM은 성능적으로 뛰어난 주변 CMOS형이 태반을 차지하기에 이르고 있다.

한편 장기간에 걸쳐, 전지 Back-up 응용분야에서는 완전 CMOS형의 극저소비 전력 성능의 수요가 커서 SRAM시장의 약30%는 완전 CMOS형이 차지하고 있다. 주변 CMOS형과 완전 CMOS형의 정지시 소비전류(스탠바이 전류)와 그 온도의존성은 왼쪽의 그림과 같다.

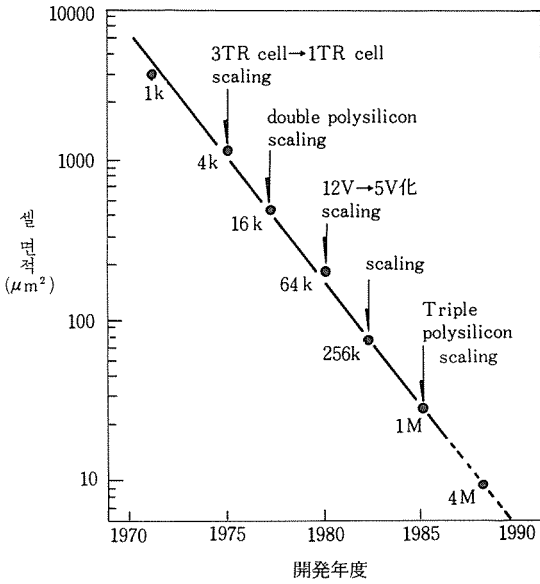
3. 半導体 메모리의 프로세스

앞에서 고집적화를 위한 메모리 셀의 변천에 대하여 DRAM과 SRAM의 예를 들어 살펴 보았다. 이 항에서는 메모리 프로세스도 메모리 셀의 고집적화에 집약됨을 살펴보기로 한다. DRAM의 집적도와 프로세스의 최소 선폭 추이 및 DRAM의 셀 면적 추이를 보면 각각 다음과 같다.

開發年度	1970	1975	1980	1985			
最小線幅 (micron)	8	6	4	2.5	1.5	1.0	0.8
集積度 (bit)	1 k	4 k	16k	64k	256k	1 M	4 M

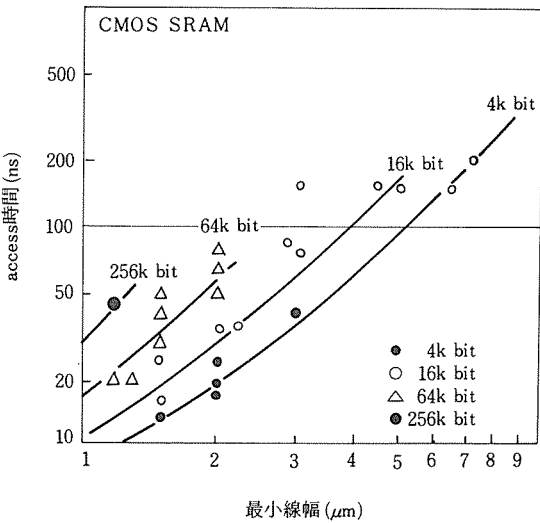
DRAM의 집적도와 최소 선폭 추이

1k 비트에서 1M 비트에 이르기까지 셀 면적은 실로 1백분의 1로 줄어들었다. 이 셀 면적의 축소는 앞에서 언급한 3트랜지스터화→1트랜지스터화 이외에 소자나 배선치수의 미세화, 다층배선기술의 진보에 힘입은 바 크다. 위 두 그림에서 1k 비트의 8μm 단층 폴리 실리콘 프로세스에서 오늘날의 1M 비트의 1μm 3층 폴리 실리콘 프로세스에 이르기까지 고집적화되어 온 추이를 알 수 있다.



DRAM의 셀면적 추이

SRAM의 고집적화 프로세스 기술의 핵심은 CMOS의 미세가공기술이다. 또한 CMOS 프로세스의 최소 선폭과 CMOS SRAM의 집적도, 성능(액세스 타임) 추이를 살펴보면 다음과 같다.



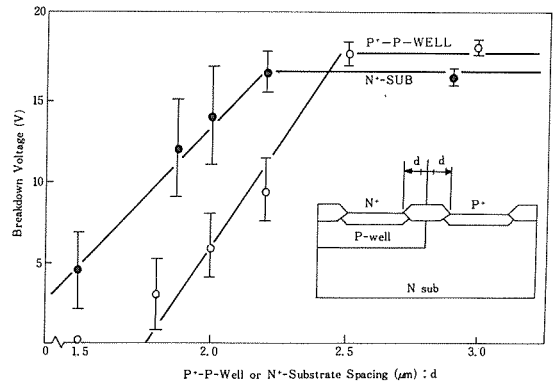
패턴 치수에 따른 CMOS-SRAM의 집적도와 성능 향상

CRAM에서의 미세화 효과는 고집적화와 함께 고속화에도 크게 기여하고 있으며 특히 2μm 이하의 프로세스에서 5ns 이하의 고속 SRAM 영역이 가능해졌음을 알 수 있다.

트랜지스터가 스케일링되어 미세화가 진전되면 채널 영역의 불순물 농도를 최적화하여 Short

channel 효과나 Punch through 내압을 향상시키는 것이 불가피해져 종래의 P-well CMOS 대신에 양극성 MOS를 독립적으로 최적화하기 쉬운 양 well CMOS 구조를 택할 수밖에 없는 형편으로 되어가고 있다. 또한 메모리 셀의 고집적화를 위해서는 DRAM과 마찬가지로 다층 배선기술이 불가피해지고 있으며 256k 비트에서는 3층 폴리 실리콘 기술이나 2층 메탈 기술이 실용화되고 있다.

CMOS의 미세화 기술의 하나로써 well 분리 영역의 축소가 있는데 다음 그림에서 볼 수 있듯이 축소에 따라 분리내압이 내려가기 때문에 well 경계부분의 불순물 농도를 올리는 것과 같은 대책을 강구하는 경우도 있다.



또한 CMOS 고유의 latchup 현상도 분리거리 축소에 따라 일어나기 쉬워지므로 주의가 필요하다. 완전 CMOS형 셀 사이즈가 프로세스 레벨에 따라 축소되는 비율은 다음과 같다.

