

Metal-Al₂O₃-p·Si의 MOS 構造에 있어서 高電界에 의한 Carrier注入과 트랩에 관한研究

(A Study on Carrier Injection and Trapping by the High Field for MOS (Metal-Al₂O₃-p·Si) Structure)

朴 成 熙* 成 萬 永**

(Sung Hee Park and Man Young Sung)

要 約

本 論文은 Si基板에 CVD方法으로 deposition시킨 Al₂O₃막에서 carrier注入 및 트랩핑의 特性에 대해 研究하였다. 素子는 Al과 Au을 極으로 利用한 金屬-Al₂O₃-p·Si의 構造이다. 實驗結果 素子の ΔV_{FB} (flat-band voltage shift)을 나타내는 carrier의 注入과 트랩핑은 1~2{MV/cm}程度의 낮은 電界에서 發生하였다. 本 研究에서는 트랩되는 carrier(電子)들의 中心點 位置를 구하는 大략적인 方法을 提案하였다. 電子들은 注入하는 界面가 가까이에 트랩핑을 나타내고, 이때의 電界는 5{MV/cm}以下였다. 계속적인 MOS capacitor의 충전으로 실제 정상 상태는 이르지 못하고, 유일한 I-V 關係曲線은 트랩들이 비었을 때 初期에 얻게 된다. 素子の 새로운 여러곳에 印加한 電壓을 利用하여 두 極性에 대한 I-V 關係를 측정하였다. 관찰한 電流密度는 SiO₂膜의 경우에서 보다 훨씬 크다.

Abstract

This study is carried out to investigate the carrier injection and the characteristics of trapping for the CVD deposited Al₂O₃ film on Si Substrates. Samples used are metal-Al₂O₃-Si Structures in which metal field plates are used with Aluminium or Gold. Carrier injection and trapping, which result in flat band voltage shift, occur at fields as low as 1~2 MV/cm. An approximate method is proposed for computing the location of the centroid of the trapped electrons in this paper. Results show that carriers are trapped near the injecting interface at fields less than about 5 MV/cm. Because of continued charging, a steady state can not be reached.

Therefore the unique I-V curve is obtained when the traps are initially empty. By utilization of applied voltage on each point of the fresh device sample, it is measured the I-V curves for two polarities of applied voltages. The current densities observed in the Al₂O₃ films are much larger than those obtained in SiO₂.

I. 序 論

半導體分野의 絶緣膜으로서 SiO₂膜이 많이 活用되고 있다. 그러나 SiO₂膜은 半導體素子에서 Si과의 界面에 界面準位 및 電荷트랩이 發生하고, 高温Bias에서 알칼리 이온의 移動으로 素子の 特性이 不安定하게 變化하며, 金屬電極과도 化學反應이 일어나는 결함들이 있다.

*正會員, 湖西大學校 電子工學科
(Dept. of Elec. Eng., Hoseo Univ.)

**正會員, 檀國大學校 電氣工學科
(Dept. of Electrical Eng., Dankook Univ.)

接受日字: 1986年 6月 11日

따라서 現在 SiO₂ 膜의 特性改善 및 補完의 측면에서 PSG, Si₃N₄ 및 Al₂O₃ 膜等이 研究의 대상이 되고 있다. PSG膜은 Na⁺이온에 대해 좋은 장벽구실을 하고 있으며, Si₃N₄膜은 不揮發性 메모리素子로서 絶緣膜뿐만 아니라, 酸化 및 에칭 마스크로서 그 有用성을 認定받고 있다. 그러나 이들은 아직도 SiO₂膜에 비하여 特性이 優秀하지 못하지만, Al₂O₃膜은 構造結合面에서 SiO₂보다 安定性이 있고, 높은 放射強度로 高에너지 복사에 대한 저항이 크다. 또한 이온運動에 대한 저항성이 높다. 알카리 이온에 의한 不安定성을 解決할 수 있고, 非揮發性 메모리素子로 活用하는 등, SiO₂보다 特性의 優秀한 면이 있다고 評價되고 있다.^{11,12} 따라서 本 論文에서는 SiO₂ 膜構造의 치밀도와 膜内の 可動이온 및 트랩밀도에 대한 特性改善點이 있으므로 MOS의 絶緣膜으로서 Al₂O₃膜의 活用성을 보다 定量的으로 考察하고 Al₂O₃膜을 통한 高電界 注入效果와 트랩 現象을 검토코자 하였다.

II. 理論的 考察

絶緣膜인 酸化膜内에서 電荷트랩 現象은 C-V 特性의 時間的인 變化를 考察하여 解析할 수 있으며, 酸化膜内에서 電氣의 特性을 나타내는 ΔV_{FB}(flat band shift)는 單位面積當 트랩된 電荷量(Q_T)과 函數關係가 있으므로 金屬界面으로 부터의 平均거리 x에서 V_{FB}(flat band 電壓)는 다음과 같이 나타낼 수 있다.¹³

$$V_{FB} = -Q_T x / \epsilon_r \epsilon_0 \quad (1)$$

여기서 Q_T는 負電荷일때와 正電荷일때의 V_{FB}狀態는 달라진다.

트랩되는 電荷의 平均거리 x에 대한 酸化膜内 電荷分布 ρ(x)를 金屬面과 半導體面에서 注入되는 각각의 carrier에 따라 두가지 형태로 그림 1에서와 같이 나타내었다. 그림 1에서 첨자 ±는 注入되는 carrier들에 대한 印加電界의 極性を 表示한 것이며, 트랩되는 電荷에 의하여 나타나는 ΔV_{FB}는 다음식과 같다.

$$\Delta V_{FB} = -\frac{\Delta Q_{ss}}{C_o} - \frac{\int_0^L x \rho(x) dx}{C_o L} \quad (2)$$

여기서 x는 金屬界面으로 부터의 거리이며, ΔQ_{ss}는 表面狀態 電荷密度(C/cm²)의 變化量, C_o(ε_sε_o/L=8.85 × 10⁻¹²ε_s/450 × 10⁻¹⁰=0.2 × 10⁻³ε_s)는 單位面積當 酸化膜의 容量, L(450 Å)는 酸化膜의 두께로서 ΔQ_{ss}/C_o의 크기는 무시할 정도이므로 다음식과 같다.¹³

$$\Delta V_{FB} \approx \frac{-\int_0^L x \rho(x) dx}{C_o L} \quad (3)$$

電荷分布의 平均中心點은 다음식과 같이 나타낼 수 있다.

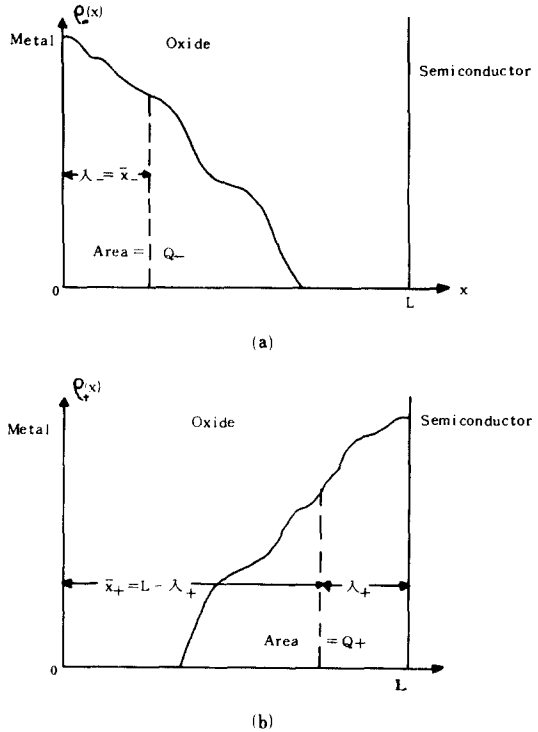


그림 1. 酸化膜内の 電荷分布,
(a) 金屬面에서 電子注入에 의한 트랩된 電荷 (負電界)
(b) 半導體面에서 電子注入에 의한 트랩된 電荷 (正電界)

Fig. 1. Two arbitrary oxide charge distribution.
(a) Trapped charge resulting from injection of electrons at the field plate (negative field plate).
(b) Trapped charge resulting from injection of electrons at the substrate (positive field plate).

$$\bar{x} = \frac{\int_0^L x \rho(x) dx}{\int_0^L \rho(x) dx} = \frac{1}{Q} \int_0^L x \rho(x) dx \quad (4)$$

식 (3), (4)로 부터

$$\Delta V_{FB} \approx -Q \bar{x} / C_o L \quad (5)$$

이 되며 식(5)을 그림 1의 (a), (b)에 각각 적용시키면 다음식과 같이 나타낼 수 있다.

$$\Delta V_{FB-} = -\frac{Q_- \bar{x}_-}{C_o L} = -\frac{Q_- \lambda_-}{C_o L} \quad (6a)$$

$$\Delta V_{FB+} = -\frac{Q_+ \bar{x}_+}{C_o L} = -\frac{Q_+ (L - \lambda_+)}{C_o L} \quad (6b)$$

$$\Delta V_{FB-} + \Delta V_{FB+} = -\frac{1}{C_o L} [Q_- \lambda_- + Q_+ (L - \lambda_+)] \quad (7)$$

그림 1의 두가지 電荷分布는 대략 酸化膜의 中間面에 대해 상호대칭으로 하고, Q₋=Q₊, λ₋=λ₊=λ로 하

면 식(6a), (7)로 부터

$$\frac{\lambda}{L} = \frac{1}{1 + \Delta V_{FB_+} / \Delta V_{FB_-}} \quad (8)$$

의 관계식을 얻을 수 있다. (λ는 電子의 平均注入거리), 식(8)은 電荷分布의 形狀에 無關하고, 界面狀態에서의 界面電荷를 무시하면 두 bias 極性에 대한 電荷分布는 x=1/2L인 面에서 상호대칭이 된다.

한편 트랩밀도에 대한 電荷分布의 形狀을 대략 구하기 위해 ρ(x)의 임의의 모형을 가정해야 한다. 따라서 생각할 수 있는 첫째 分布는 상자分布(box distribution)로서 0 < x < 2x̄에 대하여 ρ(x) = -eN, 2x̄ < x < L에 대해서는 ρ(x) = 0로 하면 ΔV_{FB}는 다음과 같다.

$$\begin{aligned} \Delta V_{FB_-} &= \frac{-\int_0^L x \rho(x) dx}{C_o L} = \frac{-\int_0^{2\bar{x}} x (-eN) dx}{C_o L} \\ &= \frac{2eN\bar{x}^2}{C_o L} \end{aligned} \quad (9)$$

(9)식으로 부터

$$N = \frac{C_o L \Delta V_{FB_-}}{2e\bar{x}^2} \quad (10)$$

을 얻을 수 있다. 만약 포물선형의 分布로 가정하면, 0 < x < 8/3x̄에서 ρ(x) = -eN · [1 - (3/8 x/x̄)²], 8/3x̄ < x < L에서 ρ(x) = 0로 되어 (9)식으로 부터

$$N_o = \frac{9 C_o L \Delta V_{FB_-}}{16 e \bar{x}^2} \quad (11)$$

를 얻을 수 있다.

(10)식과 (11)식을 비교하면 N_o = 9/8 × N, N̄ = 2/3 × N_o의 관계가 되며, 여기에 N_o는 界面의 트랩밀도, N̄는 포물선형 分布에 대한 平均트랩밀도이다. 또한 指數函數的인 分布에 대해, ρ(x) = -eN_oexp(-x/x̄), 0 < x < ∞로 가정하면 x̄는 L의 작은 부분이므로 ∞까지 電荷分布를 擴張시킬 수 있으며 이 경우 ρ(L) = -eN_oexp(-L/x̄)는 무시할 정도로 작은 값이다. 따라서 x = 0, x = ∞의 구간에서 (9)식으로 부터 다음과 같은 식을 구할 수 있다.

$$N'_o = \frac{C_o L \Delta V_{FB_-}}{e \bar{x}^2} \quad (12)$$

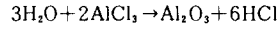
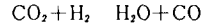
이이 結果를 (10)식과 비교하면 N'_o = 2N이 되고 트랩밀도는 주로 두개의 變數(x̄, ΔV_{FB})에 의하여 決定된다.

III. 素子の 製作

比抵抗 4~6(Ω-cm)가 되는 p-Si를 基板(wafer)으로 선택하였으며, 基板表面의 여러가지 불순물을 제거하기 위해 NH₄OH, H₂O₂와 HCl로 세척하였다.¹⁴⁾

以後 wafer를 CVD反應室에 넣고, H₂/N₂ gas 분위기에서 光學溫度計로 溫度를 觀察하여 約 900°C까지 熱을 加한다. 定常溫度에 이룬後 H₂gas를 1.2ℓ/min,

AlCl₃ gas를 0.5ℓ/min, CO₂gas를 0.16ℓ/min의 흐름으로 反應爐에 유입시켰으며 유입되는 AlCl₃ gas는 108 ± 0.25°C 溫度와 2.289 Torr의 壓力狀態로 조절하였다. 이때 deposition의 過程에서 생기는 基本的인 反應은 다음과 같다.



CVD 積層過程에서 450 Å 두께의 酸化膜을 얻는데 5.55분의 deposition時間이 걸렸다.

Deposition後에 溫度를 H₂gas분위기 속에서 200°C以下로 강하시켰으며, H₂를 N₂gas로 바꾸어 돌려보내면서 素子를 常溫으로 냉각시켰다. 以後 試料들은 眞空중착기를 利用하여 Al이나 Au의 金屬電極을 形成시켰다. 本實驗에서 제작된 素子들의 Al 또는 Au의 電極은 200 Å ~ 1000 Å의 두께와 500μm ~ 1000μm의 직경으로 構成된 원형 電極을 使用하였다. 本實驗에서는 주로 450 Å 크기의 Al₂O₃膜을 利用하였고, 이때 酸化膜 두께는 나노스코프(Nano Scope)로 測定하였다. 이 測定에서 2% ~ 10%의 測定誤差를 認定하였다. 이때 酸化膜의 比誘電率은 커패스턴스의 測定값과 電極의 構造 및 크기를 利用하여 계산을 할 수 있었으며, 그 값(ε_r)은 C_o = ε_rε_oA/L = ε_rε_o(π/4 × d²)/L의 式으로 부터 8.5 ~ 10.5범위의 값을 얻었다. 酸化膜의 初期 flat band 電壓과 界面狀態密度는 Lehoc의 近似值方法에 따라 決定하였으며,¹⁵⁾ 初期 flat-band 電壓 V_{FB}는 初期 固定電荷에 따라 1~2(V)이었고 이때의 界面狀態密度는 計算에 의하여 10¹¹cm⁻² 程度로 나타났다.

IV. 測定結果 및 考察

1. 測定結果

酸化膜内の 電荷트랩은 C-V曲線의 時間的인 變化로부터 觀察할 수 있다 ΔV_{FB}(Flat band shift)는 酸化膜內 單位面積當 트랩된 電荷量(Q_T)에 따라 V_{FB} 狀態가 달라진다고 볼 수 있다. 그림 2는 P형 半導體素子에 (-)25V bias된 경우에 M-Al₂O₃-p-Si素子の C-V 曲線에 대한 時間的인 變化特性을 나타냈다.

初期狀態(t = 0)로 부터 얼마의 時間동안(約 10초)은 C-V特性曲線이 오른쪽으로 移動되어 酸化膜에는 負電荷가 增加되고 있음을 나타내었다.^{16,7)}

또한 界面狀態의 構成 및 側面의 不均衡狀態와 charge分布의 變化가 심함에 따라 다소 C-V曲線의 變化가 不規則的으로 나타나고 있었다. 바이어스時間이 10초 이상시는 C-V曲線이 다시 左側으로 移動되어 酸化膜內에 負電荷量이 P型에서는 감소되고 있음을 알 수 있었고, V_{FB}(Flat band voltage)가 減小하는 동안

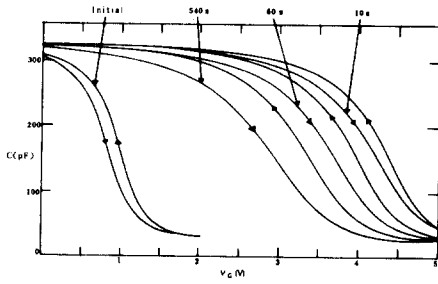


그림 2. (-)25V 바이어스된 Al-(450 Å) Al₂O₃-p-Si에 대한 C-V 곡선들의 시간적인 변화(素子面積; $2 \times 10^{-3} \text{cm}^2$)

Fig. 2. Time evaluation of C-V curve for a Al-(450 Å) Al₂O₃-p-Si sample under (-)25V bias (area; $2 \times 10^{-3} \text{cm}^2$).

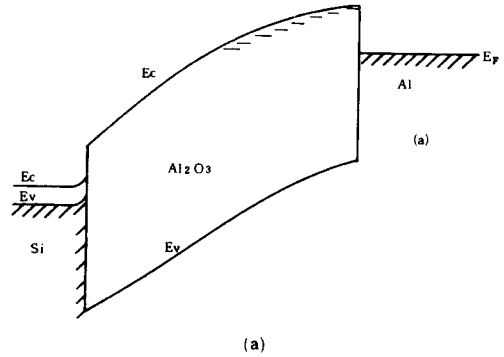
C-V 곡선에서의 hysteresis 현상이 증가하는 것을 관찰하였다. 그림 3은 -바이어스 상태에서 밴드 다이어그램으로 나타냈고, 전자들은 금속면으로 부터 트랩된 산화막으로 주입됨을 나타내었다.

금속 근처에는 -전하가 형성되어 전界를 감소시키므로 Si 근처의 전界는 平均적으로 같은 전界로 維持하기 위하여 전界가 증가되어야 한다. 初期 상태에서 산화막 내 中性 상태의 中心거리로 부터 電子의 電界放出과 Si에서 正孔들의 주입으로 Si 근처에 (+) 공간電荷領域을 形成하게 되며, V_{FB} 의 變化가 생긴다. 이에 대한 實驗結果로서 주입 시간에 대한 ΔV_{FB} 로 나타낼 수 있다. M-Al₂O₃-p-Si素子에 (-)bias로 印加할 때 그림 4에서 ΔV_{FB} 의 變化範圍의 크기가 M-Al₂O₃-n-Si에 (+)bias를 加한 것⁽⁸⁾보다 적은 값으로 나타났다.

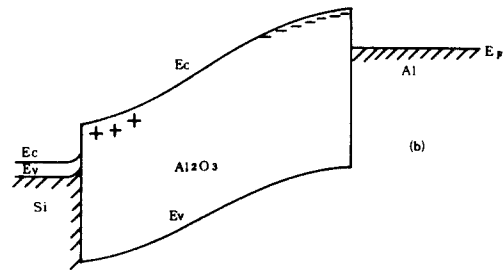
그림 5에서는 (-)bias된 特性을 나타냈고 ΔV_{FB} 는 처음 增加後에 減少하게 됨을 나타내고 있다. (-)16(V)의 印加電壓에서는 約 10^2 초에 대해 ΔV_{FB} 의 變化가 포화상태를 나타내고, 더욱 印加bias의 크기를 증가시키면 最大値의 ΔV_{FB} 가 되고, 이어서 빠른率로 減少된다.

金屬部分의 物質種類에 따른 特性變化를 考察하기 위하여 Au電極를 갖는 素子를 제작하여 측정한 特性曲線을 그림 6에 나타내었다. 그림 6은 산화막에 (+)電荷가 充電되고 있다는 것을 나타내고, (-)bias에서는 그림 6의 주입 threshold電壓이 그림 4의 Al電極에서 보다 Au電極에서 더 높다는 것을 보여 주고 있다.

그림 7과 그림 8은 時間을 파라미터로 하는 印加電壓 V_c 에 대한 ΔV_{FB} 의 變化曲線을 나타내고 있다. 時間의 增加에 따라 曲線들이 왼쪽으로 移動됨을 나타내



(a)



(b)

그림 3. -bias된 상태에서 주입 및 트랩되는 밴드 diagram

(a) 금속 근처에 電子가 주입되고, 트랩된다. 이때 正 flat-band 變化를 일으킨다

(b) Si 근처의 電界 증가로 트랩된 電子의 방사와 hole의 주입으로 밴드가 變化하는 diagram

Fig. 3. Band diagram illustrating injection and trapping under negative bias.

(a) Electrons are injected and trapped near metal, causing positive flat band shift.

(b) Increasing field near Si, electrons are emitted from neutral oxide traps or holes to be injected from Si, bending bands and reducing the positive flat band shift.

고 있고, 素子에 흐르는 電流는 트랩핑 電荷의 영향으로 $t=0$ 後에 쇠퇴해진다. $t=0$ 에서의 界面電界는 印加電壓에 따라 알 수 있으나, 酸化期內에 電荷트랩핑이 部分的으로 채워질때 그 상황이 트랩핑電荷에 의한 界面電界와 주입된 電荷로 더욱 複雜해진다. 트랩에 關係되는 주입電壓는 界面電界와 界面 근처의 트랩에 따라 函數關係가 이루어진다. 또한 電子들이 熱的運動에 의해 트랩과 트랩사이를 호핑(hopping) 하기때문에 溫度에 대한 의존성도 매우 複雜하게 연관되어

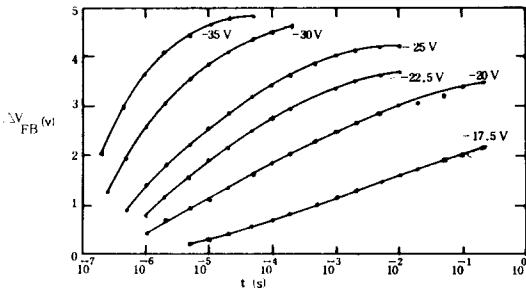


그림 4. 負電壓을 印加한 Al-(450 Å) Al₂O₃-p-Si에 대한 log t와 ΔV_{FB} 관계 (t는 주입시간)

Fig. 4. Flat-band voltage shift vs log t for Al-(450 Å) Al₂O₃-p-Si with negative applied voltages as parameter.

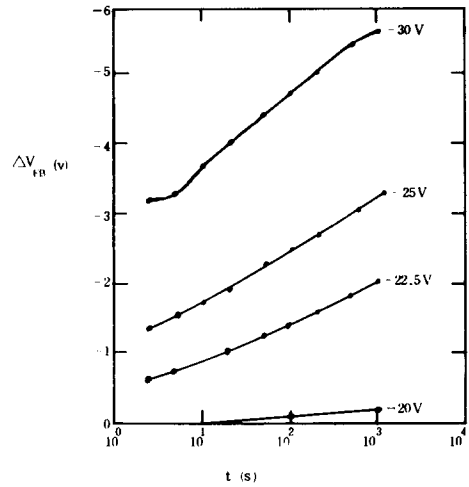


그림 6. Au-(540 Å) Al₂O₃-p-Si에 (-)電壓을 印加할 때의 log t에 대한 ΔV_{FB}

Fig. 6. Flat band voltage shift vs log t for Au-(540 Å) Al₂O₃-p-Si with negative applied voltages as parameter.

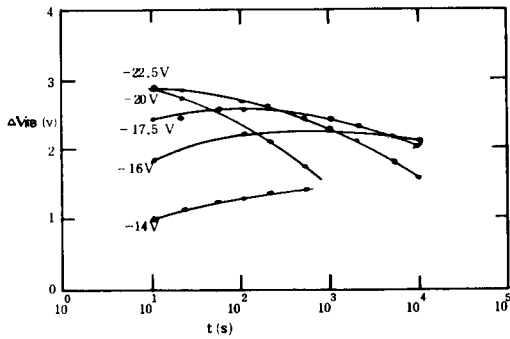


그림 5. Al-(475 Å) Al₂O₃-p-Si에 負電壓을 印加할 때의 log t에 대한 ΔV_{FB}

Fig. 5. Flat-band voltage shift vs log t for Al-(475 Å) Al₂O₃-p-Si with negative applied voltage as parameter.

있다.^[3,9] 따라서 이와같은 다양한 變化에 따른 복잡성을 제거하고 가장 간단한 近似化된 상태에서 注入過程을 考察하기 위해 MOS capacitor의 素子에 充電되지 않은 室温狀態에서 I-V特性을 測定한 結果를 그림 9에 나타내었다. 그림에서 3~9 (MV/cm) 電界크기에 대해 電流密度的 初期值들은 10⁻¹~10² (A/cm²) 범위를 나타내고 있다.

그러나 SiO₂膜의 素子에 대한 Avron의 結果와 비교하여 보면 대략 9~11 (MV/cm)에서 10⁻⁴~10⁰ (A/cm²) 정도의 범위가 되어 그 差異가 나타나고 있다.^[8] 이러한 現象은 두 材料間에 carrier電荷의 注入過程에서 相違性을 반영하는 것으로 볼 수 있다.

Si에서 SiO₂의 傳導帶로 직접 터너링하는 過程과 Al₂O₃膜에 보다 쉽게 carrier電荷가 트랩되는 메카니

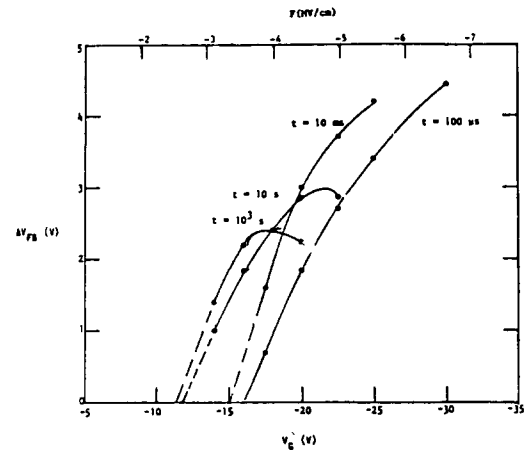


그림 7. Bias된 時間을 파라미터로한 Al-(450 Å) Al₂O₃-p-Si에 印加 負電壓에 대한 ΔV_{FB}

Fig. 7. Flat band shift vs negative applied voltage for Al-(450 Å) Al₂O₃-p-Si with biasing time as a parameter.

즘과는 대조가 되고 있다.

한편 그림 10에서는 10⁴ (초)까지의 電流흐름상태를 나타내었다. 이 때의 初期電流 密度는 그림 9에서 나타낸 初期電流 密度 보다는 작아지고 이러한 現象은 電氣傳導特性에 있어서 初期에 carrier電荷 트랩핑이 強하게 作用하고 그 후에 트랩 密度 狀態가 變하기 때문에

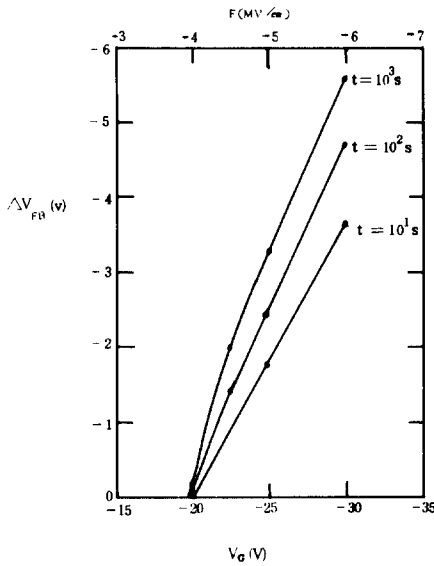


그림 8. Bias된 시간을 파라미터로한 Au-(540 Å) Al₂O₃-p-Si에 인가한 負電壓에 대한 ΔV_{FB}
 Fig. 8. Flat-band shift vs negative applied voltage for Au-(540 Å) Al₂O₃-p-Si with biasing time as a parameter.

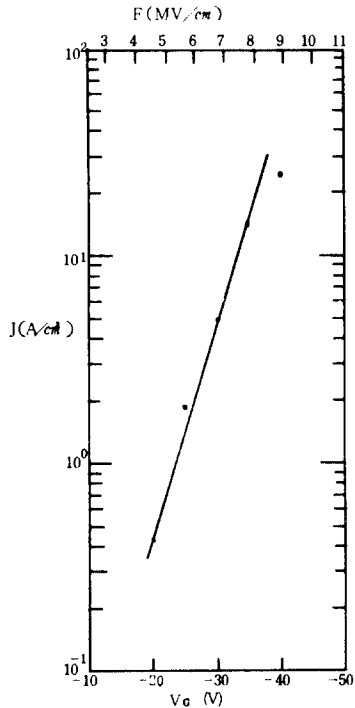


그림 9. Al-(450 Å) Al₂O₃-p-Si에 인가한 負bias에 대한 初期電流密度 (면적; 2×10⁻³cm²)
 Fig. 9. Initial current density vs applied negative bias on Al-(450 Å) Al₂O₃-p-Si (Area; 2×10⁻³ cm²).

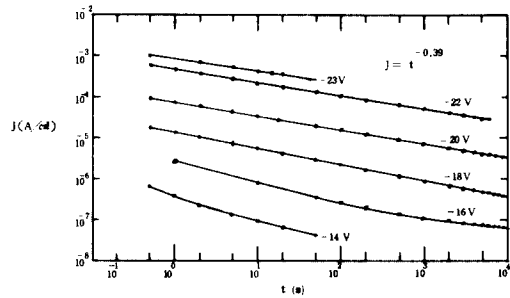


그림 10. Al-(450 Å) Al₂O₃-p-Si에 負bias를 인가할 때 log t에 대한 log J 관계 (면적; 2×10⁻³cm²)
 Fig. 10. log J vs log t for negative bias in Al-(450 Å) Al₂O₃-p-Si (Area; 2×10⁻³ cm²).

電流密度가 작아지는 것으로 생각되며 트랩을 점유하는 과정에서 溫度는 重要な 역할을 한다고 본다.

2. 測定結果에 대한 考察

Al₂O₃의 傳導메카니즘은 I-V關係를 觀察하여 알 수 있으며, 그림 9의 高電界 범위내에서 I-V特性을 이미 나타낸바 있다. 많은 量의 電荷가 酸化膜에서 트랩핑되어 酸化膜内の 電界分布를 變化시키게 된다. 이때 I-V曲線의 測定에 많은 問題點이 있으므로 이러한 경우에는 注入界面에서의 電界를 精確히 파악할 수 없어 인가한 電壓을 酸化膜絶緣體 두께에 대한 平均電界 크기로서 考察할 수 있다.^[9]

MOS 커패시터의 充電現象에 따라 電流는 어느 特性 인가電壓에 대해 時間의 函數關係로 나타낼 수 있다. 모든 電荷트랩들이 비었을 때 初期電流를 測定하면 그때 인가된 電界는 界面電界와 거의 같게 된다. 이 방법이 本論文에서 活用한 實驗的인 방법이다.

Walden에 의해 提案된 다른 방법은 時間에 대한 V_{FB}의 變化特性으로 부터 間接적으로 初期電流를 구하여 Si界面의 電荷注入特性을 나타내었다.

Walden 방법에 의한 解析結果와 本論文에서 實驗的으로 구한 I-V曲線을 비교하여 考察하기로 한다.

Walden 방법에 따라 몇가지 가정을 하여 解析하면 다음과 같다.

- ① 金屬-半導體의 일函數差와 表面狀態電荷를 무시한다.
- ② 트랩되는 電荷의 平均中心거리 \bar{x} 에 대한 時間의 의존성은 트랩된 全電荷量(Q_T)에 대한 時間의 의존성에 비교하여 무시한다.
- ③ 트랩된 電荷의 dQ_T/dt인 순간적인 값은 電流密度에 대한 간단한 函數關係로 취한다. 즉, dQ_T/dt=(J/J₁)ⁿ⁻¹로 표시되며, 여기서 Q_T는 界面을 通過한 全電荷量, n≥1, J₁는 初期

電流密度, n은 트랩되는 程度를 特性化하는 파라미터로서 印加電界와 溫度에 따른다. 따라서 t = 0에서 $dQ_T/dt|_{t=0} = (J_i/J_s)^{n-1} = 1$, 되므로 이것은 完全한 電荷트랩핑으로 表示하고, J(t) ≤ J_i일때 $dQ_T/dt ≤ 1$ 가 된다. ④ I-V關係에 있어서 다음과 같은 一般의인 關係式으로 나타낼 수 있다.^[11] 즉,

$$J(F_s) = J_0(F_s) \exp[f(F_s)] \quad (13)$$

여기서 F_s는 界面의 電界, J₀(F_s)와 f(F_s)는 F_s에 따른 exp[f(F_s)]보다 서서히 變하는 函數關係이므로 다음과 같은 式으로 近似化되고 있다.

$$\text{즉, } \ln(1+t/t_0) = n[f(F_s(0)) - f(F_s(t))] \quad (14)$$

여기서 $t_0 = \epsilon_r \epsilon_0 L/n \bar{x} J_1 \cdot 1/df(F_s)/dF_s|_{F_s=F_s(0)=V_{FB}/L}$ 이다 (t₀를 特性時間(characteristic time))

⑤ J_i을 實驗式으로 나타내면 다음과 같다.

$$J_i = \frac{m \epsilon_r \epsilon_0}{a' t_0 L} \quad (15)$$

여기서 m과 t₀는 logt와 ΔV_{FB}의 關係特性曲線의 線型部分에서 외삽법으로 決定하는 기울기와 軸과의 交차점이다. a' = a \bar{x} /L이며 a는 傳導機構에 의존하는 常數로서 一般의으로 1 < a < 2, \bar{x}/L 는 0.5 < \bar{x}/L < 1의 범위에서 定해진다. 以上과 같은 解析을 參考로 하여 實驗data로부터 트랩된 電荷分布의 中心거리를 대략 구할 수 있으며, 高電界에 의한 絶緣과 前에 Al과 Si는 酸化膜에 대한 장벽크기가 비슷한 注入電流 레벨을 가지므로 두 bias 極性에 대한 電荷分布들은 대략 대칭을 이루게 된다. (6) 式으로 부터 계산된 ΔV_{FB}의 結果値는 대략값으로 나타낼 수 있으므로 그림 4, 5의 實驗data에 의한 각 파라미터들의 計算値는 표 1에서와 같다. 이때 900 Å 두께와 얇은 두께의 酸化膜間에 비교하면 두께증가에 따른 中心部에서 電子의 平均注入 거리(λ)의 變化가 거의 發生치 않는다. 이 표의 data에 따라 트랩밀도는 (10) 式에서 구하면 다음과 같다.

- L = 450 Å, ΔV_{FB} ≈ 3.7 V, $\bar{x} = 140 \text{ \AA}$ 에서 N = 4.3 × 10¹⁸ cm⁻³
- L = 475 Å, ΔV_{FB} ≈ 3 V, $\bar{x} = 100 \text{ \AA}$ 에서 N = 6.8 × 10¹⁸ cm⁻³
- L = 900 Å, ΔV_{FB} ≈ 4 V, $\bar{x} = 125 \text{ \AA}$ 에서 N = 6.1 × 10¹⁸ cm⁻³

표 1.

	ΔV _{FB}	L	λ
그림 4	3.7V	450 Å	140 Å
그림 5	3 V	475 Å	100 Å
900 Å의 산화막	4 V	900 Å	125 Å

따라서 트랩밀도(N)는 變數ΔV_{FB}, \bar{x} 에 따르고 10¹⁸~10¹⁹ cm⁻³ 범위의 크기가 된다. 한편 (15) 式과 그림 4을 利用하여 구한 그림 9의 測定結果는 M-(450 Å) Al₂O₃-Si(n) 素子の I-V特性^[8,12]과 비슷한 特性을 나타내므로, 이때 walden 方法에 따라 a' = 0.5로 할 때 印加電壓에 대한 電流密度와 直接 測定한 電流密度 變化의 特性에서 급진적으로 增加하는 低電界영역과 그 變化양상이 둔화되어 서서히 증가하는 高電界영역으로 나누어지고 있다. 이들의 關係를 實驗式으로 나타내면 다음과 같다.

$$J_{LF} = J_{LF}(0) \exp(F/F_c), F \leq 4.5 \text{ (MV/cm)} \quad (16)$$

$$(J_{LF}(0) = 1.0 \times 10^{-11} \text{ [A/cm}^2 \text{]}, F_c = 1.8 \times 10^5 \text{ [V/cm]})$$

$$J_{HF} = J_{HF}(0) \exp[(F/F_c)^{1/2}], F \geq 4.5 \text{ (MV/cm)} \quad (17)$$

$$(J_{HF}(0) = 5.8 \times 10^{-3} \text{ [A/cm}^2 \text{]}, F_c = 1.7 \times 10^5 \text{ [V/cm]})$$

實驗測定된 電流密度값이 거의 walden 方法에 의한 값과 잘부합된다. 그림 10의 I-t 變化率은 walden과 kampshoff等에 의해 얻어진 特性들과 비교하면 一般的으로 J(t) ∝ t^{-1/n}으로 나타낼 수 있으며, 本論文에서는 1/n = 0.39 (그림 10 참조)로 나타났다.

V. 結 論

MOS 素子の 絶緣膜으로서 活用하고 있는 종래의 SiO₂膜 보다 이온性 電氣傳導의 우수한 抵抗효과와 radiation hardness의 우수성 및 낮은 threshold 電壓의 MOS FET等에 대해서 Al₂O₃膜이 그 性能의 우수성이 認定되고 있다. 本論文에서는 Al₂O₃膜의 電氣的인 特性을 좀 더 면밀히 검토하여 그 活用性을 提示하여 보고자 M-Al₂O₃-p-Si로 構成된 MOS 構造에 대해서 高電界 注入效果와 carrier 電荷 트랩핑 現象을 추구하고 보았다. 荷電粒子的 注入과 트랩핑에 관한 메카니즘을 조사한 結果 다음 몇가지 結論을 얻을 수 있었다.

(i), 1~2 (MV/cm) 程度의 낮은 電界에서 ΔV_{FB}을 나타내는 電荷注入과 트랩핑이 發生한다.

(ii) 트랩되는 電荷들의 中心點 位置를 구하는 대략적인 方法을 提案하여 實驗結果를 비교하고 그 적합성을 조사했다.

(iii) Al-(450 Å) Al₂O₃-p-Si의 構造에서 觀察한 Al₂O₃膜의 電流密度는 熱的으로 成長된 SiO₂의 것보다 훨씬 크다.

이러한 結論으로부터 gate 絶緣膜으로서 Al₂O₃膜이 活用될 場合 酸化膜內的 電荷 트랩핑效果로 야기되는 V_{FB} (Flat band volt)의 不安定性 문제점은 있으나 박막 Al₂O₃의 特性은 그 活用性이 기대된다.

參 考 文 獻

- [1] M.T. Duffy et al, *Interface properties of Si-(SiO₂)-Al₂O₃ Structures*. RCA Lab. Prin. New Jersey, pp. 372-377, 1970.
- [2] J. KOLK and E.L' HEASELL, *A Study of Charge Trapping in the Al-Al₂O₃-Si, MIS System*. Elect. Engin, Dep, Univer. Waterloo, pp. 101-107, 1979.
- [3] R.H. Walden, "A method for the determination of high-field conduction laws in insulating films in the Presence of charge trapping", *J. Appl. Phys.* 43. pp. 1178, 1972.
- [4] David J. Elliott, *Integrated circuit Fabrication Technology* Mc Grow-Hill Book Company. pp. 101-124.
- [5] K. Lehovc, *Rapid Evaluation of C-V Plots for Mos Structure*. Sol-St. Elect, 11, pp. 135-137, 1968.
- [6] Karl H. Zaininger, et al, "Radiation resistance of Al₂O₃ MOS devices", *IEEE Trans. on Electron Devices, ED-16*, pp. 333. 1969.
- [7] 成萬永外1人, "CVD Al₂O₃內에 初期電荷粒子的注入에 關한 解析," 電氣學會 32(8). pp. 22. 1983.
- [8] 朴成熙, 李英姬, "Al-Al₂O₃-Si(N)의 MAS構造에 있어서 高電界에 의한 carrier注入과 트랩에 關한 研究," 電氣學會 35(10), pp. 41. 1986.
- [9] 成萬永外2人, "Al Implantation 結果로서 SiO₂ 內의 電子trapping 效果에 關한 考察," 電氣學會 31(8), pp. 52. 1982.
- [10] Hülya Birey. "Thickness dependence of the dielectric constant and resistance of Al₂O₃ films", *J. Appl. phys.* 48, pp. 5209, 1977.
- [11] P. Solomon, *High-Field Electron Trapping in SiO₂*. J. APPL. Phys. 48, pp. 3848, 1977.
- [12] E.H. Nicollian et al, *Mos physics and Technology*. Bell Laboratories Murray Hill. New Jersey. pp. 190, 1982.